

MAESTRÍA EN INSTRUMENTOS SATELITALES

TESIS

“Estudio y análisis de alternativas de diseño de la electrónica de control térmico para los sensores del instrumento TIR de la misión SABIA-Mar”

Ing. ALBERTO, Nicolás Andrés



Córdoba, 21 de Noviembre de 2017

TESIS DE MAESTRÍA EN INSTRUMENTOS SATELITALES

*Estudio y análisis de alternativas de diseño de la electrónica de control térmico para
los sensores del instrumento TIR de la misión SABIA-Mar.*

Ing. Nicolás Andrés Alberto

Tesista

Dra. Ing. Andrea Estela Saad

Directora

Lic. Patricio Eliseo Fluxa

Co-Director

Miembros del tribunal revisor

Dra. Ing. Gabriela Puente

MSc. Ing. Roberto Jorge Alonso

Esp. Ing. Edgardo Luis Roggero

21 de Noviembre de 2017

Unidad de Formación Superior

Universidad Tecnológica Nacional – Facultad Regional Mendoza

Comisión Nacional de Actividades Espaciales

Argentina

A mi querida familia.

Agradecimientos

A CONAE, por darme la posibilidad de ampliar mis conocimientos. Por invertir en educación y creer que es el medio para tener un mejor futuro.

Al proyecto SABIA-Mar, por abrir sus puertas a los becarios y permitirles participación en el proyecto. Por hacernos sentir uno más.

A mis compañeros de la MIS, por compartir el aula durante estos dos años. Siempre han estado dispuestos a dar una mano cuando hizo falta. Un excelente grupo humano y profesional.

A Patricio por todo el acompañamiento durante este proceso de tesis. Siempre presente y comprometido. Por buscar referentes de cada especialidad que involucró este trabajo. Fue realmente valioso tu aporte.

A Andrea, por dedicar tiempo a mi trabajo. Tus consejos fueron marcaron el camino de este trabajo.

A Martín, por estar siempre dispuesto a colaborar. Realmente estoy muy agradecido por el apoyo y la predisposición para compartir tus conocimientos. Gracias por la paciencia y el detalle en tus explicaciones.

A Santiago, por compartir tus conocimientos en teoría de control. Esa pequeña guía fue muy útil.

A todas aquellas personas que han colaborado en forma desinteresada con este trabajo.

A mis padres por el apoyo de siempre, por darme las fuerzas para seguir adelante. Por creer que la salud y la educación son siempre la prioridad y facilitarme los medios para que sea posible.

Por último a Romina, mi pareja, por ser mi soporte emocional. Por bancarme las locuras, las frustraciones y estar para compartir las alegrías. Por estar ahí cuando lo necesité. Vos también hiciste un sacrificio para que pueda llevar a delante este proceso. Fueron muchas tardes, noches, feriados, fines de semana..... Ambos resignamos tiempo para dar lugar a mis estudios.

Resumen

Este trabajo analiza distintas alternativas de diseño de la electrónica del control térmico para los sensores del instrumento óptico infrarrojo (TIR) de la misión satelital SABIA-Mar, en la configuración de Julio del 2016. Dicho instrumento está formado por seis sensores IRL512 basados en la tecnología de microbolómetros de óxido de vanadio (VOx). Para el funcionamiento de los mismos, la temperatura debe mantenerse estable. Cada sensor cuenta con un termistor y un módulo Peltier para estabilizar la temperatura. El termistor mide la temperatura en la zona sensible y el módulo Peltier suministra o evacúa un flujo de calor.

El control térmico tiene estrictos requerimientos estabilidad térmica y consumo. En el presente trabajo se propone una arquitectura acorde a estos requerimientos y se procede a analizar las posibles alternativas de los circuitos que la componen.

Como parte del trabajo se desarrolla un simulador del sistema de control térmico, que se utiliza como herramienta de análisis. Para ello se modela el circuito termo-eléctrico de los sensores y su entorno. Con la ayuda del simulador se elaboran los requerimientos de los circuitos electrónicos. Este proceso es iterativo, ya que se tiene en cuenta el impacto de los requerimientos en la complejidad de los circuitos.

Se presentan y analizan alternativas de diseño para cada uno de los circuitos y se seleccionan las más apropiadas. Una vez concluida la selección, se simula el funcionamiento de los circuitos electrónicos y se verifican los requerimientos de diseño. Posteriormente se modela el comportamiento de los circuitos, y estos modelos se introducen en el simulador.

Una vez introducidos los modelos, se realiza una evaluación de desempeño con el simulador basado en modelos, y se verifican los requerimientos del sistema de control térmico.

Los resultados de simulación demuestran que el sistema propuesto cumple con los requerimientos del instrumento TIR de la misión SABIA-Mar. Los análisis de este trabajo permiten realizar una rápida evaluación ante un cambio de requerimientos y sugerir una nueva propuesta en caso de ser necesario.

Palabras Claves: Peltier, Microbolómetro, VOx, Instrumento infrarrojo térmico, Carga útil satelital, Control térmico, Modelado térmico.

Title

“Study and analysis of design alternatives of the thermal control electronics for the TIR instrument sensors of the SABIA-Mar mission”

Abstract

This work analyzes different design alternatives of thermal control electronics for the sensors of the infrared optical instrument (TIR) of the SABIA-Mar satellite mission, in the configuration of July 2016. This instrument consists of six IRL512 sensors based on vanadium oxide (VOx) microbolometer technology. For sensor operation, the temperature of the sensors must be kept stable. Each sensor has a thermistor and a Peltier module to stabilize the temperature. The thermistor measures the temperature in the sensitive area and the Peltier module supplies or evacuates a heat flow.

The thermal control has strict requirements for thermal stability and consumption. In this paper an architecture is proposed according to these requirements and proceeds to analyze possible circuits that compose it.

As part of the work, a simulator of the thermal control system is developed, which is used as an analysis tool. For this purpose, the thermoelectric circuit of the sensors and their surroundings is modeled. With the help of the simulator the requirements of the electronic circuits are elaborated. This process is iterative because it takes into account the impact of the requirements on the complexity of the circuits.

Design alternatives are presented and analyzed for each of the circuits and the most appropriate ones are selected. Once the selection, operation of electronic circuits is simulated and the design requirements are verified. Subsequently, the circuit behavior is modeled, and these models are introduced into the simulator.

A performance evaluation is performed with the simulator based on models, and the requirements of the thermal control system are verified.

The simulation results show that the proposed system meets the requirements of the TIR instrument of the SABIA-Mar mission. In addition, the analyzes of this work allow a quick evaluation if a change of requirements occurs and suggest a new proposal if necessary.

Keywords: Peltier, Microbolometer, VOx, Thermal infrared camera, Satellite payload, Thermal control, Thermal modelling.

Tabla de contenidos

Lista de figuras	XVII
Lista de tablas	XXIII
Siglas	XXVII
1. Introducción	1
1.1. La misión SABIA-Mar	1
1.2. El instrumento TIR	3
1.3. Justificación del estudio realizado	4
1.4. Estado del arte	4
1.4.1. Historia de los detectores infrarrojos	4
1.4.2. Clasificación de los detectores infrarrojos	5
1.4.3. Uso de microbolómetros en el espacio	6
1.4.4. Antecedentes en CONAE	6
1.4.5. Controladores de módulos Peltier	7
1.5. Interrogantes de investigación	8
1.6. Objetivos de la tesis	8
2. Requerimientos del control térmico y arquitectura propuesta	9
2.1. Diseño basado en requerimientos	9
2.2. Requerimientos del control térmico	9
2.3. Arquitectura propuesta	11
2.4. Procedimiento de diseño	13
3. Desarrollo del simulador	15
3.1. Consideraciones previas	15
3.2. Modelado	16
3.2.1. Modelado del Peltier	17
3.2.2. Modelado del circuito interno	21
3.2.3. Modelado del circuito externo	24
3.2.4. Circuito termo-eléctrico resultante	25

3.2.5.	Modelado del termistor	26
3.3.	Inclusión de los modelos en el simulador	28
3.3.1.	Inclusión del módulo Peltier	28
3.3.2.	Inclusión del circuito térmico interno	29
3.3.3.	Inclusión del circuito térmico externo	32
3.3.4.	Inclusión del circuito termo-eléctrico completo	34
3.3.5.	Inclusión del termistor	35
3.4.	Escenarios de simulación	36
3.5.	Métricas de rendimiento	37
3.6.	Controlador del lazo	38
3.6.1.	Análisis y selección del controlador	38
3.6.2.	Optimización del controlador	39
3.6.3.	Sintonización del controlador	40
3.7.	Análisis de estabilidad del lazo de control	43
4.	Definición de requerimientos de los circuitos	49
4.1.	Simulador para elaboración de requerimientos	49
4.2.	Excitación del Peltier	51
4.2.1.	Rango de excitación	51
4.2.2.	Resolución de excitación	52
4.2.3.	Ripple de la señal de excitación	52
4.3.	Medición de temperatura	54
4.3.1.	Rango del termómetro	54
4.3.2.	Resolución del termómetro	55
4.4.	Frecuencia de muestreo	55
4.5.	Resultados preliminares	57
4.6.	Requerimientos de los circuitos	59
5.	Análisis de alternativas de diseño	67
5.1.	Consideraciones en la simulación de los circuitos	67
5.2.	Consideraciones en la selección de partes EEE	67
5.3.	Circuito driver	68
5.3.1.	Driver lineal	69
5.3.2.	Driver conmutado	71
5.3.3.	Driver conmutado con BJT	74
5.3.4.	Driver conmutado con MOSFET	75
5.3.5.	Comparación y selección del driver	76
5.3.6.	Análisis del circuito driver	77
5.3.7.	Verificación de requerimientos del driver	81
5.4.	Circuito de protección	81

5.4.1.	Descripción del circuito de protección	81
5.4.2.	Análisis del circuito de protección	83
5.4.3.	Verificación de requerimientos del circuito de protección	85
5.5.	Circuito monitor	86
5.6.	Circuito SEL&DIG	88
5.6.1.	Selección de partes EEE del circuito SEL&DIG	89
5.6.2.	Descripción del circuito SEL&DIG	89
5.6.3.	Análisis del circuito SEL&DIG	94
5.6.4.	Verificación de requerimientos del circuito SEL&DIG	98
5.7.	Circuito de acondicionamiento analógico	99
5.7.1.	Etapas de excitación del termistor	99
5.7.2.	Etapas de amplificación y filtrado	107
5.7.3.	Análisis del circuito de acondicionamiento analógico	112
5.7.4.	Verificación de requerimientos del circuito de acondicionamiento analógico	120
5.8.	Circuito digital	121
5.8.1.	Alcance del análisis del circuito digital	121
5.8.2.	Arquitectura interna del circuito digital	122
5.8.3.	Etapas de habilitación	122
5.8.4.	Etapas de generación de PWM	123
5.8.5.	Etapas de cálculo de error	125
5.8.6.	Etapas de controlador PI	126
5.8.7.	Etapas de sincronismo	131
5.8.8.	Análisis del circuito digital	137
5.8.9.	Verificación de requerimientos del circuito digital	142
5.9.	Circuito completo	143
6.	Modelado de circuitos	147
6.1.	Modelado del circuito driver	147
6.2.	Modelado del circuito de protección	149
6.3.	Modelado del circuito monitor	149
6.4.	Modelado del circuito de SEL&DIG	150
6.5.	Modelado del circuito de acondicionamiento analógico	150
6.6.	Modelado del circuito digital	152
7.	Evaluación de desempeño	155
7.1.	Actualización del simulador	155
7.2.	Análisis de rendimiento	156
7.3.	Análisis de consumo de potencia	156
7.3.1.	Consumo en el escenario frío	156

7.3.2. Consumo en el escenario caliente	157
7.3.3. Consumo en el escenario de encendido en frío	158
7.4. Análisis de la alimentación	159
7.5. Tiempo de establecimiento térmico	160
7.6. Verificación de requerimientos del control térmico	161
8. Conclusiones y trabajos futuros	163
8.1. Conclusiones	163
8.2. Trabajos futuros	164
Anexos	166
A. Curvas de simulación	169
A.1. Curvas en el escenario de encendido en frío	169
A.2. Curvas en el escenario frío	170
A.3. Curvas en el escenario caliente	172
B. Análisis de sensibilidad	175
Referencias	177

Lista de figuras

2.1. Arquitectura propuesta del control térmico	12
3.3. Esquema del circuito termo-eléctrico.	17
3.4. Aspecto y dimensiones de módulo Peltier.	18
3.5. Modelo del Peltier utilizado.	18
3.6. Comparación de las curvas $Q(dT)$ de la hoja de datos (izq.) y el modelo (der.).	20
3.7. Comparación de las curvas $U(dT)$ de la hoja de datos (izq.) y el modelo (der.).	20
3.8. Comparación de las curvas $COP(I)$ de la hoja de datos (izq.) y el modelo (der.).	20
3.9. Comparación de las curvas $COP(dT)$ de la hoja de datos (izq.) y el modelo (der.).	21
3.10. Identificación de componentes del circuito térmico interno [51].	21
3.12. Modelo del circuito térmico interno.	23
3.13. Elementos del circuito térmico externo [51].	24
3.14. Modelo del circuito térmico externo	25
3.15. Circuito termo-eléctrico completo	25
3.16. Circuito termo-eléctrico simplificado	26
3.17. Resistencia del termistor en función de la temperatura.	26
3.18. Error relativo del modelado.	27
3.19. Modelo del circuito térmico externo	28
3.20. Subsistema en Simulink del módulo Peltier.	28
3.21. Bloque del subsistema del circuito interno en Simulink.	29
3.22. Circuito interno simplificado con Q_C como fuente de calor.	29
3.23. Circuitos equivalentes internos para el cálculo de las FDT individuales.	30
3.24. Subsistema del circuito interno simplificado en Simulink.	31
3.25. Bloque del subsistema de circuito externo en Simulink.	32
3.26. Circuito externo simplificado con Q_H como fuente de calor.	32
3.27. Circuitos equivalentes externos para el cálculo de las FDT individuales.	32
3.28. Subsistema por dentro del circuito externo simplificado en Simulink.	34

3.29. Subsistema del modelo termo-eléctrico en Simulink.	34
3.30. Bloque del circuito termo-eléctrico simplificado en Simulink.	35
3.31. Bloque del circuito externo simplificado en Simulink.	35
3.32. Subsistema del termistor en Simulink.	35
3.33. Diagrama en bloques de un controlador PID.	38
3.34. Subsistema en Simulink del controlador PI optimizado.	40
3.35. Lugar de raíces del circuito termo-eléctrico y la realimentación con el termistor.	42
3.36. Simulador para sintonización del lazo de control.	42
3.37. Diagrama en bloques del lazo de control realimentado utilizado.	43
3.38. Diagrama de Nyquist de la FDT de lazo abierto.	44
3.39. Diagrama de bode de la FDT de lazo abierto.	45
3.40. Lugar de raíces de la FDT de lazo abierto.	45
3.41. Mapa de polos y ceros de la FDT de lazo cerrado.	46
3.42. Diagrama de bode de la FDT de lazo cerrado.	46
3.43. Respues al escalón unitario de la FDT de lazo cerrado.	46
4.1. Simulador utilizado para la elaboración de requerimientos.	50
4.2. Subsistema del controlador PI de tiempo discreto.	51
4.3. Comparación de señales continuas sin ripple (izq.) y con ripple (der.)	53
4.4. Simulador para evaluación del ripple en la señal de excitación.	53
4.5. Tiempo de subida de la respuesta al escalón unitario del lazo de control.	56
4.6. Frecuencia de corte del lazo de control tomada en -6[dB].	57
4.7. Consumo de potencia del módulo Peltier en el escenario de encendido en frío.	59
5.1. Diagrama en bloques del driver lineal.	69
5.2. Atenuación del filtro utilizado del driver lineal.	70
5.3. Principio de funcionamiento del circuito llave-H.	71
5.4. Filtro LC utilizado en el driver conmutado.	72
5.5. Simulación de la respuesta en frecuencia del filtro del driver conmutado.	74
5.6. Driver conmutado con BJT.	74
5.7. Driver conmutado con MOSFET.	75
5.8. Verificación del voltaje de disparo seguro de los MOSFET.	76
5.9. Voltaje de salida del driver en función del ciclo útil.	78
5.10. Ampliación de la curva del voltaje de salida del driver en función del ciclo útil.	78
5.11. Voltaje de salida del driver en función del voltaje de Seebeck.	79
5.12. Ripple del driver en función del voltaje de salida.	79
5.13. Potencia disipada del driver en función del voltaje de salida.	80
5.14. Eficiencia del driver en función del voltaje de salida.	80

5.15. Voltaje de salida del driver en función del tiempo.	80
5.16. Circuito de protección.	82
5.17. Funcionamiento del circuito de protección.	82
5.18. Umbral de corte del circuito de protección.	84
5.19. Voltaje de salida del circuito de protección para distintos valores de corriente.	84
5.20. Voltaje de salida del circuito de protección en función de la corriente.	84
5.21. Potencia disipada por el circuito de protección en función de la corriente.	85
5.22. Eficiencia del circuito de protección en función de la corriente.	85
5.23. Circuito monitor.	86
5.24. Voltaje de salida del circuito monitor en función del voltaje de entrada.	87
5.25. Potencia disipada del circuito monitor en función del voltaje de entrada.	88
5.26. Etapas del circuito SEL&DIG.	89
5.27. Circuito SEL&DIG.	90
5.28. Descripción del CI de selección del circuito SEL&DIG [78].	91
5.29. Descripción del CI de muestreo del circuito SEL&DIG [79].	91
5.30. Descripción del ADC circuito SEL&DIG [80].	92
5.31. Recorrido de las señales analógicas en el circuito SEL&DIG.	93
5.32. Recorrido de las señales digitales en el circuito SEL&DIG.	93
5.33. Circuito de simulación para determinar el tiempo de establecimiento.	94
5.34. Curva del tiempo de establecimiento de la etapa de selección.	95
5.35. Secuencia de control del circuito SEL&DIG.	96
5.36. Etapas del circuito de acondicionamiento analógico.	99
5.37. Topologías de circuitos propuestos para la etapa de excitación.	100
5.38. Error de digitalización utilizando el circuito de excitación con fuente de voltaje constante.	102
5.39. Error introducido por la variación térmica de la fuente de voltaje constante.	102
5.40. Error de digitalización utilizando el circuito de excitación con fuente de corriente constante.	103
5.41. Error introducido por la variación térmica de la fuente de corriente constante.	103
5.42. Circuito de excitación de fuente de corriente constante	104
5.43. Voltaje de salida del AD589S según la temperatura [84].	106
5.44. Amplificador diferencial de la etapa de amplificación y filtro.	109
5.45. Buffer de la etapa de amplificación y filtro.	110
5.46. Buffer con referencia de la etapa de amplificación y filtro.	111
5.47. Circuito de acondicionamiento analógico utilizado en las simulaciones.	112
5.48. Voltaje de salida del circuito de acond. analógico en función de la resistencia del termistor.	113

5.49. Voltaje de salida del circuito de acondicionamiento analógico en función de la temperatura.	113
5.50. Voltaje de salida del circuito acondicionamiento analógico ante una entrada escalón de resistencia del termistor.	114
5.51. Atenuación del circuito de acond. analógico ante señales de modo común.	114
5.52. Consumo del circuito acondicionamiento analógico en función de la resistencia del termistor.	115
5.53. Error introducido por la digitalización utilizando el circuito de acondicionamiento analógico.	115
5.54. Sensibilidad al ripple de alimentación sinusoidal de 100[Hz].	116
5.55. Sensibilidad al ripple de alimentación sinusoidal de 500[Hz].	116
5.56. Densidad espectral de ruido de voltaje del AD589S [84].	117
5.57. Densidad espectral de ruido de voltaje del OP467 [80].	117
5.58. Densidad espectral de ruido de corriente del OP467 [80].	117
5.59. Arquitectura del circuito digital.	122
5.60. Etapa de habilitación del circuito digital.	123
5.61. Etapa de generación de PWM del circuito digital.	123
5.62. Funcionamiento de la etapa de generación de PWM.	124
5.63. Etapa de cálculo de error del circuito digital.	125
5.64. Controlador PI del simulador para elaboración de requerimientos.	126
5.65. Controlador PI del circuito digital.	126
5.66. Controlador PI digital implementado en realización directa 1.	128
5.67. Controlador PI digital implementado en realización directa 2.	128
5.68. Controlador PI digital en formato paralelo.	128
5.69. Etapa de controlador PI del circuito digital.	131
5.70. Etapa de sincronismo del circuito digital.	132
5.71. Bloque contador PWM de la etapa de sincronismo del circuito digital.	133
5.72. Cuentas digitales del contador de PWM.	133
5.73. Bloque de encendido de la etapa de sincronismo del circuito digital.	134
5.74. Registro de control de encendido individual del control térmico.	134
5.75. Bloque de control de secuencia de la etapa de sincronismo del circuito digital.	135
5.76. Señales internas del circuito de control de secuencia.	136
5.77. Bloque de habilitación de la etapa de sincronismo del circuito digital.	136
5.78. Bloque de distribución de reloj de la etapa de sincronismo del circuito digital.	137
5.79. Análisis de resolución de la etapa de generación de PWM del circuito digital.	138
5.80. Señales de PWM para un DC=15[%].	138
5.81. Señales de PWM para un DC=-15[%].	138

5.82. Señales de habilitación durante la secuencia de encendido.	139
5.83. Señales de inicio de conversión y actualización del controlador PI. . .	140
5.84. Circuito esquemático completo.	143
5.85. Conjunto de seis circuitos de protección y monitor.	143
5.86. Circuitos de protección y monitor individuales.	144
5.87. Conjunto de seis circuitos driver.	144
5.88. Circuito driver individual.	144
5.89. Conjunto de seis circuitos analógicos.	145
5.90. Circuito de acondicionamiento analógico individual.	145
5.91. Circuito SEL&DIG.	146
6.1. Error del modelo de voltaje de salida del circuito driver.	148
6.2. Subsistema del modelo del circuito driver.	148
6.3. Error del modelo de eficiencia del circuito driver.	149
6.4. Error del modelo de eficiencia del circuito de protección.	149
6.5. Subsistema del modelo del circuito SEL&DIG	150
6.6. Error del modelo de voltaje de salida del circuito de acond. analógico. .	151
6.8. Subsistema del modelo de autocalentamiento del termistor.	151
6.7. Subsistema del modelo del circuito de acond. analógico.	152
6.9. Subsistema del la etapa de calculo de error del circuito digital.	152
6.10. Subsistema de la etapa de controlador PI del circuito digital.	153
6.11. Subsistema del la etapa de generación de PWM del circuito digital. . .	153
7.1. Simulador completo para evaluación de rendimiento.	155
7.2. Consumo del control térmico en el escenario de encendido en frío. . .	158
7.3. Consumo de los circuitos y los módulos Peltier en el escenario de encendido en frío.	159
7.4. Curva del tiempo de establecimiento de los sensores.	160
7.5. Curva ampliada del tiempo de establecimiento de los sensores.	161
A.1. Temperatura del sensor en el escenario de encendido en frío.	169
A.2. Voltaje del módulo Peltier en el escenario de encendido en frío.	169
A.3. Corriente eléctrica suministrada al módulo Peltier en el escenario de encendido en frío.	170
A.4. Potencia eléctrica consumida por el módulo Peltier en el escenario de encendido en frío.	170
A.5. Temperatura del sensor en el escenario frío.	170
A.6. Voltaje del módulo Peltier en el escenario frío.	170
A.7. Ciclo útil del driver en el escenario frío.	171
A.8. Resultado de la digitalización en el escenario frío.	171
A.9. Señal analógica de entrada al circuito SEL&DIG en el escenario frío. .	171

A.10. Ampliación de la señal analógica de entrada al circuito SEL&DIG en el escenario frío.	171
A.11. Autocalentamiento del termistor por en el escenario frío.	172
A.12. Temperatura del sensor en el escenario caliente.	172
A.13. Voltaje del módulo Peltier en el escenario de caliente.	172
A.14. Ciclo útil del driver en el escenario caliente.	172
A.15. Resultado de la digitalización en el escenario caliente.	173
A.16. Señal analógica de entrada al circuito SEL&DIG en el escenario caliente.	173
A.17. Ampliación de la señal analógica de entrada al circuito SEL&DIG en el escenario caliente.	173
A.18. Autocalentamiento del termistor por en el escenario caliente.	173

Lista de tablas

1.1. Instrumentos del satélite SABIA-Mar.	2
2.1. Requerimientos del control térmico de los sensores.	10
2.2. Justificación de los requerimientos del control térmico de los sensores.	11
2.3. Descripción de la arquitectura propuesta.	12
2.4. Descripción de las interfaces de la arquitectura propuesta.	13
3.1. Escenarios de simulación.	37
3.2. Métricas de rendimiento del simulador del control térmico.	37
3.3. Comparación de controladores P, PI y PID.	39
3.4. FDT para distintos T_{CHASIS} y voltajes de excitación escalón.	41
3.5. Coeficientes del controlador según distintos métodos de sintonización.	42
3.6. Comparación de rendimiento de los métodos de sintonización.	43
3.7. Margen de fase y margen de ganancia para las distintas FDT.	47
4.1. Descripción de los bloques introducidos al simulador para la elaboración de requerimientos.	50
4.2. Comparación de rendimiento para distintos rangos de excitación del Peltier.	52
4.3. Comparación de rendimiento para distintas resoluciones de excitación del Peltier.	52
4.4. Comparación de rendimiento del módulo Peltier excitado con distintos niveles de ripple.	54
4.5. Comparación de rendimiento para distintas rangos del termómetro.	55
4.6. Comparación de rendimiento para distintos valores de resolución del termómetro.	55
4.7. Comparación de rendimiento para distintos valores de frecuencia de muestreo.	57
4.8. Configuración de los bloques del simulador para elaboración de requerimientos.	58
4.9. Rendimiento del simulador con bloques ideales en la configuración para elaboración de requerimientos.	59

4.10. Requerimientos del circuito driver.	60
4.11. Justificación de los requerimientos del circuito driver.	61
4.12. Requerimientos del circuito de protección.	61
4.13. Justificación de los requerimientos del circuito de protección.	61
4.14. Requerimientos del circuito monitor.	61
4.15. Justificación de los requerimientos del circuito monitor.	62
4.16. Requerimientos del circuito de SEL&DIG.	62
4.17. Justificación de los requerimientos del circuito de SEL&DIG.	63
4.18. Requerimientos del circuito de acondicionamiento analógico.	63
4.19. Justificación de los requerimientos del circuito de acondicionamiento analógico.	65
4.20. Requerimientos del circuito digital.	65
4.21. Justificación de los requerimientos del circuito digital.	66
5.1. Catálogos utilizados en la selección de partes EEE.	68
5.2. Comportamiento del módulo Peltier en los modos de operación del circuito driver conmutado.	72
5.3. Condiciones eléctricas de los escenarios de simulación.	76
5.4. Comparación de los circuitos driver.	77
5.5. Verificación de requerimientos del circuito driver.	81
5.6. Verificación de requerimientos del circuito de protección.	85
5.7. Verificación de requerimientos del circuito monitor.	88
5.8. Comparación de ADC propuestos.	89
5.9. Comparación de CI para las etapas de selección y muestreo.	90
5.10. Acciones del circuito digital para realizar una adquisición.	97
5.11. Consumo de corriente de los CI del circuito SEL&DIG.	98
5.12. Verificación de requerimientos del circuito SEL&DIG.	99
5.13. Comparación de las topologías propuestas para la etapa de excitación del termistor.	104
5.14. Comparación de partes para voltaje de referencia.	105
5.15. Comparación de los circuitos propuestos para la etapa de amplificación y filtrado.	108
5.16. Comparación de AO para el circuito de acondicionamiento analógico.	109
5.17. Verificación de requerimientos del circuito driver.	121
5.18. Cuentas digitales de referencia según la temperatura de estabilización.	126
5.19. Comparación de los controladores PI digitales.	129
5.20. Interfaces del circuito digital externas a la FPGA.	140
5.21. Interfaces del circuito digital internas a la FPGA.	141
5.22. Recursos utilizados en el circuito digital.	142
5.23. Verificación de requerimientos del circuito digital.	142

7.1. Rendimiento del control térmico en el simulador completo.	156
7.2. Análisis de consumo en el escenario frío.	157
7.3. Análisis de consumo en el escenario caliente.	157
7.4. Requerimientos del control térmico de los sensores.	161
B.1. Análisis de sensibilidad.	176

Siglas

ADC	Convertidor Analógico-Digital (Analog-to-Digital Converter).
AEB	Agencia Espacial Brasileña.
AFT	Temperatura de Vuelo Permitida (Allowable Flight Temperature).
AO	Amplificador Operacional.
BJT	Transistor de Unión Bipolar (Bipolar Junction Transistor).
CD	Cuentas Digitales.
CI	Circuito Integrado.
CONAE	Comisión Nacional de Actividades Espaciales.
COP	Coefficiente de Rendimiento (Coefficient Of Performance).
DC	Ciclo Útil (Duty Cycle).
DF	Factor de Seguridad (Derating Factor).
EB	Caja Electrónica (Electronics Box).
EEE	Eléctricas, Electrónicas y Electromecánicas.
EOM	Módulo Electro Óptico (Electro Optic Module).
ESR	Resistencia Serie Equivalente (Equivalent Series Resistance).
FDT	Función De Transferencia.
FEM	Método de Elementos Finitos (Finite Element Method).

FFOV	Campo de Visión Completo (Full Field Of View).
FPA	Matriz de Plano Focal (Focal Plane Array).
FPB	Filtro Pasa Bajos.
FPGA	Matriz de Compuertas Programables (Field Programmable Gate Array).
GSD	Distancia de Muestra en Tierra (Ground Sample Distance).
HDL	Lenguaje de Descripción de Hardware (Hardware Description Language).
INCOSE	Consejo Internacional en Ingeniería en Sistemas (International Council on Systems Engineering).
INO	Instituto Nacional de Óptica de Canadá (Institut National d'Optique).
INPE	Instituto Nacional de Investigaciones Espaciales de Brasil (Instituto Nacional de Pesquisas Espaciais).
LSB	Bit menos significativo (Less Significant Bit).
LWIR	Infrarrojo Medio (Long Wave Infrared).
MCT	Mercurio-Cadmio-Telurio.
MF	Margen de Fase.
MG	Margen de Ganancia.
MinCyT	Ministerio de Ciencia, Tecnología e Innovación Productiva.
MOSFET	Transistor de Efecto de Campo Metal Óxido Semiconductor (Metal Oxide Semiconductor Field-Effect Transistor).
MSB	Bit más significativo (Most Significant Bit).
MWIR	Infrarrojo Medio (Middle Wave Infrared).
NA	No Aplica.
NIRST	Nueva Tecnología de Sensor Infrarrojo (New Infra-Red Sensor Technology).
NTC	Coefficiente de Temperatura Negativo (Negative Temperature Coefficient).

OB	Caja Óptica (Optics Box).
P	Proporcional.
PAR	Radiación Fotosintéticamente Activa (Photosynthetically Active Radiation).
PI	Proporcional Integral.
PID	Proporcional Integral Derivativo.
PWM	Modulación de Ancho de Pulso (Pulse Width Modulation).
RMS	Valor Cuadrático Medio (Root Mean Square).
SABIA-Mar	Satélite Argentino-Brasileño para Información del Mar.
SEL	Latchup de Evento Simple (Single Event Latchup).
SNR	Relación Señal Ruido (Signal to Noise Ratio).
SST	Temperatura Superficial del Mar (Sea Surface Temperature).
SWATH	Ancho de Barrido.
TIR	Cámara Infrarroja Térmica.
TRP	Punto de Referencia de Temperatura (Temperature Reference Point).
VOx	Oxido de Vanadio.

Capítulo 1

Introducción

El presente trabajo se contextualiza en el desarrollo de la Cámara Infrarroja Térmica (TIR) del Satélite Argentino-Brasileño para Información del Mar (SABIA-Mar). En particular trata sobre el diseño del control térmico de los sensores de esta cámara. En este marco, se deben tener en cuenta las condiciones de contorno, tomando en consideración las restricciones y las posibilidades dadas por la misión satelital.

En este capítulo se describe la misión SABIA-Mar y el instrumento TIR. Se mencionan los antecedentes, los conocimientos previos, la causa que justifica este trabajo, las tecnologías propuestas, y algunos antecedentes para problemáticas similares.

1.1 La misión SABIA-Mar

SABIA-Mar es un programa de cooperación entre la Comisión Nacional de Actividades Espaciales (CONAE), la Agencia Espacial Brasileña (AEB) y el Instituto Nacional de Investigaciones Espaciales de Brasil (Instituto Nacional de Pesquisas Espaciais, INPE), en el marco de un acuerdo de integración y coordinación bilateral entre Argentina y Brasil. Este programa, está concebido como una misión de observación de la Tierra, con aplicaciones prioritarias en el estudio del mar y costas [1] [2].

La misión contempla la puesta en órbita de dos satélites, el SABIA-Mar1 y el SABIA-Mar2. Actualmente el SABIA-Mar1 se encuentra en fase C de desarrollo [3]. En la figura 1.1 se observa una imagen del diseño preliminar del satélite SABIA-Mar, en la configuración de Julio del 2016, y se señala la ubicación de la caja óptica del instrumento TIR.

El satélite SABIA-Mar se estima que tenga una masa aproximada de 700[Kg] y contará a bordo con los instrumentos mencionados en la tabla 1.1 [5].

Los principales productos que se generarán con la misión SABIA-Mar son: imágenes de radiancia, concentración de clorofila, Radiación Fotosintéticamente Activa (Photosynthetically Active Radiation, PAR), turbiedad, coeficientes de atenuación y la Temperatura Superficial del Mar (Sea Surface Temperature, SST) [6].

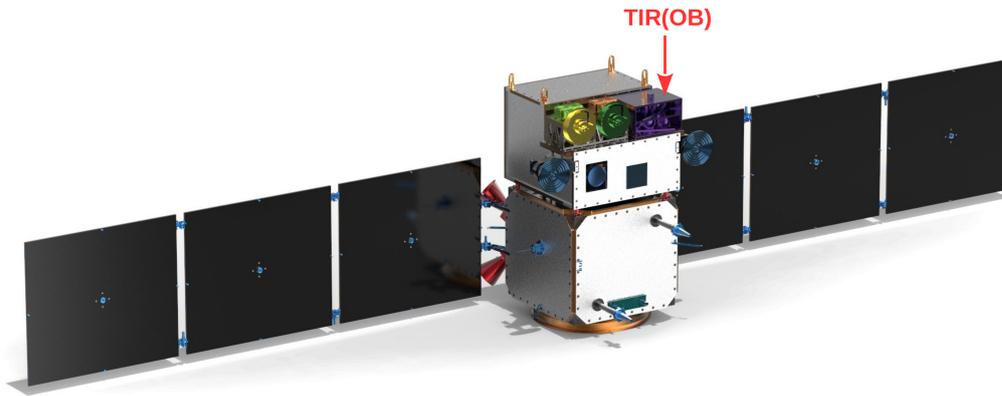


Fig. 1.1: Diseño preliminar del satélite SABIA-Mar [4].

Instrumento	Descripción
VIS-NIR	Cámara óptica de 11 bandas espectrales en el rango de 412nm a 865nm (visible e infrarrojo cercano).
NIR-SWIR	Cámara óptica de 6 bandas espectrales en el rango de 750nm a 1600nm (infrarrojo cercano).
TIR	Cámara óptica de 2 bandas espectrales en el rango infrarrojo térmico.
MAC	Cámara óptica multiangular de 5 bandas espectrales en el rango visible e infrarrojo cercano.
DCS	Sistema colector de datos de plataformas autónomas que se encuentran en la superficie terrestre, boyas, animales, globos, etc.
Dosímetro	Mide la dosis de radiación a la que se somete el satélite.

Tabla 1.1: Instrumentos del satélite SABIA-Mar.

Las aplicaciones más relevantes que se realizarán a partir de los productos mencionados son: estudios sobre productividad en el mar, pesquería, acuicultura, cambio climático, ciclo del carbono, calidad de aguas costeras y continentales (contaminación, derrames, algas tóxicas), biodiversidad, protección y conservación de hábitats marinos y costeros, cambios en el uso del suelo, distribución y estado de la vegetación en el continente [2] [7]. Estas aplicaciones son acordes a los objetivos de los lineamientos del Plan Espacial Nacional de la República Argentina [8] y el programa Pampa Azul [9]. Este programa es una iniciativa del Poder Ejecutivo Nacional Argentino, articulado y llevado adelante por el Ministerio de Ciencia, Tecnología e Innovación Productiva (MinCyT) y fortalecido por la sanción de la Ley 27.167 para la investigación e innovación productiva de los espacios marítimos [10] [11].

1.2 El instrumento TIR

Este instrumento medirá la radiancia marítima en dos bandas del infrarrojo térmico denominadas B#15 y B#16 por la misión. Estas bandas están centradas en 10,8[um] y 11,8[um] y tienen un ancho espectral de 900[nm]. El instrumento está compuesto por seis Módulos Electro Ópticos (Electro Optics Modules, EOM) con un Campo de Visión Completo (Full Field Of View, FFOV) de 15°, según la configuración de Julio del 2016. Cada EOM tiene una orientación distinta y contigua, de modo que el instrumento completo tenga un FFOV de 90°C. Considerando los 700[Km] de altitud que están previstos para la órbita del SABIA-Mar, se tiene un Ancho de Barrido (SWATH) aproximado de 1400[Km] y un Distancia de Muestra en Tierra (Ground Sample Distance, GSD) a nadir aproximado de 400[m] [12] [13].

Los EOM poseen filtros espectrales acordes a las bandas mencionadas y un sensor IRL512 de tecnología de microbolómetros de Oxido de Vanadio (VOx). Cada sensor es una matriz de 3x512 píxeles. Está previsto utilizar dos líneas de píxeles (2x512), cada una con un filtro correspondiente a la banda que mide.

El instrumento esta formado por dos cajas, la Caja Óptica (Optics Box, OB) y la Caja Electrónica (Electronics Box, EB). La OB aloja los barriles ópticos, los sensores y la electrónica de proximidad mientras que la EB aloja el control térmico de los sensores y el resto de la electrónica del instrumento. En la figura 1.2 se observan ambas cajas.

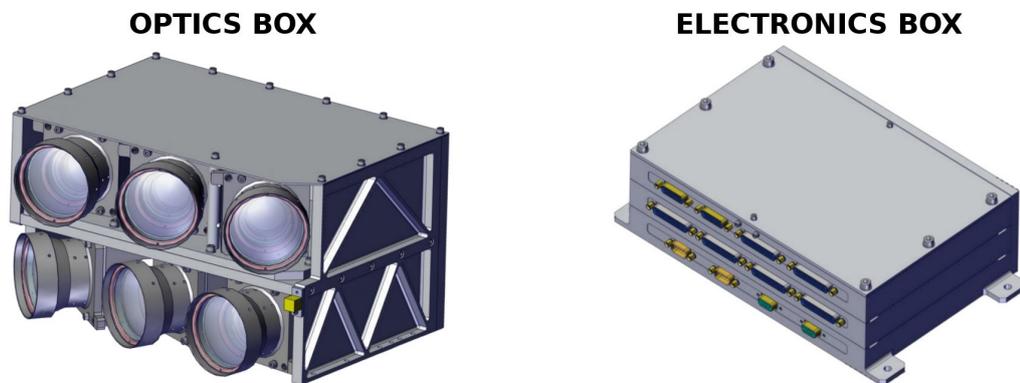


Fig. 1.2: Imagen de las cajas del instrumento TIR [12] [14].

La OB tiene definido su rango de temperatura de funcionamiento entre $-5[^\circ\text{C}]$ y $15[^\circ\text{C}]$, mientras que la EB entre $-10[^\circ\text{C}]$ y $40[^\circ\text{C}]$ [15]. Sin embargo, algunos componentes como los barriles de lentes y los sensores requieren condiciones especiales para su funcionamiento. Para lograr la temperatura adecuada de operación se realiza un diseño térmico.

1.3 Justificación del estudio realizado

De todos los productos que generará la misión SABIA-Mar, en particular, la medición de la SST contribuye a:

- Profundizar el conocimiento científico de nuestros mares.
- Fundamentar las políticas de conservación y el manejo de los recursos naturales y productivos.
- Promover innovaciones tecnológicas aplicables a la explotación sustentable de los recursos naturales y al desarrollo de las industrias vinculadas al mar.
- Fortalecer la conciencia marítima de la sociedad argentina.

Para obtener el producto SST, el satélite SABIA-Mar incluye en su diseño el instrumento TIR. La radiancia medida por el instrumento TIR en las bandas mencionadas, combinadas con algoritmos de calibración y correcciones atmosféricas, permiten obtener la SST [16].

El presente trabajo de tesis está motivado por el interés en dar respuesta a interrogantes de diseño del instrumento TIR. Estos interrogantes están relacionados con el control térmico de los sensores que el instrumento utiliza. Las investigaciones a realizar se enfocan en evaluar las diferentes alternativas de diseño y determinar cual de ellas es la más adecuada.

1.4 Estado del arte

1.4.1 Historia de los detectores infrarrojos

La medición de la radiación infrarroja comienza aproximadamente en el año 1800 cuando Herschel reportó el primer experimento basado en un monocromador, el cual dirigía la luz solar hacia un bulbo absorbedor y con un termómetro podía medirse la distribución de energía solar. Desde esa época hasta principios del siglo XX los detectores evolucionaron pero sus aplicaciones estaban limitadas a la investigación científica en laboratorio.

La historia moderna para aplicaciones militares o civiles puede clasificarse en tres generaciones de detectores. La primer generación son los detectores de un simple elemento y surge en los años 1950 con la aparición de detectores refrigerados basados en sales de plomo. El perfeccionamiento en los procesos y técnicas de fabricación con semiconductores dio lugar a los detectores basados en germanio, silicio y otros semiconductores dopados con diversas impurezas. Para generar una imagen con estos detectores se requiere un sistema óptico con un sistema de escaneo mecánico, por lo

general construidos con espejos móviles. La segunda generación comienza en los años 1960 cuando la fotolitografía dio lugar a la integración masiva y se comienzan a fabricar detectores lineales y de área. Para generar una imagen con este tipo de detectores se debe realizar un escaneo electrónico. Un hito importante en éste ámbito fue cuando en 1992 la empresa Honeywell patentó su desarrollo de detectores infrarrojos no refrigerados basados en microbolómetros. La tercer generación surge en los años 1990 con desarrollos de detectores de estructuras exóticas que son capaces de detectar múltiples espectros en un mismo elemento detector debido a su naturaleza constructiva [17].

1.4.2 Clasificación de los detectores infrarrojos

Los detectores infrarrojos pueden clasificarse en fotodetectores (o detectores de fotones) y detectores térmicos [17] [18] [19]. En los fotodetectores la radiación es absorbida por el material y da lugar a electrones libres que representan un desplazamiento de cargas. Estos detectores poseen una buena Relación Señal Ruido (Signal to Noise Ratio, SNR) y una respuesta rápida. Sin embargo requieren ser enfriados a temperaturas criogénicas y los sistemas de refrigeración traen aparejados problemas de tamaño, masa, consumo de potencia y costos elevados. En los detectores térmicos, la radiación incidente es absorbida modificando la temperatura del material, lo que resulta en un cambio de sus propiedades físicas y es utilizada para generar una señal eléctrica. Cabe aclarar que la señal eléctrica de salida no depende del espectro de la radiación incidente sino de su potencia. En comparación con los fotodetectores pueden operar a temperatura ambiente, son más baratos pero poseen menor sensibilidad y un peor tiempo de respuesta (más lentos).

Los detectores de microbolómetros son un tipo de detector térmico y se basa en un conjunto de bolómetros dispuestos en una Matriz de Plano Focal (Focal Plane Array, FPA). Un bolómetro es una resistencia eléctrica sensible a la temperatura. Su funcionamiento se basa en el incremento de su temperatura causada por la absorción de la energía de la radiación incidente. El cambio de la temperatura del bolómetro provoca una variación de su resistencia eléctrica, que luego se mide con un circuito electrónico externo. Se trata que los bolómetros tengan muy pequeña capacidad térmica y un coeficiente de temperatura grande para producir un gran cambio en su resistencia [17] [19] [20] [18].

En la actualidad se han desarrollado gran cantidad de detectores de diversas tecnologías para uso específicamente espacial. Estos, a diferencia de los detectores convencionales, están diseñados para soportar vacío y tolerar radiación de partículas.

1.4.3 Uso de microbolómetros en el espacio

Las misiones que realizan sensado remoto en el rango térmico y requieren alta precisión, Ruido Equivalente a Diferencia de Temperatura (Noise Equivalent Temperature Difference, NETD) menor a 20[mK], utilizan en su mayoría sensores de Mercurio-Cadmio-Telurio (MCT). Estos sensores requieren ser enfriados a temperaturas criogénicas y los sistemas de refrigeración son pesados y tienen un alto consumo de energía [17] [21].

Una alternativa para misiones con escasos recursos de energía o peso, es utilizar sensores basados en tecnología de microbolómetros. Esta tecnología es más reciente y su utilización en misiones espaciales es cada vez más común [18].

Los sensores basados en microbolómetros para uso espacial, por lo general se empaquetan con un módulo (o celda) Peltier y un termistor para controlar la temperatura [20] [22] [23] [24]. Un módulo Peltier tiene la capacidad de generar un flujo de calor en sus superficies disipadoras cuando se le aplica una corriente eléctrica. Incluso se puede invertir la dirección del flujo de calor, es decir que se puede calentar o enfriar sobre las superficies disipadoras. Además son indicados para su uso espacial porque la radiación no afecta su funcionamiento [22].

Los valores típicos de estabilidad térmica en sensores de microbolómetros están entre 1[m°C] y 100[m°C], dependiendo de la misión y el modelo de sensor utilizado. Por ejemplo, en el instrumento Themis de la misión Mars Odyssey e IIR de la misión CALIPSO se estabilizó en 1[m°C] [25] [26], en el instrumento IRCAM de la misión JEM-EUSO se estabilizó en 10[m°C] [27], y en el instrumento TIR de la misión Hayabusa2 se estabilizó en 100[m°C] [28].

1.4.4 Antecedentes en CONAE

CONAE cuenta con experiencia en cámaras infrarrojas con el instrumento Nueva Tecnología de Sensor Infrarrojo (New Infra-Red Sensor Technology) (NIRST), el cual voló en la misión SAC-D/Aquarius [29] [30] [31]. La tecnología de adquisición y control de este último representa el estado del arte actual a nivel nacional.

El instrumento NIRST estaba compuesto por dos cabezales ópticos que contenían dentro un sensor IRL512. Uno sensaba radiancia en el Infrarrojo Medio (Middle Wave Infrared, MWIR) en una banda centrada en 3,8[um] con un ancho espectral de 800[nm]. El otro cabezal sensaba en el Infrarrojo Lejano (Long Wave Infrared, LWIR) en dos bandas, una centrada en 10,8[um] y la otra 11,8[um], ambas con un ancho espectral de 900[nm].

El control térmico de los sensores en el instrumento NIRST se implementó con un Circuito Integrado (CI) específico, el MAX1978 [32]. Éste tiene la capacidad de controlar la temperatura de un único sensor y funcionó adecuadamente a bordo del SAC-D/Aquarius [33].

El instrumento TIR propone ser la evolución del instrumento NIRST. TIR hereda parte del diseño de NIRST, como ser las bandas espectrales, el diseño de lentes y el sensor IRL512, fabricado por el Instituto Nacional de Óptica de Canadá (Institut National d'Optique, INO) [34]. La evolución planteada consiste en sextuplicar el ancho de barrido en tierra SWATH de NIRST sin perder resolución geométrica en tierra. Por tanto se multiplica por seis el FFOV, pasando de $15[^\circ]$ a $90[^\circ]$. Esto implica utilizar seis sensores junto a seis módulos ópticos en el mismo instrumento [12].

El sensor IRL512 se basa en la tecnología de microbolómetros, posee en su interior un módulo Peltier y un termistor que permiten estabilizar térmicamente el área sensible a la radiación infrarroja FPA [35]. La estabilización térmica del sensor es crítica para el funcionamiento del instrumento, es decir, para obtener la SST a partir de las mediciones del sensor. Según lo recomienda su fabricante, la estabilidad térmica requerida para el IRL512 es de $10[m^\circ C]$ [36] [37] [38]. Esto permite mantener bajos y constantes los niveles de ruido [19] [20] [17] [18]. Por lo expuesto, es imprescindible para el instrumento contar con un sistema de control térmico para los sensores. Este sistema debe leer la señal del termistor y accionar sobre la celda Peltier para mantener la temperatura del sensor.

La asignación de recursos en el satélite SABIA-Mar hace que sea necesario un rediseño del control térmico con menor consumo que el instrumento NIRST. El consumo de energía de un MAX1978 es aproximadamente de $2[W]$ y utilizar seis de estos CI, sumado al consumo de la electrónica, excede el consumo disponible. Por consiguiente, surge la necesidad de utilizar un nuevo método para el control térmico de los sensores del instrumento TIR.

1.4.5 Controladores de módulos Peltier

Para implementar un sistema de control de temperatura basado en un módulo Peltier es necesario un sistema electrónico que mida la temperatura y envíe una señal adecuada al Peltier. Los sistemas más difundidos son los lazo de control Proporcional Integral Derivativo (PID) con un driver conmutado preparado para manejar módulos Peltier.

En el mercado se consiguen sistemas de control térmico del tipo PID pero no son de uso espacial [39] [40] [41]. En el caso de NIRST, el CI utilizado es de calidad industrial y también constituía un lazo de control PID con un driver conmutado [32]. En la misión JEM-EUSO se utiliza un sensor de tecnología de microbolómetros con un módulo Peltier integrado y se ha implementado un lazo de control PID para controlar la temperatura. En este caso el circuito no se basa en un CI específico sino que se diseña en forma discreta a partir de componentes de calidad espacial [42]. En particular, el controlador PID es digital y se programó dentro de una Matriz de Compuertas Programables (Field Programmable Gate Array, FPGA).

1.5 Interrogantes de investigación

Los siguientes interrogantes dieron origen a este trabajo de tesis:

- ¿Es posible realizar un sistema de control térmico para los sensores del instrumento TIR con una estabilidad de $10[m^{\circ}C]$ y un consumo de potencia menor a $12[W]$?
- ¿Cuáles son las alternativas viables de diseño, y cuál es la más adecuada para el sistema de control térmico de los sensores del instrumento TIR?

1.6 Objetivos de la tesis

- Explorar las diferentes alternativas de diseño del sistema de control de temperatura para los sensores del instrumento TIR de la misión SABIA-Mar.
- Evaluar el desempeño de las alternativas de diseño planteadas.
- Identificar los circuitos electrónicos adecuados para el sistema de control térmico.

Requerimientos del control térmico y arquitectura propuesta

En el proceso de diseño de los satélites de la CONAE los requerimientos se derivan en orden creciente a medida que se fragmentan los sistemas. Este trabajo de tesis adhiere a esta forma de trabajo.

En este capítulo se plantean los requerimientos para el control térmico y se propone una arquitectura. La arquitectura esta compuesta por circuitos electrónicos con funciones específicas. Para definir los requerimientos de los circuitos electrónicos se propone un procedimiento de diseño basado en un simulador.

2.1 Diseño basado en requerimientos

La CONAE adopta para el diseño de sus satélites los procedimientos de diseño sugeridos por el Consejo Internacional de Ingeniería en Sistemas (International Council on Systems Engineering, INCOSE). A grandes rasgos, estos procedimientos sugieren fragmentar en proyecto en distintas fases de desarrollo y llevar a cabo reuniones para las revisiones de diseño. Además, propone que el diseño se ordene con requerimientos de diferentes niveles los cuales tienen un parentesco padre-hijo. Los requerimientos parten del nivel L1, y se derivan en orden creciente a medida que se fragmentan los sistemas y subsistemas.

La misión SABIA-Mar utiliza esta forma de trabajo y los requerimientos del instrumento TIR corresponden al nivel L4 [15]. Aquellos componentes que se derivan del instrumento TIR tienen un nivel mayor. Este trabajo de tesis asigna requerimientos de nivel L5 al control térmico de los sensores del instrumento TIR, y a los circuitos que se deriven de éste, se asigna requerimientos de nivel L6.

2.2 Requerimientos del control térmico

En la tabla 2.1 se detallan los requerimientos L5 correspondientes al control térmico de los sensores del instrumento TIR y en la tabla 2.2 se justifica cada uno de ellos. Éstos,

se vinculan con sus requerimientos padres, los L4 correspondientes al instrumento. Cabe aclarar que los requerimientos L5 del control térmico, no son tomados de la misión SABIA-Mar sino que se elaboraron como parte de este trabajo de tesis.

Req. padre	Req.	Descripción
L4-TIR-G005	L5-TIR-CTS01	El control térmico deberá estabilizar la temperatura de los seis sensores que componen el instrumento.
L4-TIR-G005	L5-TIR-CTS02	El control térmico deberá estabilizar la temperatura de los sensores con un error de 10[m°C] o menor.
L4-TIR-PW001	L5-TIR-CTS03	El control térmico deberá consumir menos 12[W] eléctricos incluyendo el consumo de los Peltier.
L4-TIR-S002	L5-TIR-CTS04	El control térmico deberá estabilizar la temperatura de los sensores entre 10[°C] y 16[°C] en intervalos de 1[°C].
TBD	L5-TIR-CTS05	El control térmico deberá estabilizar la temperatura de los sensores en un tiempo menor a 6[min].
L4-TIR-G005	L5-TIR-CTS06	El control térmico deberá suministrar el valor de temperatura más reciente de los sensores a la FPGA del instrumento TIR.
L4-TIR-EI001	L5-TIR-CTS07	El control térmico deberá ser configurado por la FPGA del instrumento TIR.
L4-TIR-EPM-000	L5-TIR-CTS08	El control térmico deberá estar formado por partes Eléctricas, Electrónicas y Electromecánicas (EEEs) de calidad espacial acordes a [43].

Tabla 2.1: Requerimientos del control térmico de los sensores.

Requerimiento	Justificación
L5-TIR-CTS01	Los sensores deben estar térmicamente estables para operar. De este modo, la curva característica de los microbolómetros se mantiene constante.
L5-TIR-CTS02	El fabricante del sensor IRL512 recomienda una estabilidad térmica de 10[m°C] [38].
L5-TIR-CTS03	De un total de 50[W] de presupuesto de consumo del instrumento [44], se asignaron 12[W] al control térmico de los sensores, dado el estado de avance al momento de definir los requerimientos.
L5-TIR-CTS04	La temperatura de los EOM puede variar entre 10[°C] y 18[°C] [15]. Un valor de temperatura similar para los sensores permite minimizar fugas de calor, entre el sensor y el EOM, y de esta forma minimizar el consumo. La temperatura de estabilización es un valor a confirmar, y por tal motivo se requiere que el control térmico pueda modificarla.
<i>Continúa en la siguiente página</i>	

Requerimiento	Justificación
L5-TIR-CTS05	El tiempo de estabilización esta relacionado con el consumo. A menor tiempo de estabilización se tiene un mayor consumo. El valor seleccionado se toma a partir de un proceso iterativo con el diseño.
L5-TIR-CTS06	Es necesario medir el valor de temperatura de los sensores para la calibración del instrumento.
L5-TIR-CTS07	La FPGA es la encargada de recibir comandos de software para cambiar parámetros internos del instrumento.
L5-TIR-CTS08	Todas las partes EEE del satélite SABIA-Mar deben ser acordes a lo mencionado en [43].

Tabla 2.2: Justificación de los requerimientos del control térmico de los sensores.

2.3 Arquitectura propuesta

Se propone un sistema basado en seis lazos de control individuales del tipo PID. En la figura 2.1 se observa la arquitectura (de alto nivel) del sistema propuesto. Los bloques seguidos del símbolo # se repiten para cada sensor. En la tabla 2.3 se describen los bloques de la arquitectura y en la tabla 2.4 se describen las interfaces.

Para la elaboración de la arquitectura propuesta se tienen en cuenta las siguientes consideraciones:

- El instrumento TIR cuenta con una FPGA para realizar funciones ajenas al control térmico, y se la puede utilizar como parte del sistema de control térmico de los sensores.
- El hardware debe ser lo más sencillo posible.
- El control térmico de los sensores del instrumento NIRST utilizaba un controlador PID.
- Los controladores PID son los ampliamente difundidos en la industria para lazos de control con módulos Peltier.
- Se evita que las constantes del controlador PID dependan de capacitores o resistencias, para que el deterioro de éstos no afecte el rendimiento.
- Otros instrumentos con sensores similares utilizan controladores PID dentro de una FPGA y circuitos driver conmutados para manejar el Peltier.

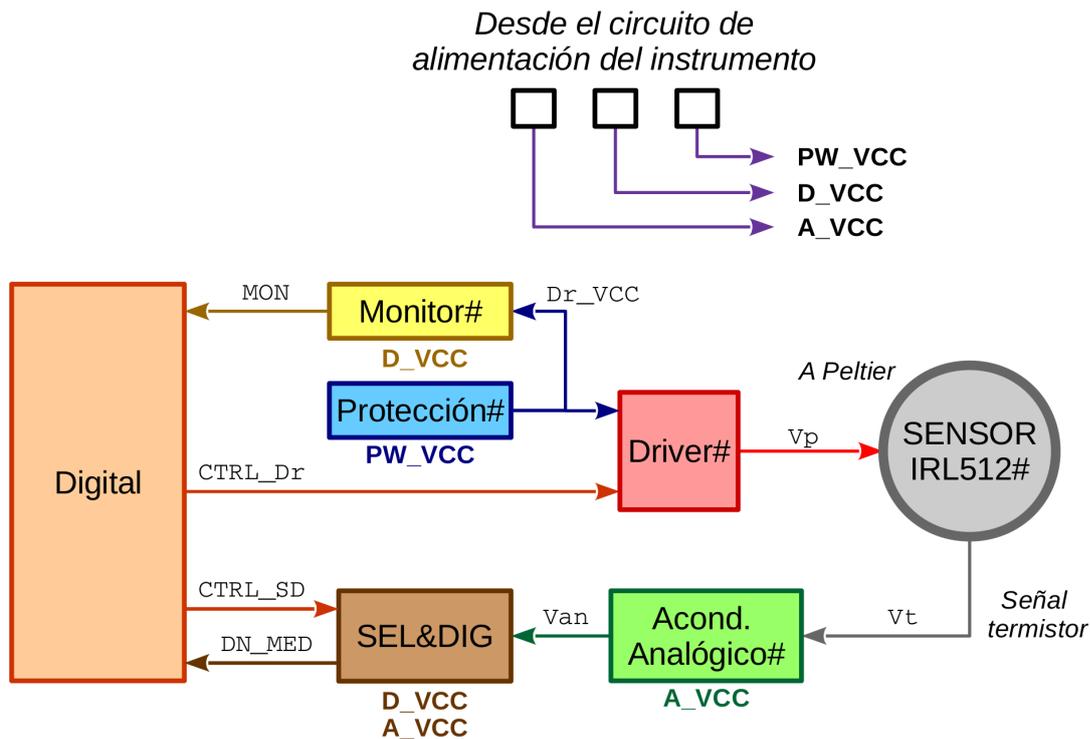


Fig. 2.1: Arquitectura propuesta del control térmico

Bloque	#	Descripción
Sensor IRL512	6	Sensor óptico que contiene un módulo Peltier y un termistor.
Driver	6	Circuito que controla el voltaje de excitación del módulo Peltier.
Protección	6	Circuito que corta la alimentación del driver en caso de un consumo de corriente excesivo.
Monitor	6	Circuito que envía una señal al circuito digital del estado del estado de la alimentación del driver.
Acondicionamiento analógico	6	Circuito que toma la señal del termistor y la adecua su digitalización.
SEL&DIG	1	Circuito que selecciona una señal de entrada correspondiente a la temperatura de un sensor y la digitaliza.
Digital	1	Circuito que coordina las operaciones del control térmico. Por cada sensor posee un controlador PID y un Modulador de Ancho de Pulso (Pulse Width Modulation, PWM). Están dentro de la FPGA

Tabla 2.3: Descripción de la arquitectura propuesta.

Interfaz	Descripción
PW_VCC	Señal de alimentación del circuito de protección.
D_VCC	Señal de alimentación para los circuitos digitales.
A_VCC	Señal de alimentación para los circuitos analógicos. Es una fuente de alimentación partida.
Dr_VCC	Señal de alimentación protegida de los driver.
MON_Dr	Señal de monitoreo de Dr_VCC de cada uno de los driver.
Vp	Señal de excitación de cada uno de los módulos Peltier.
CTRL_Dr	Señal de control del driver. Controla Vp .
CTRL_SD	Señal de control de la selección y la digitalización de señales.
DN_MED	Número digital equivalente a la temperatura de los sensores.
COM	Señal de comunicación con la FPGA del instrumento TIR.

Tabla 2.4: Descripción de las interfaces de la arquitectura propuesta.

2.4 Procedimiento de diseño

Es necesario contar con un set de requerimientos adecuados para los circuitos de la arquitectura. Plantear requerimientos laxos es riesgoso porque condiciona a los objetivos del control térmico. En el caso contrario, plantear requerimientos demasiado exigentes tampoco es bueno porque provoca mayor complejidad, menor robustez, incremento del consumo, incremento de la disipación de calor, mayor tiempo de armado, mayor tiempo de testeo y mayor costo. En referencia a esto, en [45] se menciona que no existe justificación alguna para hacer algo mejor de lo que exigen los requerimientos.

Teniendo en cuenta esto, se utiliza un simulador como herramienta para la elaboración de requerimientos y evaluación preliminar de resultados. El procedimiento de diseño utilizado se lista a continuación:

- Modelar la dinámica del sistema.
- Desarrollar un simulador del control térmico.
- Elaborar requerimientos de diseño de los circuitos con el simulador.
- Analizar propuestas de los circuitos y seleccionar la más apropiada.
- Modelar los circuitos seleccionados.
- Actualizar el simulador con los circuitos modelados.
- Realizar una evaluación de desempeño.

Desarrollo del simulador

En base a la metodología de diseño propuesta se desarrolla un simulador del control térmico de los sensores del instrumento TIR. En este capítulo se detallan los pasos para elaborar del simulador. Entre ellos se destacan: el modelado del comportamiento térmico, el modelado de la realimentación, la incorporación de los modelos a Simulink, la sintonización del lazo de control y un análisis de estabilidad del sistema.

Al finalizar el capítulo se tiene un simulador básico sin la electrónica de control. Este se toma como base para la elaboración de los requerimientos en el próximo capítulo.

3.1 Consideraciones previas

Se desarrolla el simulador en el software Simulink tomando como referencia [46]. Simulink es un herramienta de simulación de modelos ampliamente difundida en ingeniería de control y tiene buen soporte técnico.

El simulador consiste en un lazo de control realimentado para controlar la temperatura de un sensor individual. La dinámica del lazo es un circuito termo-eléctrico formado por el sensor IRL512, el módulo Peltier y la estructura metálica de la OB. Los circuitos térmicos se modelan con un circuito eléctrico equivalente, en donde un flujo de calor se comporta como una fuente de corriente, una fuente de temperatura se comporta como una fuente de voltaje, una resistencia térmica se comporta como una resistencia eléctrica y una capacidad térmica se comporta como una capacidad eléctrica. La realimentación del lazo es un termistor que mide la temperatura de los sensores IRL512. El lazo de control se completa con un controlador PID y luego se sintoniza el lazo. Se definen escenarios de simulación según las condiciones de contorno impuestas por el ambiente satelital donde se ubica el instrumento. Los escenarios que representan los peores casos térmicos. También se plantean indicadores para comparar el rendimiento según las alternativas de diseño.

3.2 Modelado

El instrumento TIR está compuesto por seis EOM y éstos están formados por un barril óptico, una planchuela de aislante térmico, un sensor IRL512 y un alojamiento metálico para el sensor.

El barril de lentes tiene un control térmico propio y está aislado del sensor mediante la planchuela aislante. Sin embargo, se espera que existan fugas de flujo de calor que representan perturbaciones para el control térmico de los sensores.

Los alojamientos metálicos sostienen a los sensores IRL512 y el barril de lentes. Se considera la temperatura de éstos como condición de contorno para el modelado térmico. En consecuencia, se modela el circuito térmico formado por un sensor y su alojamiento metálico. Las temperaturas extremas del alojamiento junto a la temperatura de estabilización determinan los escenarios de simulación y se detallan en la sección 3.4. En la figura 3.1 se observa el despiece de un EOM.

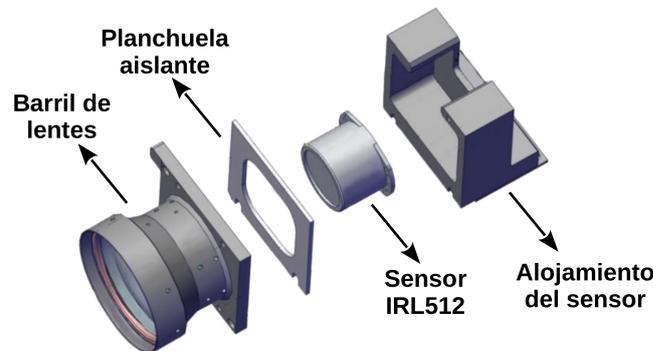


Fig. 3.1: Módulo electro-óptico del instrumento TIR [12].

El sensor IRL512 posee por dentro un CI que contiene el plano focal FPA y aloja los microbolómetros. Cuando el sensor está en funcionamiento el CI disipa calor. Físicamente el CI, los filtros espectrales, un blindaje de radiación térmica espúrea y el termistor están dispuestos sobre una de las superficies disipadoras del módulo Peltier. La otra superficie disipadora está en contacto con el encapsulado externo del sensor, y éste a su vez con la estructura metálica del instrumento. En la figura 3.2 se observa una imagen del sensor IRL512.

El módulo Peltier divide el circuito térmico y permite direccionar un flujo de calor (en ambos sentidos) entre el interior y el exterior del sensor IRL512. En consecuencia se identifican tres circuitos térmicos, el circuito interno del sensor, el circuito del módulo Peltier y el circuito externo del sensor. El flujo de calor en el Peltier depende de la corriente eléctrica que circula, en consecuencia se trata de un circuito termo-eléctrico.

En la figura 3.3, se observa un diagrama en bloques de los circuitos térmicos y eléctricos que se deben modelar.

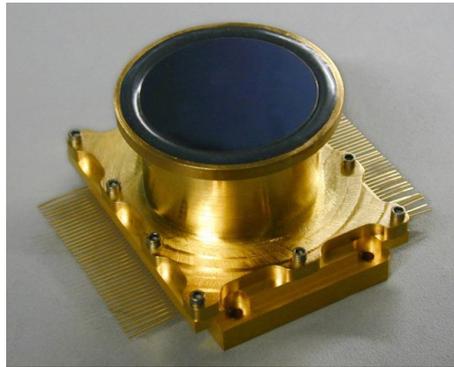


Fig. 3.2: Fotografía de un sensor IRL512 [47].

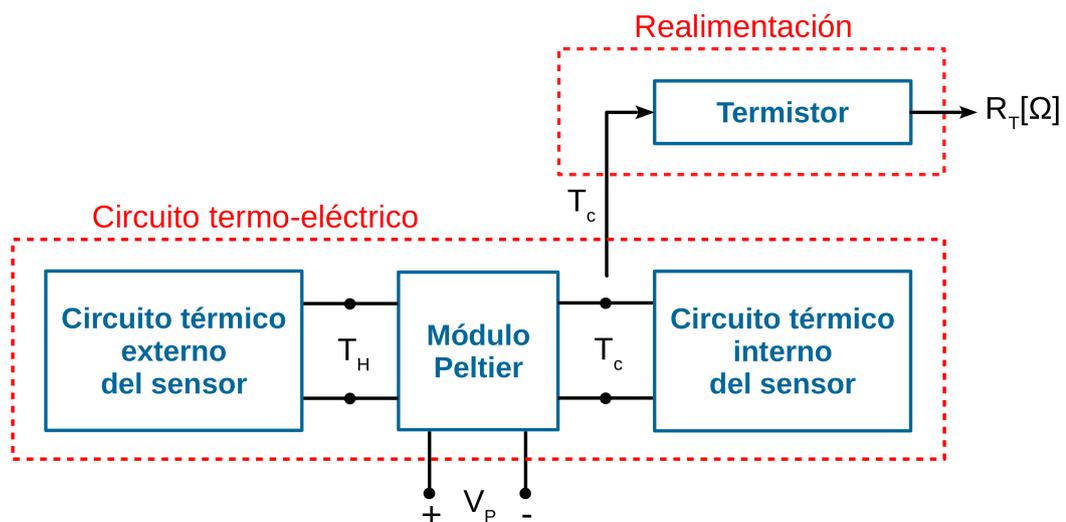


Fig. 3.3: Esquema del circuito termo-eléctrico.

T_H y T_C representan las temperaturas de las superficies disipadoras (o tapas) del Peltier. T_C es la variable de control, ya que representa la temperatura del FPA. La dinámica del lazo está formada por el circuito termo-eléctrico completo, es decir el circuito interno del sensor, el circuito del módulo Peltier y el circuito externo del sensor. El termistor representa el elemento de realimentación. Si bien forma parte del circuito térmico interno, tiene una masa despreciable en comparación a los demás elementos, por lo que se lo desprecia del circuito térmico interno.

En el modelado de los circuitos sólo se consideran flujos de calor por conducción. La convección se descarta porque en vuelo se tiene alto vacío. La radiación también se descarta ya que el flujo de calor es mínimo con comparación con la conducción y se lo desprecia.

3.2.1 Modelado del Peltier

Se modela un módulo Peltier de medidas $30[\text{mm}] \times 15[\text{mm}] \times 3,8[\text{mm}]$ (largo x ancho x alto) con 63 diodos internos. En la figura 3.4 se observa el aspecto y dimensiones del módulo Peltier.

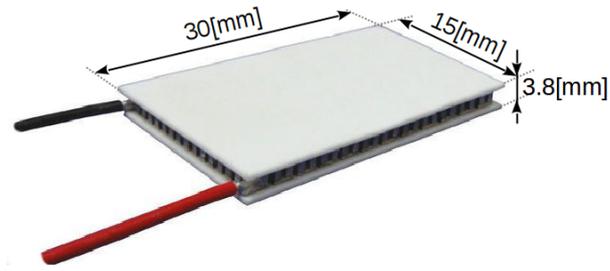


Fig. 3.4: Aspecto y dimensiones de módulo Peltier.

El módulo Peltier se modela tomando como referencia [48] [49] [50]. Este modelo analiza el circuito térmico como un circuito eléctrico, en donde los elementos resistivos se expresan en [K/W], las capacidades en [J/K] y fuentes de calor en [W]. El modelo utilizado tiene en cuenta los efectos Joule, Peltier y Seebeck. El efecto Thompson se desprecia ya que no tiene efectos considerables en el rango de temperatura de operación. En la figura 3.5 se observa el modelo utilizado.

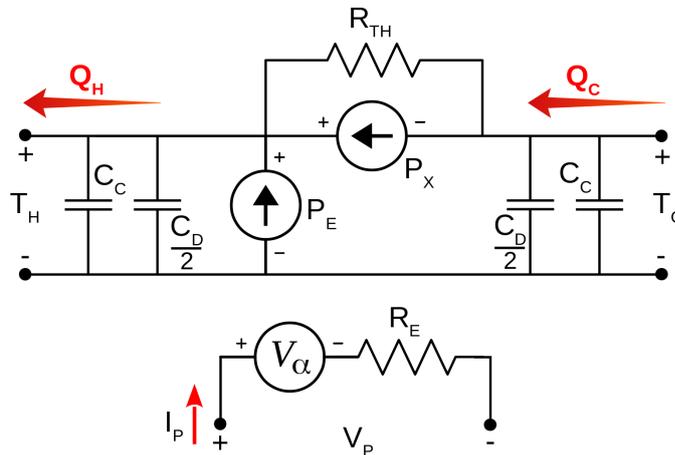


Fig. 3.5: Modelo del Peltier utilizado.

T_H y T_C representan las temperaturas de las superficies disipadoras del módulo Peltier. Q_H y Q_C representan los flujo de calor que circulan por ambas superficies disipadoras según la dirección de corriente eléctrica I_P . El Voltaje de Seebeck V_α es una diferencia de potencial eléctrica que depende de la temperatura de las superficies disipadoras. P_E es la potencia disipada por efecto Joule en la resistencia eléctrica R_E y P_X es el flujo de calor por efecto Peltier.

Se utilizan las ecuaciones (3.1), (3.2), (3.3) y (3.4) para calcular I_P , V_α , P_E y P_X .

$$I_P = \frac{V_P - V_\alpha}{R_E} \quad (3.1)$$

$$V_\alpha = \alpha \cdot (T_H - T_C) = \alpha \cdot \Delta T \quad (3.2)$$

$$P_E = I_P^2 \cdot R_E \quad (3.3)$$

$$P_X = \alpha \cdot T_C \cdot I_P - \frac{I_P^2 \cdot R_E}{2} \quad (3.4)$$

Se resuelve el circuito modelado aplicando las leyes de Kirchoff para obtener los flujos de calor Q_H y Q_C resultando las ecuaciones (3.5) y (3.6).

$$Q_C = \frac{-\Delta T}{R_{TH}} + \alpha \cdot T_C \cdot I_P - \frac{I_P^2 \cdot R_E}{2} \quad (3.5)$$

$$Q_H = \frac{-\Delta T}{R_{TH}} + \alpha \cdot T_H \cdot I_P + \frac{I_P^2 \cdot R_E}{2} \quad (3.6)$$

De la hoja técnica del Peltier se obtiene que $Q_{MAX}=14.9[W]$, $\Delta T_{MAX}=74.5[K]$, $R_E=2.03[\Omega]$, $T_{Href}=298[K]$, $I_{MAX}=3[A]$ y $U_{MAX}=8[V]$, mientras que α y R_{TH} se calculan mediante las ecuaciones (3.7) y (3.8). Todos estos son parámetros del modelo.

$$\alpha = \frac{U_{MAX}}{T_{Href}} = 26,84 \left[\frac{mV}{K} \right] \quad (3.7)$$

$$R_{TH} = \frac{\Delta T_{MAX} \cdot 2 \cdot T_{Href}}{I_{MAX} \cdot U_{MAX} \cdot (T_{Href} - \Delta T_{MAX})} = 8,28 \left[\frac{K}{W} \right] \quad (3.8)$$

C_C representa la capacidad térmica de las superficies disipadoras cerámicas y tiene un valor aproximado de $0,74[J/K]$. Se la calcula con la ecuación (3.9) teniendo en cuenta sus dimensiones de $15[mm] \times 30[mm] \times 0,5[mm]$ que resulta un volumen $Vol_C = 225 \cdot 10^{-9}[m^3]$, considerando el material cerámico de Al_2O_3 96 % cuya densidad $\sigma_C = 3,72 \cdot 10^6[g/m^3]$ y el calor específico de $C_{PC} = 0,88[J/gK]$.

$$C_C = Vol_C \cdot \sigma_C \cdot C_{PC} = 0,74 \left[\frac{J}{K} \right] \quad (3.9)$$

C_D representa la capacidad térmica de los 63 diodos de Bi_2Te_3 que forman al Peltier y tiene un valor de $0,11[J/K]$. Se la calcula con la ecuación (3.10) considerando el tamaño de cada uno de ellos de $1[mm] \times 1[mm] \times 1,5[mm]$ que resulta un volumen $Vol_D = 1,5 \cdot 10^{-9}[m^3]$, una densidad de $\sigma_D = 7,64 \cdot 10^6[g/m^3]$ y un calor específico de $C_{PD} = 0,157[J/gK]$.

$$C_D = Vol_D \cdot 63 \cdot \sigma_D \cdot C_{PD} = 0,11 \left[\frac{J}{K} \right] \quad (3.10)$$

Para validar el modelo se repitieron las condiciones de las curvas de la documentación técnica del fabricante logrando similitud en los resultados. Se aclara que las curvas representan resultados de estado estacionario por lo que las capacidades C_C y C_D no tienen injerencia en el resultado. En las figuras 3.6, 3.7, 3.8 y 3.9 se observan

las curvas de $Q(dT)$, $U(dT)$, $COP(I)$ y $COP(dT)$. En todos los casos las curvas de la hojas de datos se ubican a la izquierda mientras que las curvas de la derecha son las generadas con el modelo.

El Coeficiente de Rendimiento (Coefficient Of Performance, COP) se calcula con la ecuación (3.11) y relaciona el flujo de calor Q_C con la potencia eléctrica suministrada al módulo Peltier. Es un indicador útil para comparar el punto de operación del módulo Peltier y la eficiencia del control térmico.

$$COP = \frac{Q_C}{V_P \cdot I_P} \tag{3.11}$$

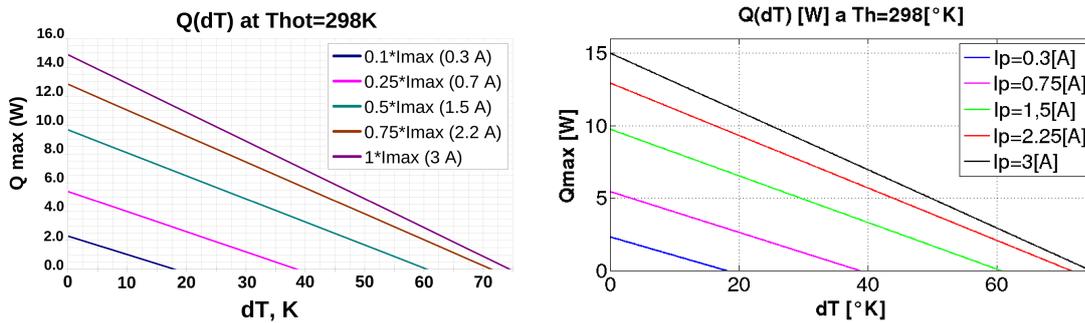


Fig. 3.6: Comparación de las curvas $Q(dT)$ de la hoja de datos (izq.) y el modelo (der.).

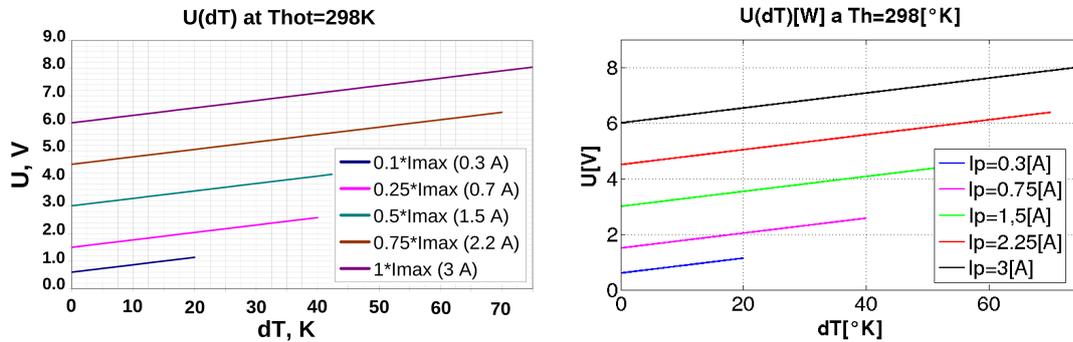


Fig. 3.7: Comparación de las curvas $U(dT)$ de la hoja de datos (izq.) y el modelo (der.).

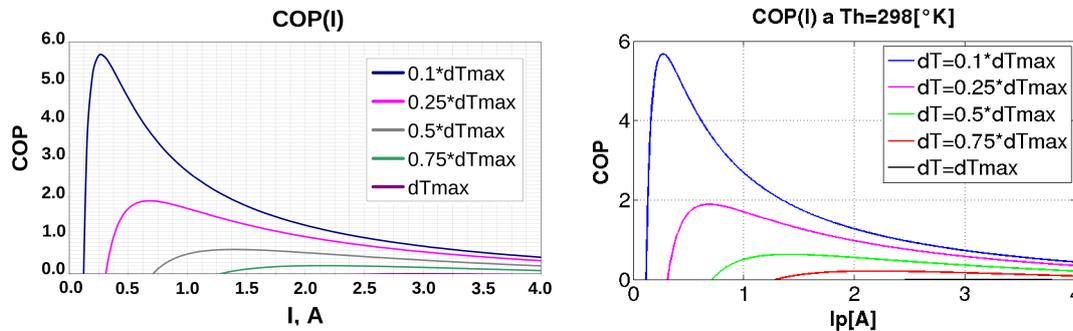


Fig. 3.8: Comparación de las curvas $COP(I)$ de la hoja de datos (izq.) y el modelo (der.).

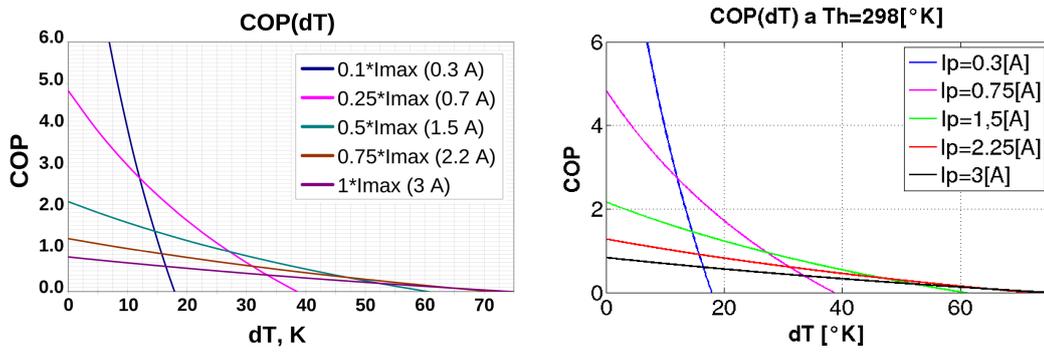


Fig. 3.9: Comparación de las curvas COP(dT) de la hoja de datos (izq.) y el modelo (der.).

3.2.2 Modelado del circuito interno

El circuito térmico interno está formado por aquellos elementos que se encuentran sobre la superficie de temperatura T_C , también llamada superficie fría por convención. Los elementos de este circuito se identifican a partir de la descripción del sensor realizada en [51]. Estos son el CI, los filtros espectrales, el termistor y el blindaje de radiación térmica espúrea. En la figura 3.10 se identifican los componentes del circuito térmico que representan estos elementos. Cabe aclarar que los filtros espectrales y el termistor tienen una masa despreciable en comparación al resto de los elementos y se los desprecia.

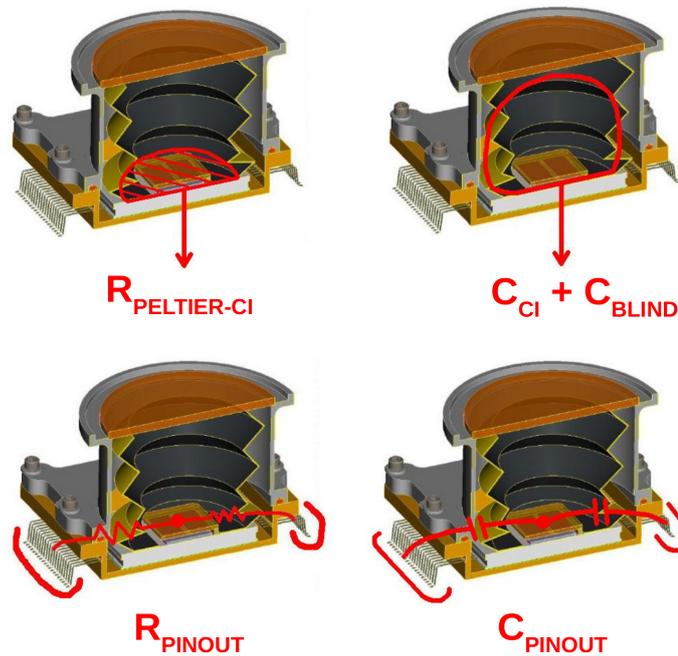


Fig. 3.10: Identificación de componentes del circuito térmico interno [51].

$R_{PELTIER-CI}$ representa la resistencia térmica entre el CI y la tapa cerámica del Peltier, y depende del adhesivo utilizado. Este es buen conductor térmico [51] y se estima su valor en $R_{PELTIER-CI} = 0,12[K/W]$. Dicho valor se toma de un modelado experimental validado de otra resistencia térmica de similares características [46].

C_{CI} representa la capacidad térmica del CI. Se la calcula en la ecuación (3.12) considerando el CI como un bloque de material cerámico de $30[\text{mm}] \times 26[\text{mm}] \times 4[\text{mm}]$ que resulta un volumen de $Vol_{CI} = 3,12 \cdot 10^{-6}[\text{m}^3]$ de densidad $\sigma_C = 3,72 \cdot 10^6[\text{g}/\text{m}^3]$ y de calor específico $C_{pC} = 0,88[\text{J}/\text{gK}]$, resultando $C_{CI} = 10,21[\text{J}/\text{K}]$. En la figura 3.11 se observa el CI y el blindaje de radiación espúrea.

$$C_{CI} = Vol_{CI} \cdot \sigma_C \cdot C_{pC} = 10,21 \left[\frac{\text{J}}{\text{K}} \right] \quad (3.12)$$

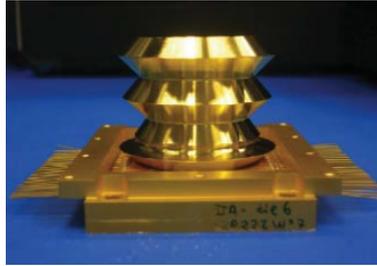


Fig. 3.11: CI junto al blindaje de radiación térmica espúrea [51]

C_{BLIND} representa la capacidad térmica del blindaje de radiación térmica espúrea. Se lo calcula en la ecuación (3.14) y resulta $C_{BLIND} = 2,43[\text{J}/\text{K}]$. El blindaje se lo considera como un tubo de dimensiones $11[\text{mm}] \times 29,6[\text{mm}] \times 0,5[\text{mm}]$ (radio x alto x espesor) que resulta un volumen de $Vol_{BLIND} = 999,65 \cdot 10^{-9}[\text{m}^3]$ el cual se calcula en la ecuación (3.13). La medidas del tubo se determina por comparación visual de la imagen. El material se considera aluminio de densidad $\sigma_{Al} = 2,698 \cdot 10^6[\text{g}/\text{m}^3]$ y un calor específico de $C_{pAl} = 0,9[\text{J}/\text{gK}]$.

$$Vol_{BLIND} = [\pi r^2 - \pi(r - 0,5[\text{mm}])^2] \cdot Alto = 999,65 \cdot 10^{-9}[\text{m}^3] \quad (3.13)$$

$$C_{BLIND} = Vol_{BLIND} \cdot \sigma_{Al} \cdot C_{pAl} = 2,43 \left[\frac{\text{J}}{\text{K}} \right] \quad (3.14)$$

Los elementos R_{PINOUT} y C_{PINOUT} representan la resistencia y la capacidad térmica de los 64 terminales del sensor IRL512 vinculados con el CI. Se aclara que los terminales vinculados con el módulo Peltier y el termistor son despreciados. R_{PINOUT} y C_{PINOUT} vinculan el circuito interno con el externo, sin embargo el flujo de calor que circula por ellos es mínimo, ya que el flujo principal circula por el Peltier. Para el cálculo se considera que los terminales están seguidos de un tramo de pista de circuito impreso.

R_{PINOUT} se calcula en la ecuación (3.17) como el paralelo de 64 resistencias individuales y resulta $R_{PINOUT} = 110,375[\text{W}/\text{K}]$. El terminal se considera como un cilindro de largo $L_{PIN} = 8[\text{mm}]$ y radio $r_{PIN} = 0,23[\text{mm}]$. El tramo de pista de circuito impreso se considera con un largo $L_{PISTA} = 10[\text{mm}]$, un ancho $A_{PISTA} = 0,2[\text{mm}]$ y

un espesor $e_{PISTA}=18[\mu m]$. Tanto el terminal como el tramo de pista se consideran de material de cobre con una conductividad térmica de $K_{Cu}=400[W/Km]$. En las ecuaciones (3.15) y (3.16) se calculan las áreas del terminal y el tramo de pista utilizados en (3.17).

$$S_{PIN} = \pi \cdot r_{PIN}^2 = 1,66 \cdot 10^{-7}[m^2] \quad (3.15)$$

$$S_{PISTA} = A_{PISTA} \cdot e_{PISTA} = 3,6 \cdot 10^{-9}[m^2] \quad (3.16)$$

$$R_{PINOUT} = \left(\frac{L_{PIN}}{K_{Cu} \cdot S_{PIN}} + \frac{L_{PISTA}}{K_{Cu} \cdot S_{PISTA}} \right) \cdot \frac{1}{64} = 110,38 \left[\frac{W}{K} \right] \quad (3.17)$$

Se calcula a C_{PINOUT} como el paralelo de 64 capacidades individuales. El cálculo considera una densidad del cobre de $\sigma_{Cu}=8.96 \cdot 10^6[g/m^3]$ y un calor específico de $Cp_{Cu}=0.385[J/gK]$. En las ecuaciones (3.18) y (3.19) se calcula el volumen de los terminales individuales y el volumen del tramo de pista utilizados. El valor de C_{PINOUT} se calcula en la ecuación (3.20) y resulta $0.295[J/K]$. (3.20).

$$Vol_{PIN} = \pi \cdot r_{PIN}^2 \cdot L_{PIN} = 1,33 \cdot 10^{-9}[m^3] \quad (3.18)$$

$$Vol_{PISTA} = L_{PISTA} \cdot A_{PISTA} \cdot e_{PISTA} = 3,60 \cdot 10^{-11}[m^3] \quad (3.19)$$

$$C_{PINOUT} = (Vol_{PIN} + Vol_{PISTA}) \cdot 64 \cdot \sigma_{Cu} \cdot Cp_{Cu} = 0,30 \left[\frac{J}{K} \right] \quad (3.20)$$

El consumo de potencia eléctrica del sensor se disipa en el CI en forma de calor y se representa en el circuito térmico por Q_{CI} . Se estima que el flujo de calor disipado del sensor en funcionamiento es constante y su valor es de $Q_{CI}=1805[mW]$.

T_{CHASIS} representa la temperatura del alojamiento del sensor y su valor depende del escenarios de operación. En la sección 3.4 se la describen los escenarios de simulación y los valores de T_{CHASIS} utilizados.

El modelo del circuito térmico interno se observa en la figura 3.12.

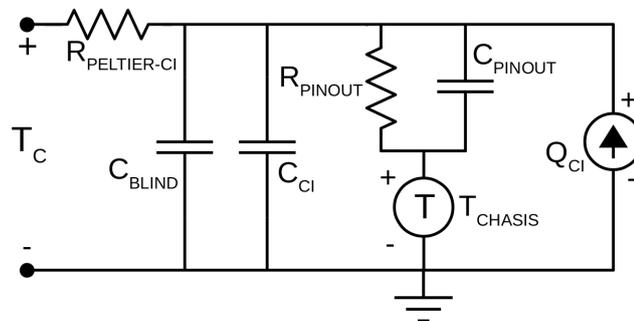


Fig. 3.12: Modelo del circuito térmico interno.

3.2.3 Modelado del circuito externo

El circuito térmico externo está formado por aquellos elementos que se encuentran sobre la superficie disipadora caliente (según convención) del Peltier. Estos elementos son el encapsulado del sensor y la estructura metálica de apoyo de los sensores. En la figura 3.13 se identifican los componentes del circuito térmico que representan estos elementos.

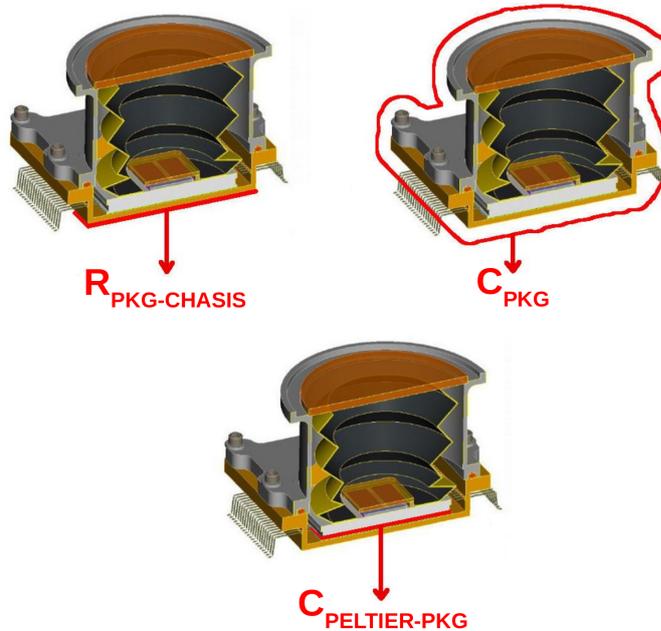


Fig. 3.13: Elementos del circuito térmico externo [51].

$R_{\text{PELTIER-PKG}}$ representa la resistencia térmica entre la tapa cerámica del Peltier y el encapsulado del sensor. Se supone que se utiliza un adhesivo con buena conductividad térmica y se estima su valor en $R_{\text{PELTIER-PKG}} = 0,12[\text{K/W}]$. Al igual que $R_{\text{PELTIER-CI}}$, este valor se toma de casos de similares características [46].

C_{PKG} representa la capacidad térmica del encapsulado del sensor IRL512. Se estima que el encapsulado es de material Kovar y pesa $P_{\text{PACKAGE}} = 300[\text{g}]$. Se calcula C_{PKG} en la ecuación 3.21 resultando $138[\text{J/K}]$. Para el cálculo se considera un calor específico de Kovar de $C_{p_{\text{KOVAR}}} = 0,46[\text{J/gK}]$.

$$C_{\text{PKG}} = P_{\text{PKG}} \cdot C_{p_{\text{KOVAR}}} = 138 \left[\frac{\text{J}}{\text{K}} \right] \quad (3.21)$$

$R_{\text{PKG-CHASIS}}$ representa la resistencia térmica entre el encapsulado y la estructura metálica en la que se montan los sensores. Se ha seleccionado un material de junta con buena conductividad térmica. Tomando como referencia [52] se considera $R_{\text{PKG-CHASIS}} = 0,65[\text{K/W}]$.

El circuito térmico externo se observa en la figura 3.14.

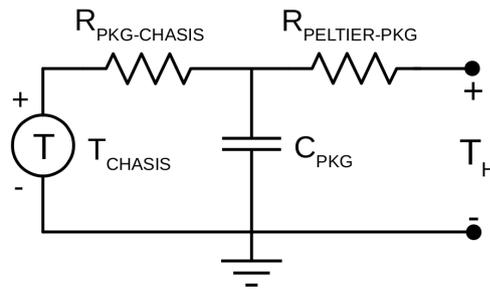


Fig. 3.14: Modelo del circuito térmico externo

3.2.4 Circuito termo-eléctrico resultante

En la figura 3.15 se observa el circuito termo-eléctrico completo. Está formado por el circuito interno del sensor, el circuito externo del sensor, el circuito del Peltier y el circuito del termistor.

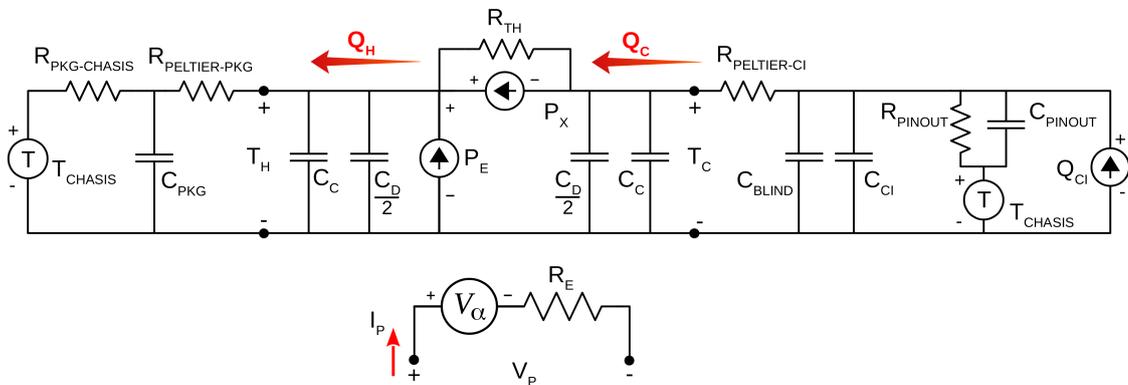


Fig. 3.15: Circuito termo-eléctrico completo

Los valores de $R_{PELTIER-CI}$ y $R_{PELTIER-PKG}$ son muy pequeños en comparación a R_{TH} y $R_{PKG-CHASIS}$, y se decide despreciarlos. De igual modo, C_{PINOUT} es muy pequeño en comparación con C_{CI} y se lo desprecia. Con el objetivo de simplificar el circuito en las ecuaciones (3.22) y (3.23) se calcula el valor equivalente de algunas capacidades que quedan en paralelo. En la figura 3.16 se observa el circuito termo-eléctrico resultante. A este modelo se lo llama circuito termo-eléctrico simplificado y es el que se utiliza para el simulador.

$$C_{INT} = C_C + \frac{C_D}{2} + C_{BLIND} + C_{CI} = 13,43 \left[\frac{J}{K} \right] \tag{3.22}$$

$$C_{EXT} = C_C + \frac{C_D}{2} + C_{PKG} = 138,79 \left[\frac{J}{K} \right] \tag{3.23}$$

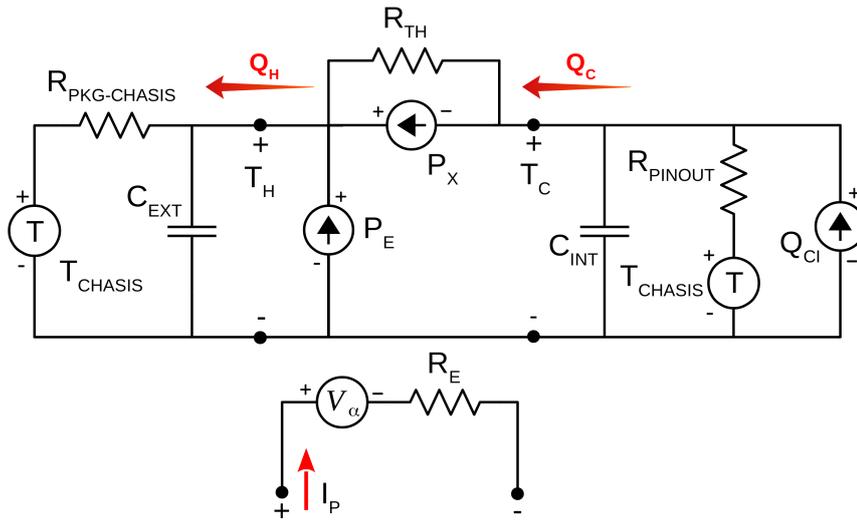


Fig. 3.16: Circuito termo-eléctrico simplificado

3.2.5 Modelado del termistor

Se modela un termistor de Coeficiente de Temperatura Negativo (Negative Temperature Coefficient, NTC) de $10[\text{K}\Omega]$ a $25[^\circ\text{C}]$. El termistor está ubicado sobre la superficie fría del Peltier y relaciona a T_C con la resistencia R_T . En su ficha técnica hay una tabla de valores de resistencia para temperaturas entre $-40[^\circ\text{C}]$ y $125[^\circ\text{C}]$ cada intervalos de $1[^\circ\text{C}]$. Esta tabla se toma como referencia para contrastar el modelo. En la figura 3.17 se observa la curva del termistor a partir de la tabla de referencia.

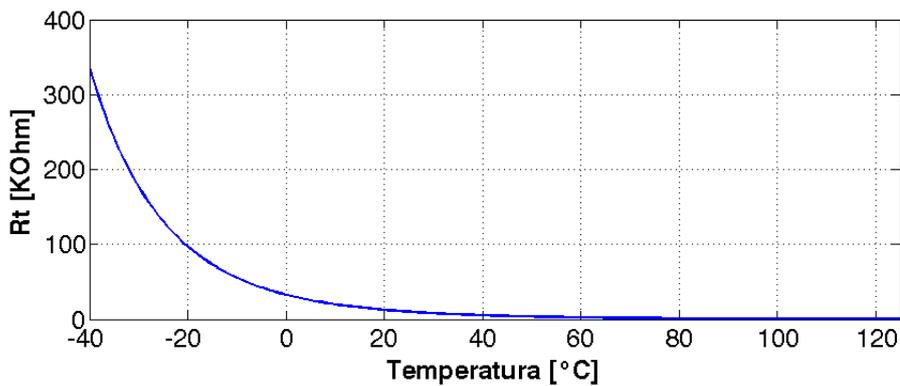


Fig. 3.17: Resistencia del termistor en función de la temperatura.

La hoja de datos el fabricante especifica la constante $\beta_{25/85}$ para utilizar el modelo B. Sin embargo se decide utilizar el modelo de Steinhart-Hart ya que tiene mayor exactitud [53]. La ecuación de Steinhart-Hart se observa en la expresión (3.24) y determina el valor de temperatura en $[^\circ\text{K}]$ a partir del valor de la resistencia en $[\Omega]$. Sin embargo, para modelar el termistor se requiere la inversa de esta función, que está representada por la ecuación (3.25). Las expresiones (3.26) y (3.27) se utilizan como parte del cálculo de (3.25).

$$\frac{1}{T} = A + B \cdot \log(R) + C \cdot [\log(R)]^3 \quad (3.24)$$

$$R_T = e \left(\sqrt[3]{y - \frac{x}{2}} - \sqrt[3]{y + \frac{x}{2}} \right) \quad (3.25)$$

$$x = \frac{1}{C} \left(A - \frac{1}{T} \right) \quad (3.26)$$

$$y = \sqrt{\left(\frac{B}{3C} \right)^3 + \left(\frac{X}{2} \right)^2} \quad (3.27)$$

Los coeficientes de la ecuación de Stain-Hart (3.24) se obtienen con la ayuda de la aplicación web [54]. Se calculan optimizando la curva para $R_{T8^\circ\text{C}} = 21921[\Omega]$, $R_{T13^\circ\text{C}} = 17257[\Omega]$ y $R_{T18^\circ\text{C}} = 13682[\Omega]$, resultando $A = 1,136 \cdot 10^{-3}$, $B = 2,330 \cdot 10^{-4}$ y $C = 9,133 \cdot 10^{-8}$. Con estos coeficientes se tiene un error menor a $0,5[\text{m}^\circ\text{C}]$ entre $8[^\circ\text{C}]$ y $18[^\circ\text{C}]$.

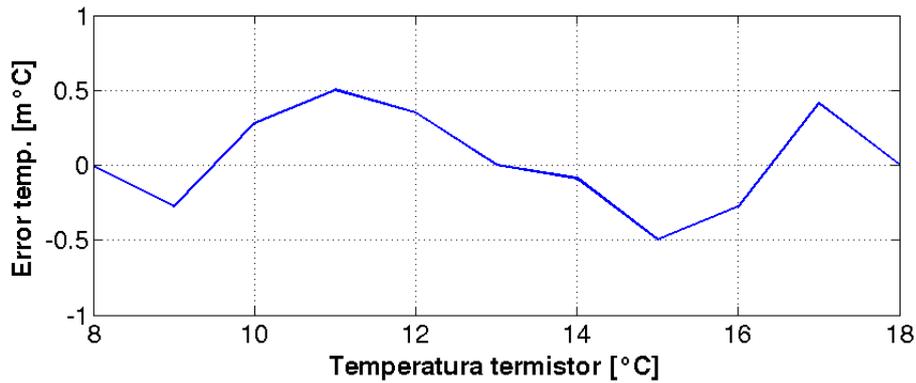


Fig. 3.18: Error relativo del modelado.

Tomando como referencia [53] se modela la respuesta en frecuencia como un filtro de primer orden. El fabricante especifica en la hoja de datos que la constante de tiempo del termistor sumergido en líquidos es de $1[\text{seg}]$. No obstante, se desconoce las características del montaje el termistor en el sensor IRL512. En consecuencia se decide modelar con la constante de tiempo $\tau_T = 1[\text{s}]$. Esto representa una frecuencia de corte de $0,159[\text{Hz}]$ con una atenuación de $-20[\text{dB/dec}]$.

En la ecuación (3.28) se observa el modelo del termistor considerando la respuesta en frecuencia. $R_T(\text{Temp})$ representa la ecuación (3.25). En la figura 3.19 se observa la respuesta del modelo del termistor a un escalón de temperatura de $10[^\circ\text{C}]$ a $15[^\circ\text{C}]$.

$$R_T(t) = R_T(\text{Temp}) \cdot e^{\left(\frac{-t}{\tau_T} \right)} \quad (3.28)$$

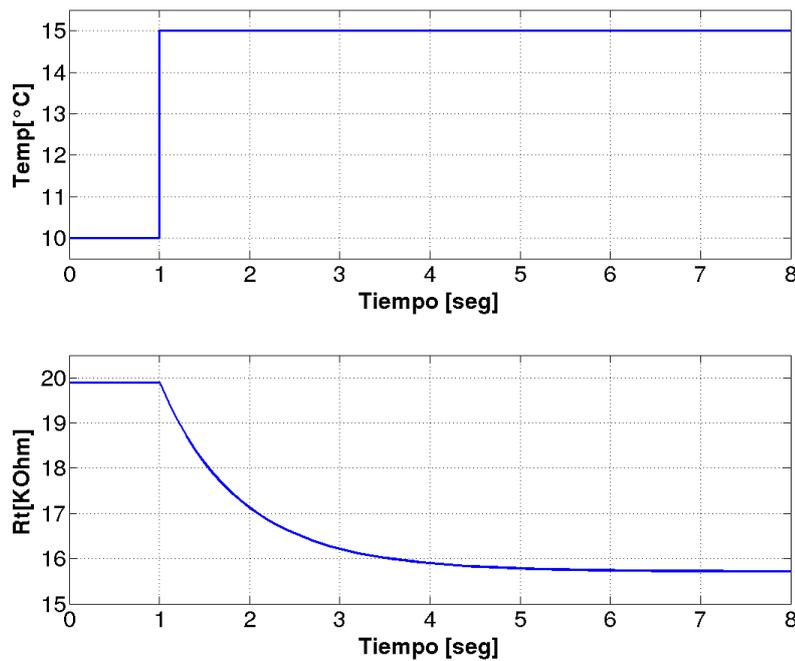


Fig. 3.19: Modelo del circuito térmico externo

3.3 Inclusión de los modelos en el simulador

Todos los modelos realizados se deben introducir en Simulink para poder construir el simulador. A continuación se detalla el proceso mediante el cual se descompone el circuito en funciones para poder insertarlas en el software de desarrollo.

3.3.1 Inclusión del módulo Peltier

Se construye un subsistema en Simulink con el modelo termo-eléctrico del Peltier. Tiene como entrada V_p , T_H y T_C . El voltaje aplicado en bornes del Peltier V_p es suministrado por el controlador PID. Las temperaturas T_H y T_C dependen de los circuitos térmicos externos e interno. Las salidas del subsistema son los flujos de calor Q_H y Q_C .

El subsistema se construye con las ecuaciones (3.1), (3.2), (3.6) y (3.5). En la figura 3.20 se observa el bloque subsistema del modelo del Peltier en Simulink.

Circuito termo-electrico del Peltier

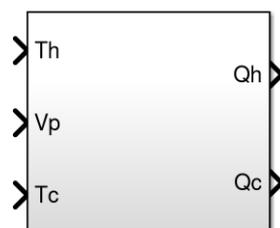


Fig. 3.20: Subsistema en Simulink del módulo Peltier.

3.3.2 Inclusión del circuito térmico interno

Se construye un subsistema en Simulink del modelo simplificado del circuito térmico interno. Las variables de entrada son Q_C y T_{CHASIS} . El flujo de calor Q_C proviene del subsistema del módulo Peltier y la temperatura T_{CHASIS} depende del escenario de simulación. La variable de salida es la temperatura de la superficie fría del Peltier T_C , la cual está en contacto con el sensor. En la figura 3.21 se observa el bloque del subsistema del circuito interno.

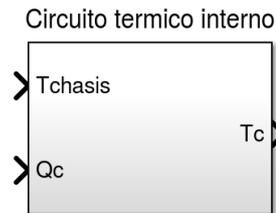


Fig. 3.21: Bloque del subsistema del circuito interno en Simulink.

Para insertar el modelo en Simulink se plantean las Funciones De Transferencia (FDT) individuales de todas las fuentes del circuito respecto de T_C y luego se aplica el principio de superposición. El flujo de calor Q_C se considera como una fuente más del circuito. En la figura 3.22 se observa el circuito interno simplificado con Q_C como fuente de calor.

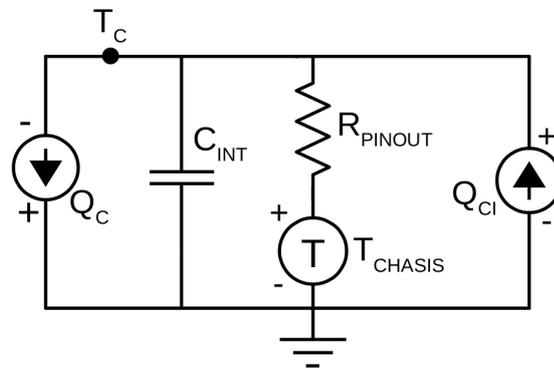


Fig. 3.22: Circuito interno simplificado con Q_C como fuente de calor.

Para hallar la FDT de T_C respecto de una fuente en particular, se pasivan las fuentes restantes, resultando en un circuito equivalente. Una fuente de temperatura se pasiva como un conductor (corto circuito) y una fuente de calor se pasiva como un circuito abierto. El circuito equivalente se resuelve utilizando las leyes de Kirchoff y aplicando la transformada de Laplace a las ecuaciones. Es conveniente hacer explícita la polaridad de los componentes para no confundir las direcciones de los flujos de calor. Para simplificar las ecuaciones se define el parámetro $\text{TauInt} = C_{\text{INT}} \cdot R_{\text{PINOUT}}$. En la figura 3.23 se observan los circuitos equivalentes utilizados para hallar las FDT individuales.

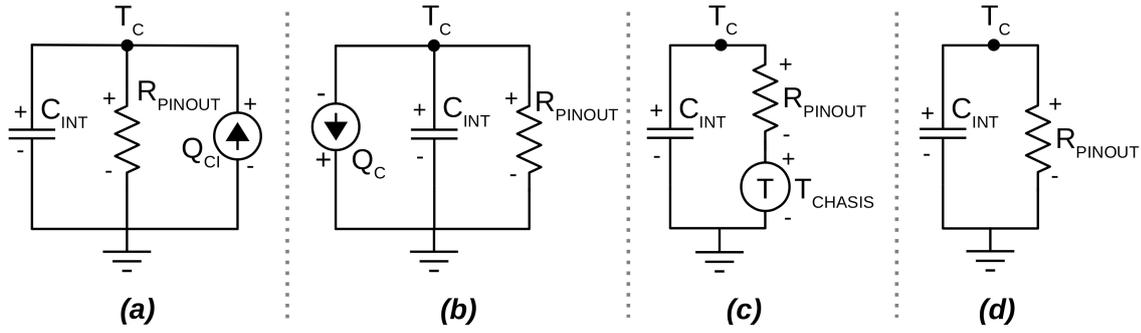


Fig. 3.23: Circuitos equivalentes internos para el cálculo de las FDT individuales.

La FDT T_C/Q_{CI} se deduce en las ecuaciones (3.29), (3.30) y (3.31) utilizando el circuito de la figura 3.23(a).

$$\{Q_{CI}(t) = Q_{C_{INT}}(t) + Q_{R_{PINOUT}}(t)\} \mathcal{L} \quad (3.29)$$

$$\begin{aligned} Q_{CI}(s) &= C_{INT} \cdot s \cdot T_C(s) + \frac{T_C(s)}{R_{PINOUT}} \\ &= T_C(s) \left(C_{INT} \cdot s + \frac{1}{R_{PINOUT}} \right) \end{aligned} \quad (3.30)$$

$$\frac{T_C(s)}{Q_{CI}(s)} = \frac{1/C_{INT}}{s + 1/TauInt} \quad (3.31)$$

La FDT T_C/Q_C se deduce en las ecuaciones (3.32), (3.33) y (3.34) utilizando el circuito de la figura 3.23(b).

$$\{-Q_C(t) = Q_{C_{INT}}(t) + Q_{R_{PINOUT}}(t)\} \mathcal{L} \quad (3.32)$$

$$\begin{aligned} Q_C(s) &= C_{INT} \cdot s \cdot T_C(s) + \frac{T_C(s)}{R_{PINOUT}} \\ &= T_C(s) \left(C_{INT} \cdot s + \frac{1}{R_{PINOUT}} \right) \end{aligned} \quad (3.33)$$

$$\frac{T_C(s)}{Q_C(s)} = \frac{-1/C_{INT}}{s + 1/TauInt} \quad (3.34)$$

La FDT T_C/T_{CHASIS} se deduce en las ecuaciones (3.35), (3.36) y (3.37) utilizando el circuito de la figura 3.23(c).

$$\{T_C(t) = T_{CHASIS}(t) + T_{R_{PINOUT}}(t)\} \mathcal{L} \quad (3.35)$$

$$\begin{aligned} T_C(s) &= T_{CHASIS}(s) - Q_{C_{INT}}(s) \cdot R_{PINOUT} \\ &= T_{CHASIS}(s) - C_{INT} \cdot s \cdot T_C(s) \cdot R_{PINOUT} \end{aligned} \quad (3.36)$$

$$\frac{T_C(s)}{T_{CHASIS}(s)} = \frac{1/TauInt}{s + 1/TauInt} \quad (3.37)$$

Se debe tener en cuenta el efecto de las condiciones iniciales de temperatura de C_{INT} . La respuesta se deduce en las ecuaciones (3.38), (3.39) y (3.40) utilizando el circuito 3.23(d).

$$\{T_C(t) = T_{R_{PINOUT}}(t)\} \mathcal{L} \tag{3.38}$$

$$\begin{aligned} T_C(s) &= Q_{R_{PINOUT}}(s) \cdot R_{PINOUT} \\ &= -Q_{C_{INT}}(s) \cdot R_{PINOUT} \\ &= -[C_{INT} \cdot s \cdot T_C - C_{INT} \cdot T_C(0)] \cdot R_{PINOUT} \end{aligned} \tag{3.39}$$

$$T_C(s) = \frac{T_C(0)}{s + 1/TauInt} \tag{3.40}$$

La ecuación (3.40) se inserta en Simulink realimentando las ecuaciones (3.41) y (3.42). El valor inicial de temperatura $T_C(0)$ se asigna a la condición inicial del integrador.

$$Q_{R_{PINOUT}}(t) = \frac{T_C(t)}{R_{PINOUT}} \tag{3.41}$$

$$T_C(t) = \frac{-1}{C_{INT}} \int_0^t Q_{R_{PINOUT}}(t) \cdot dt + T_C(0) \tag{3.42}$$

En la figura 3.24 se observa el subsistema en Simulink del circuito interno simplificado.

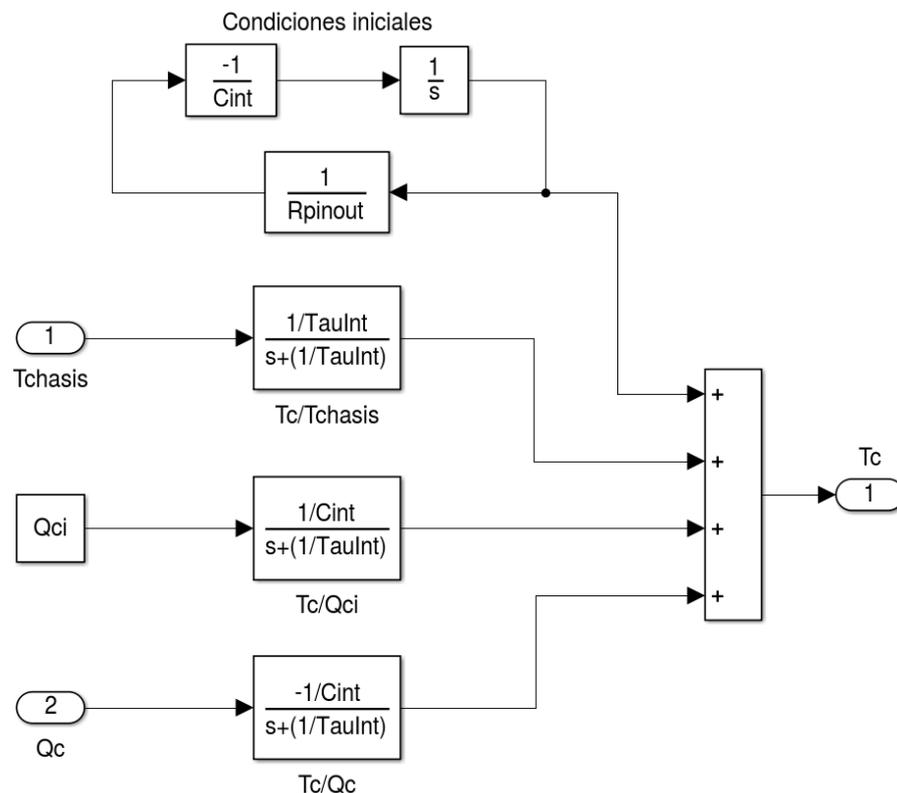


Fig. 3.24: Subsistema del circuito interno simplificado en Simulink.

3.3.3 Inclusión del circuito térmico externo

Se construye un subsistema en Simulink del modelo simplificado del circuito térmico externo. Las variables de entrada son Q_H y T_{CHASIS} . El flujo de calor Q_H proviene del subsistema del módulo Peltier y la temperatura T_{CHASIS} depende del escenario de simulación. La variable de salida es la temperatura de la superficie caliente del Peltier T_H . En la figura 3.25 se observa el bloque del subsistema del circuito externo.

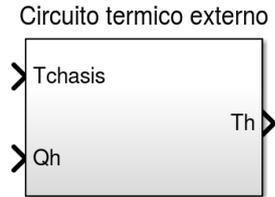


Fig. 3.25: Bloque del subsistema de circuito externo en Simulink.

Para insertar el modelo en Simulink se opera de la misma forma que en el circuito interno. En la figura 3.26 se observa el circuito externo simplificado con Q_H como fuente de calor.

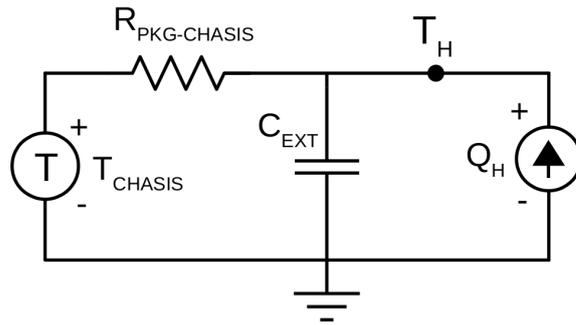


Fig. 3.26: Circuito externo simplificado con Q_H como fuente de calor.

Para simplificar las ecuaciones se define el parámetro $\text{TauInt} = C_{EXT} \cdot R_{PKG-CHASIS}$. En la figura 3.27 se observan los circuitos equivalentes utilizados para hallar las FDT individuales.

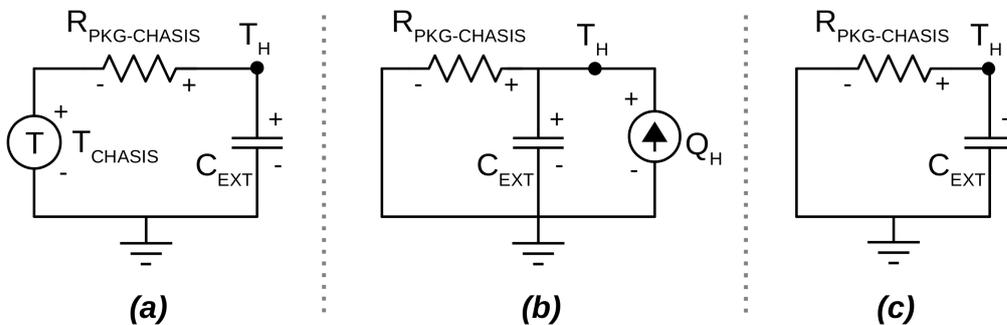


Fig. 3.27: Circuitos equivalentes externos para el cálculo de las FDT individuales.

La FDT T_H/T_{CHASIS} se deduce en las ecuaciones (3.43), (3.44) y (3.45) utilizando el circuito de la figura 3.27(a).

$$\{T_H(t) = T_{CHASIS}(t) + T_{R_{PKG-CHASIS}}(t)\} \mathcal{L} \quad (3.43)$$

$$\begin{aligned} T_H(s) &= T_{CHASIS}(s) - Q_{C_{EXT}}(s) \cdot R_{PKG-CHASIS} \\ &= T_{CHASIS}(s) - C_{EXT} \cdot s \cdot T_H(s) \cdot R_{PKG-CHASIS} \end{aligned} \quad (3.44)$$

$$\frac{T_H(s)}{T_{CHASIS}(s)} = \frac{1/TauExt}{s + 1/TauExt} \quad (3.45)$$

La FDT T_H/Q_H se deduce en las ecuaciones (3.46), (3.47) y (3.48) utilizando el circuito de la figura 3.27(b).

$$\{Q_H(t) = Q_{C_{EXT}}(t) + Q_{R_{PKG-CHASIS}}(t)\} \mathcal{L} \quad (3.46)$$

$$\begin{aligned} Q_H(s) &= C_{EXT} \cdot s \cdot T_H(s) + \frac{T_H(s)}{R_{PKG-CHASIS}} \\ &= T_H(s) \cdot \left(C_{EXT} \cdot s + \frac{1}{R_{PKG-CHASIS}} \right) \end{aligned} \quad (3.47)$$

$$\frac{T_H(s)}{Q_H(s)} = \frac{1/C_{EXT}}{s + 1/TauExt} \quad (3.48)$$

Se tiene en cuenta el efecto de las condiciones iniciales de temperatura de C_{EXT} . La respuesta se deduce de la misma forma que en el circuito interno y se llega a la ecuación (3.49) utilizando el circuito de la figura 3.27(c).

$$T_H(s) = \frac{T_H(0)}{s + 1/TauExt} \quad (3.49)$$

La ecuación (3.49) se inserta en Simulink realimentando las ecuaciones (3.50) y (3.51). El valor inicial de temperatura $T_H(0)$ se asigna a la condición inicial del integrador.

$$Q_{R_{PKG-CHASIS}}(t) = \frac{T_H(t)}{R_{PKG-CHASIS}} \quad (3.50)$$

$$T_H(t) = \frac{-1}{C_{EXT}} \int_0^t Q_{R_{PKG-CHASIS}}(t) \cdot dt + T_H(0) \quad (3.51)$$

En la figura 3.28 se observa el subsistema en Simulink del circuito externo simplificado.

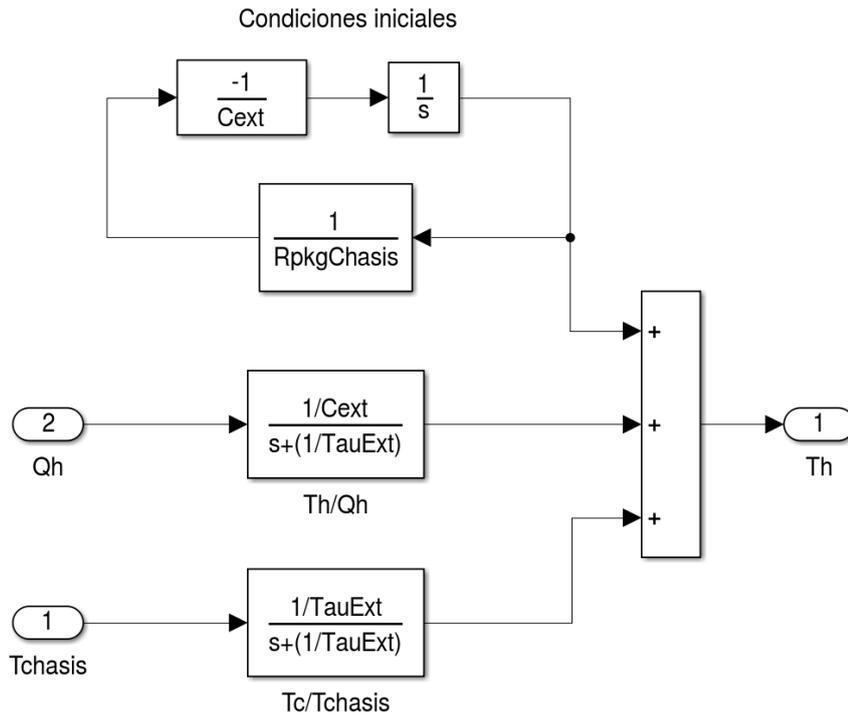


Fig. 3.28: Subsistema por dentro del circuito externo simplificado en Simulink.

3.3.4 Inclusión del circuito termo-eléctrico completo

Se construye un subsistema en Simulink del circuito termo-eléctrico. Éste tiene como entrada a V_P y como salida T_C . Se construye a partir de los subsistemas del módulo Peltier, el circuito interno y el circuito externo. En la figura 3.29 se observa el bloque del subsistema del circuito termo-eléctrico.

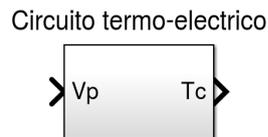


Fig. 3.29: Subsistema del modelo termo-eléctrico en Simulink.

En la figura 3.30 se observa el subsistema del circuito termo-eléctrico. En el circuito, el módulo Peltier controla los flujos de calor Q_H y Q_C , y las temperaturas T_H y T_C dependen de los circuitos térmicos interno y externo. Asimismo, los flujos de calor dependen de las temperaturas y las temperaturas dependen de los flujos de calor.

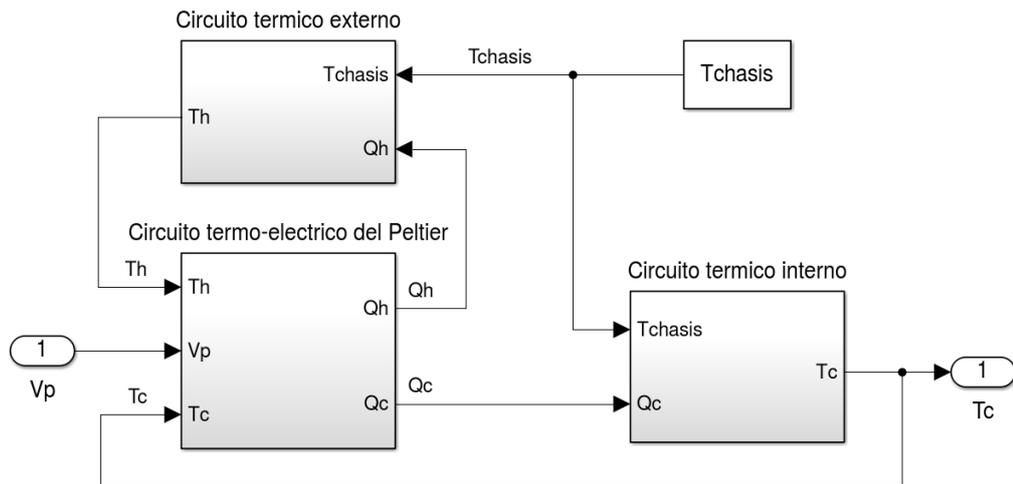


Fig. 3.30: Bloque del circuito termo-eléctrico simplificado en Simulink.

3.3.5 Inclusión del termistor

Se construye un subsistema en Simulink para representar el comportamiento del termistor. La variable de entrada es la temperatura $Temp$ en $[^{\circ}K]$ y la salida la resistencia R_T en $[\Omega]$. El subsistema se construye con las ecuaciones (3.26), (3.27), (3.25) y (3.28). La respuesta en frecuencia se incluye con la FDT de un filtro de primer orden con una constante de tiempo de $1[s]$. Al filtro se le asigna la temperatura inicial $T_{TERMISTOR}(0)$ igual que la temperatura inicial de C_{INT} . En la figura 3.20 se observa el bloque subsistema del modelo del Peltier en Simulink y en la figura 3.32 se observa el bloque del subsistema.

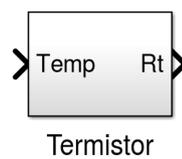


Fig. 3.31: Bloque del circuito externo simplificado en Simulink.

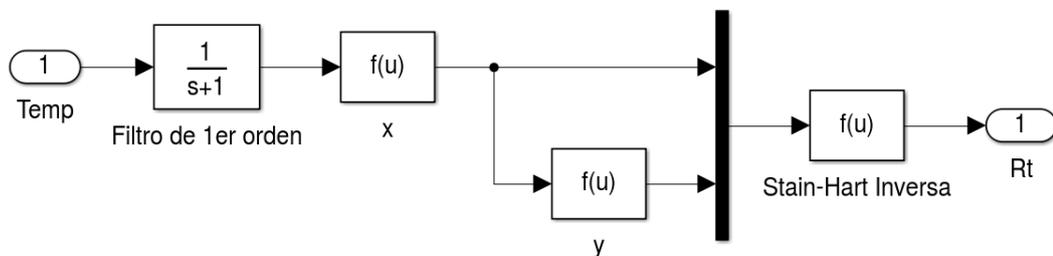


Fig. 3.32: Subsistema del termistor en Simulink.

3.4 Escenarios de simulación

T_{CHASIS} representa la temperatura del alojamiento metálico del sensor IRL512. Cuando el instrumento está en funcionamiento, los alojamientos de cada uno de los sensores tienen distintos valores de temperatura. En este trabajo de tesis, son de interés los casos térmicos extremos. Si el control térmico resulta satisfactorio en los casos térmicos extremos, en las condiciones intermedias (donde opera menos exigido) también lo hará.

Se realizó un análisis térmico del modelo de la OB del instrumento TIR con el Método de Elementos Finitos (Finite Element Method, FEM) [55]. Este análisis considera al instrumento en funcionamiento y el modelo corresponde al diseño preliminar con el que se contaba al momento del análisis. Se tienen en cuenta las condiciones de contorno dadas por el satélite en vuelo y una estimación de la disipación de potencia de los componentes electrónicos. El software empleado no permite manejar los módulos Peltier con un controlador PID, pero si es posible un control ON/OFF con histéresis. El resultado del análisis menciona que las temperaturas extremas de todos los alojamientos de los sensores son $13[^\circ\text{C}]$ y $18[^\circ\text{C}]$.

En la OB existe un Punto de Referencia de Temperatura (Temperature Reference Point, TRP) y en [56] se menciona que la Temperatura de Vuelo Permitida (Allowable Flight Temperature, AFT) se debe mantener entre $-5[^\circ\text{C}]$ y $15[^\circ\text{C}]$. El TRP se encuentra en una estructura de aluminio sobre la cual se montan los EOM mediante los alojamientos de los sensores. Por consiguiente, el TRP y los alojamientos están vinculados térmicamente. Cuando el instrumento está apagado, no hay disipación de calor por los circuitos electrónicos, en consecuencia no circulan flujos de calor y la temperatura es homogénea. Se supone entonces que los alojamientos de los sensores se mantienen en el rango de temperatura AFT. Por lo tanto, el caso de encendido más frío corresponde para $-5[^\circ\text{C}]$.

T_{REF} representa la temperatura de estabilización de los sensores. Todos los sensores tienen la misma temperatura de estabilización, y esta puede configurarse entre $10[^\circ\text{C}]$ y $16[^\circ\text{C}]$. La razón de este rango térmico se da porque el barril de lentes se debe mantener entre $10[^\circ\text{C}]$ y $18[^\circ\text{C}]$, y se esperan fugas de flujo de calor. Estas fugas de calor resultan menores cuanto más se aproximen la temperatura del barril con la del sensor. La temperatura óptima de funcionamiento se definirá en la fase de diseño de detalle. Por tanto se decide que exista la posibilidad de configurarla.

Los escenarios de simulación se determinan según el valor de T_{CHASIS} y T_{REF} . Cada escenario representa un peor caso térmico, es por ello que ante un T_{CHASIS} mínimo se selecciona un T_{REF} máximo. Se identifican tres escenarios de simulación y en la tabla 3.1 se detallan cada uno de estos. Se aclara que en todos los escenarios, las condiciones iniciales $T_{\text{C}}(0)$, $T_{\text{H}}(0)$ y $T_{\text{TERMISTOR}}(0)$ toman el valor de T_{CHASIS} . Todas las simulaciones, cualquiera fuese el escenario, duran $1000[\text{s}]$.

Escenario	$T_{\text{CHASIS}} [^{\circ}\text{C}]$	$T_{\text{REF}} [^{\circ}\text{C}]$
Frío	13	16
Caliente	18	10
Encendido en frío	-5	16

Tabla 3.1: Escenarios de simulación.

3.5 Métricas de rendimiento

Se definen indicadores para comparar el rendimiento de las alternativas de diseño del sistema de control térmico. Estos indicadores se miden en un escenario en particular y de una determinada manera. En la tabla 3.2 se observan los indicadores utilizados y su descripción.

Indicador	Escenario	Descripción
τ_s	Encendido en frío	Tiempo transcurrido desde el inicio de la simulación hasta que la temperatura se establece con un error menor a 10[mK].
M_p	Encendido en frío	Sobre pico de temperatura cuando se enciende el control térmico.
$\epsilon_{\text{SS-FRÍO}}$	Frío	Error de temperatura de estado estacionario en el escenario frío.
$\epsilon_{\text{SS-CAL}}$	Caliente	Error de temperatura de estado estacionario en el escenario caliente.
ϵ_{PESC}	Frío	Error de temperatura ante una perturbación escalón de 5[$^{\circ}\text{C}$] en T_{CHASIS} a los 200[s] de simulación. ^{NOTA}
ϵ_{PRAM}	Frío	Error de temperatura ante una perturbación rampa de 5[$^{\circ}\text{C}$] durante 20[s] en T_{CHASIS} a los 200[s] de simulación. ^{NOTA}
$I_{\text{P}_{\text{MAX-ENC}}}$	Encendido en frío	Máxima corriente eléctrica que circula por el Peltier durante el encendido en frío.
$I_{\text{P}_{\text{SS-FRÍO}}}$	Frío	Corriente eléctrica que circula por el Peltier cuando se alcanza el régimen estacionario en el escenario frío.
$I_{\text{P}_{\text{SS-CAL}}}$	Caliente	Corriente eléctrica que circula por el Peltier cuando se alcanza el régimen estacionario en el escenario caliente.
$V_{\text{P}_{\text{SS-FRÍO}}}$	Frío	Voltaje aplicado al Peltier cuando se alcanza el régimen estacionario en el escenario frío.
$V_{\text{P}_{\text{SS-CAL}}}$	Caliente	Voltaje aplicado al Peltier cuando se alcanza el régimen estacionario en el escenario caliente.

Tabla 3.2: Métricas de rendimiento del simulador del control térmico.

NOTA: Estos indicadores no representan una situación no es real, pero son útiles para caracterizar la respuesta del controlador.

Para todos los indicadores de estado estacionario ($\epsilon_{SS-FRIO}$, ϵ_{SS-CAL} , $I_{P_{MAX-ENC}}$, $I_{P_{SS-CAL}}$, $V_{P_{SS-FRIO}}$ y $V_{P_{SS-CAL}}$) la medición se efectúa entre los 800[s] y los 1000[s] que dura la simulación. Este tiempo es lo suficientemente largo como para que en todos los casos de simulación se considere el régimen permanente (o estacionario).

3.6 Controlador del lazo

La arquitectura propuesta en la sección 2.3 utiliza un controlador del tipo PID. En la figura 3.33 se observa el diagrama en bloques de un controlador PID convencional en formato paralelo y su comportamiento se representa con la ecuación (3.52). $E(s)$ representa la señal de error y $Sal(s)$ representa la señal de control. La señal de error es la diferencia entre la temperatura de establecimiento T_{REF} y la temperatura medida por el termistor T_{MED} .

Simulink dispone del controlador PID entre el paquete de herramientas y brinda soporte para la sintonización del lazo [57]. Sintonizar el lazo consiste en calcular los coeficientes del controlador que otorgan las características de control al sistema.

$$PID_C(s) = \frac{Sal(s)}{E(s)} = K_P + \frac{K_I}{s} + K_D \cdot s \quad (3.52)$$

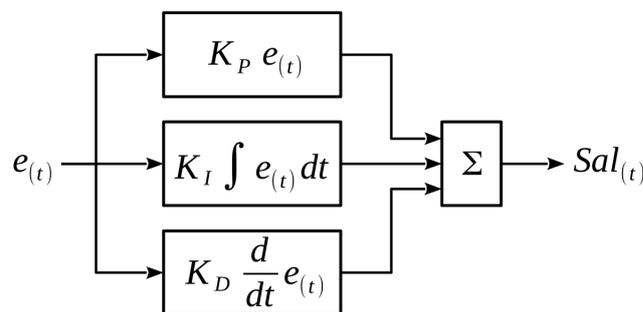


Fig. 3.33: Diagrama en bloques de un controlador PID.

El controlador PID tiene tres términos y según la aplicación puede que no sea necesario la utilización de alguno de éstos. A continuación se realiza un análisis de los términos que son conveniente utilizar, luego se optimiza el controlador y por último se realiza un análisis de la sintonización del lazo de control.

3.6.1 Análisis y selección del controlador

Se realiza un análisis de lazo de control en donde se anulan algunos términos del controlador PID. Los controladores evaluados son Proporcional (P), Proporcional Integral (PI) y PID. Todo estos se sintonizan con el mismo criterio a fin de poder compararlas. El método de sintonización utilizado es Sokogestad-IMC. En la sección

3.6.3 se realiza un análisis detallado sobre la sintonización del lazo de control. En la tabla 3.3 se observan los resultados de la simulación.

Cont.	Coefficientes	τ_s [s]	M_P [°C]	$\epsilon_{SS-FRIO}$ [m°C]	ϵ_{SS-CAL} [m°C]	ϵ_{PESC} [m°C]	ϵ_{PRAM} [m°C]
P	$K_P = -1,757$	<i>Inf</i>	1,8	203,80	608,5	321,23	265,82
PI	$K_P = -2,928$ $K_I = -0,512$	63,3	12,1	0	0	7,33	6,15
PID	$K_P = -3,111$ $K_I = -0,512$ $K_D = -1,047$	40,2	10,4	0	0	6,64	6,10

Tabla 3.3: Comparación de controladores P, PI y PID.

Los resultados demuestran que es necesario la etapa del integrador ya que corrige el error de estado estacionario. El máximo rendimiento se obtiene utilizando el término derivativo, ya que reduce el tiempo de establecimiento y aumenta el rechazo a las perturbaciones. No obstante, se decide utilizar un controlador PI por ser más simple, más robusto y utilizar menos recursos en los circuitos digitales.

3.6.2 Optimización del controlador

Es posible mejorar el rendimiento del controlador PID convencional agregando algunos elementos. Sin embargo, el rendimiento y la complejidad están comprometidas. Es por ello que se han seleccionado soluciones de sencilla implementación.

El controlador PID suministra al módulo Peltier un voltaje de excitación para lograr la temperatura adecuada. Cuando la temperatura de estabilización deseada es notablemente diferente de la temperatura del sensor, el voltaje suministrado al Peltier puede tomar valores excesivos. Esto provoca corrientes eléctricas que pueden provocar daños en los circuitos, en la fuente de alimentación, o bien en el mismo módulo Peltier. Es por ello que se utiliza un limitador en la salida del controlador PID para acotar la salida y evitar los problemas mencionados.

En situaciones donde la salida se satura existe un efecto indeseado en el término integral conocido como “windup”. Esto sucede cuando la salida del integrador toma valores absolutos elevados provocando grandes sobre picos y aumentando el tiempo de establecimiento [58] [59] [60] [61]. Existen distintas estrategias conocidas como “anti-windup” para solucionar este inconveniente. Tomando como referencia [58] se selecciona el método “back calculation” por presentar un buen rendimiento y es de sencilla implementación. Este método realimenta sobre el término integral un valor proporcional a la diferencia entre la salida saturada y no saturada del controlador. La constante de proporcionalidad se define como K_B y limita el valor máximo del término

integral cuando el controlador se satura. Según las comparaciones de realizadas en [60] se decide utilizar un $K_B = 1$.

En la figura 3.34 se observa el controlador optimizado con limitador y anti-windup.

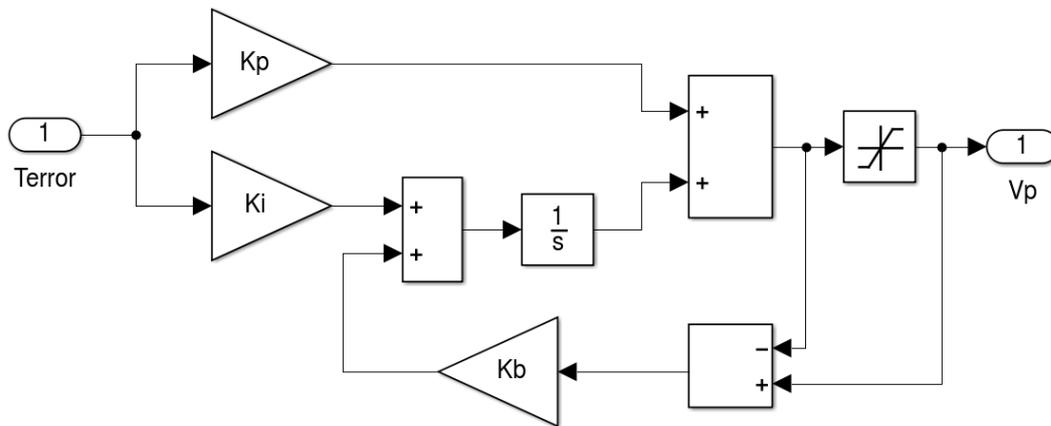


Fig. 3.34: Subsistema en Simulink del controlador PI optimizado.

3.6.3 Sintonización del controlador

Se utiliza la herramienta SISOTOOL de MATLAB para sintonizar los coeficientes del controlador PI. Ésta, pertenece Como datos de entrada requiere las FDT de la realimentación y el circuito termo-eléctrico. La realimentación esta formada por el termistor y la ecuación de Stain-Hart (para obtener el valor de temperatura a partir de R_T). Por tanto la FDT de la realimentación resulta ser sólo el filtro de primer orden ya que se cancela la ecuación de Stain-Hart con su inversa (dentro del modelo del termistor). En el caso del circuito termo-eléctrico no se dispone de la FDT y para obtenerla se linealiza el comportamiento del circuito termo-eléctrico.

Simulink cuenta con una herramienta de linealización. Para utilizarse se debe excitar el modelo e indicar la entrada y la salida del sistema. El circuito termo-eléctrico tiene diferentes FDT según el T_{CHASIS} y la señal de excitación. En la tabla 3.4 se observan las FDT resultantes del linealizado en distintas condiciones. Los valores de T_{CHASIS} corresponden a los escenarios de simulación planteados. La excitación se realiza con una señal escalón de valor V_p .

En todos los casos las FDT corresponden a un sistema de segundo orden con polos y ceros reales. La diferencia entre ellas es mínima y por tanto el controlador no altera notoriamente su rendimiento según el escenario. De todos modos, se decide utilizar para la sintonización, una FDT que represente condiciones intermedias entre el escenario frío y el caliente. Con esto se espera que el controlador presente su máximo rendimiento en estado estacionario y minimice el error de régimen permanente. Las condiciones para la linealización corresponden al caso #G. El valor de voltaje V_p fue seleccionado en un proceso iterativo con la sección 4.5 y es un valor intermedio del voltaje aplicado en los escenarios frío y caliente.

#	Condiciones	FDT del circuito termo-eléctrico
A	$T_{CHASIS} = 13[^\circ C]$ $V_p = 1[V]$	$\frac{-0,245 \cdot s - 0,002629}{s^2 + 0,02992 \cdot s + 0,0001921}$
B	$T_{CHASIS} = 18[^\circ C]$ $V_p = 1[V]$	$\frac{-0,2499 \cdot s - 0,002683}{s^2 + 0,03006 \cdot s + 0,0001936}$
C	$T_{CHASIS} = -5[^\circ C]$ $V_p = 1[V]$	$\frac{-0,2273 \cdot s - 0,002434}{s^2 + 0,02939 \cdot s + 0,0001868}$
D	$T_{CHASIS} = 13[^\circ C]$ $V_p = -1[V]$	$\frac{-0,3184 \cdot s - 0,003623}{s^2 + 0,02992 \cdot s + 0,0001921}$
E	$T_{CHASIS} = 18[^\circ C]$ $V_p = -1[V]$	$\frac{-0,3233 \cdot s - 0,003678}{s^2 + 0,03006 \cdot s + 0,0001936}$
F	$T_{CHASIS} = -5[^\circ C]$ $V_p = -1[V]$	$\frac{-0,3006 \cdot s - 0,003425}{s^2 + 0,02939 \cdot s + 0,0001868}$
G	$T_{CHASIS} = 15,5[^\circ C]$ $V_p = 0,8[V]$	$\frac{-0,2548 \cdot s - 0,002754}{s^2 + 0,02999 \cdot s + 0,0001928}$

Tabla 3.4: FDT para distintos T_{CHASIS} y voltajes de excitación escalón.

Con las FDT disponibles se procede a sintonizar el lazo. Existen diversos métodos de sintonización. Cada uno de estos aplica distintos criterios para la selección de los coeficientes y se obtiene una respuesta diferente. El proceso de sintonización es una solución de compromiso entre el tiempo de establecimiento, el sobre pico, el error de estado estacionario y el rechazo a las perturbaciones. Los métodos de sintonización basados en la oscilación del sistema a partir de la variación de la ganancia se descartan porque el sistema no oscila en esta condición. Esto se confirma en la gráfica del lugar de raíces de la figura 3.35, en donde se observa que no hay un conjunto de polos complejos conjugados que corten al eje imaginario.

Se sintoniza el controlador por los métodos Ziegler-Nichols (Método escalón), Chien-Hrones-Reswick, Sokogestad-IMC y AMIGO (Método escalón). SISOTOOL también incluye un método en donde sintoniza el lazo según el ancho de banda y el margen de fase deseado. A mayor es el ancho de banda más rápida es la respuesta del controlador, y a mayor es el margen el sistema es más agresivo y puede corregir mejor las perturbaciones. De esta forma se sintonizan las propuestas mencionadas como Manual1 y Manual2. El primero es el resultado de configurar un ancho de banda de $0,55[\text{rad/s}]$ con un $MF = 50^\circ$ y el segundo un ancho de banda de $0,6[\text{rad/s}]$ y $MF = 43^\circ$. En la tabla 3.5 se observan los coeficientes de controlador según los métodos

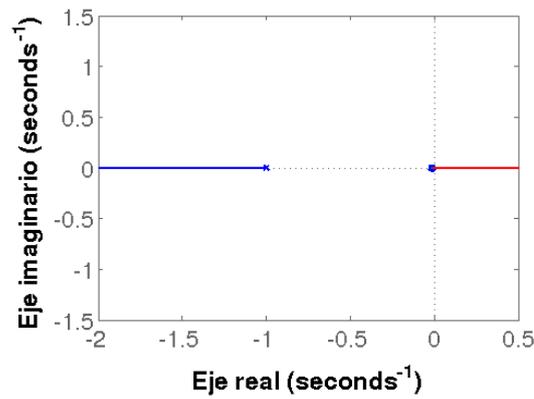


Fig. 3.35: Lugar de raíces del circuito termo-eléctrico y la realimentación con el termistor.

mencionados.

Método de sintonización	K_P	K_I
Ziegler-Nichols	-5,270	-2,456
Chien-Hrones-Reswick	-3,513	-1,228
Sokogestad-IMC	-2,928	-0,512
AMIGO	-1,991	-0,238
Manual1	-1,842	-0,273
Manual2	-2,616	-0,506

Tabla 3.5: Coeficientes del controlador según distintos métodos de sintonización.

Todas estas propuestas de sintonización se ponen a prueba en el simulador de la figura 3.36 y en la tabla 3.6 compara el rendimiento en cada caso. Cabe aclarar que las cotas de saturación se colocan en $-6[V]$ y $6[V]$. Estos valores son elevados puesto que se desean comparar los controladores en su funcionamiento lineal (sin saturarse).

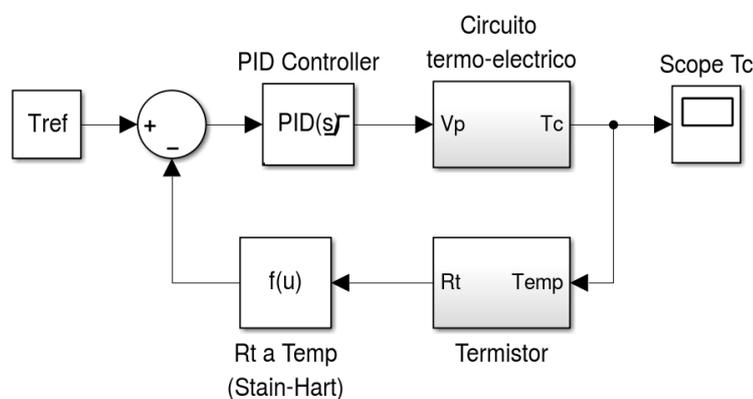


Fig. 3.36: Simulador para sintonización del lazo de control.

Método de sintonización	τ_s [s]	M_p [m°C]	$\epsilon_{SS-FRIO}$ [m°C]	ϵ_{SS-CAL} [m°C]	ϵ_{PESC} [m°C]	ϵ_{PRAM} [m°C]
Ziegler Nichols	30,1	510,9	0	0	3,98	1,45
Chien - Hrones - Reswick	25,1	53,9	0	0	5,57	2,85
Sokogestad-IMC	36,7	1,4	0	0	7,35	6,17
AMIGO	50,4	2,7	0	0	12,60	12,29
Manual1	38,1	2,8	0	0	12,22	11,36
Manual2	32,0	1,6	0	0	7,98	6,40

Tabla 3.6: Comparación de rendimiento de los métodos de sintonización.

En base a los resultados de simulación se concluye que hay respuestas variadas y cada una tiene sus virtudes. Los dos primeros métodos presentan el mejor tiempo de establecimiento térmico y rechazo a las perturbaciones, sin embargo son los más agresivos y presentan los mayores sobre picos. Los métodos AMIGO y Manual1 son los que presentan mayor tiempo de establecimiento y mayor rechazo a las perturbaciones. Por último, los métodos Sokogestad-IMC y Manual2 resultan de similares prestaciones, tienen el menor sobre pico, y propiedades intermedias en el rechazo a las perturbaciones y tiempo de establecimiento. Se decide utilizar el método Manual2.

3.7 Análisis de estabilidad del lazo de control

Se verifica si el sistema diseñado cumple con los criterios clásicos de estabilidad. En la figura 3.37 se representa la topología del lazo de control utilizado, en donde $C(s)$ es el controlador PID, $G(s)$ es el circuito termo-eléctrico, $H(s)$ es la realimentación, $Ent(s)$ es la señal de temperatura de estabilización, $Sal(s)$ es la temperatura T_C , $F(s)$ es la temperatura medida utilizada para realimentar y $E(s)$ es la señal de error.

En las ecuaciones (3.53), (3.54) y (3.55) se observan las FDT de $G(s)$, $C(s)$, y $H(s)$ expresadas en el formato de polos y ceros. En las ecuaciones (3.56) y (3.57) se observan las FDT del sistema a lazo abierto $LA(s)$ y lazo cerrado $LC(s)$. Estas últimas se utilizan para los análisis de estabilidad que se realizan.

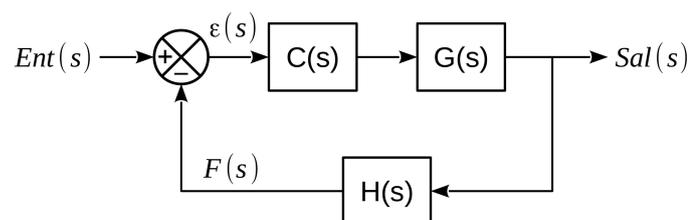


Fig. 3.37: Diagrama en bloques del lazo de control realimentado utilizado.

$$G(s) = \frac{-0,2548(s + 0,01081)}{(s + 0,02066)(s + 0,009334)} \quad (3.53)$$

$$C(s) = \frac{-2,616(s + 0,1934)}{s} \quad (3.54)$$

$$H(s) = \frac{1}{(s + 1)} \quad (3.55)$$

$$LA(s) = \frac{\varepsilon(s)}{F(s)} = C(s) \cdot G(s) \cdot H(s) \quad (3.56)$$

$$LC(s) = \frac{Ent(s)}{Sal(s)} = \frac{C(s) \cdot G(s)}{1 + C(s) \cdot G(s) \cdot H(s)} \quad (3.57)$$

En la figura 3.38 se observa el diagrama de Nyquist. La imagen de la derecha es una ampliación de la zona de interés. El sistema de lazo cerrado es estable porque el gráfico no encierra el punto $\sigma = -1 + j0$, según el criterio de estabilidad relativa de Nyquist [62]. Esto quiere decir que la función denominador de (3.57) no se hace cero. Si la función denominador es cero, la FDT resulta infinito y se considera inestable.

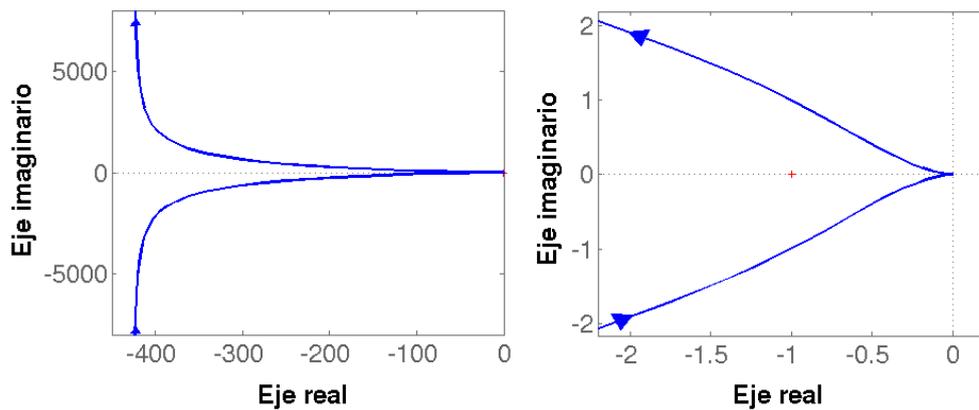


Fig. 3.38: Diagrama de Nyquist de la FDT de lazo abierto.

En la figura 3.39 se observa el diagrama de bode de la FDT de lazo abierto. Se analizan el Margen de Ganancia (MG) y Margen de Fase (MF). El MF representa la fase que hace falta en la frecuencia de módulo 0[dB], para que el sistema sea inestable. El MG representa la ganancia que hace falta en la frecuencia de fase $-180[^\circ]$, para que el sistema sea inestable. En el caso de análisis, el $MF = 43,0[^\circ]$ y el $MG = \text{Inf}$. Por ser el MF positivo y el MG infinito y se considera al sistema estable [62].

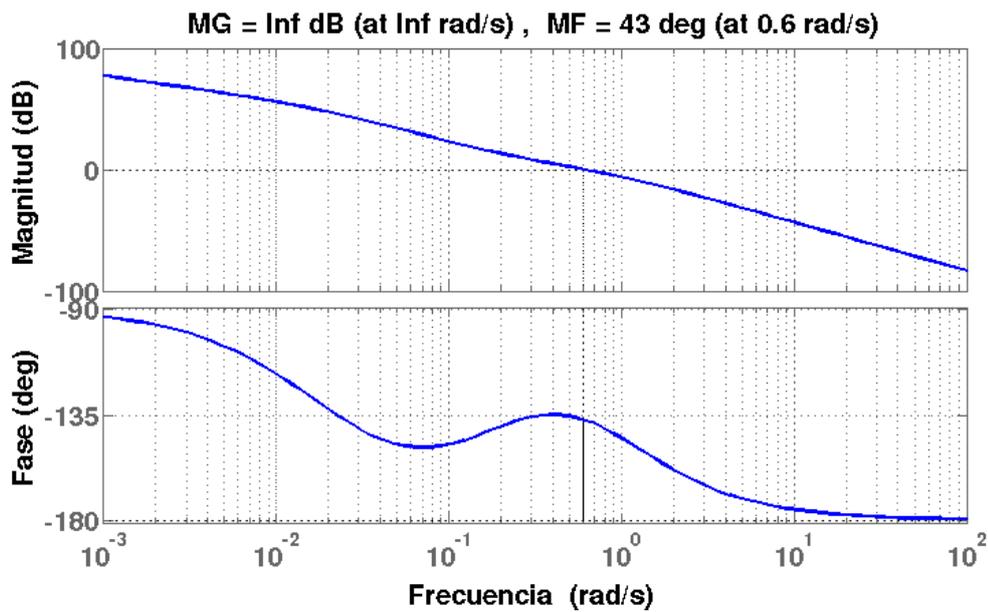


Fig. 3.39: Diagrama de bode de la FDT de lazo abierto.

En la figura 3.40 se observa el lugar de raíces de la FDT de lazo abierto. La imagen de la derecha es el gráfico ampliado en la zona cercana al origen. Se analiza el comportamiento de los polos y ceros según la variación de una ganancia. Esto permite determinar el valor crítico de ganancia que hace inestable al sistema. Para este caso de análisis el gráfico no corta al eje imaginario y por tanto no existe una ganancia crítica del sistema. Esto confirma que el MG es infinito.

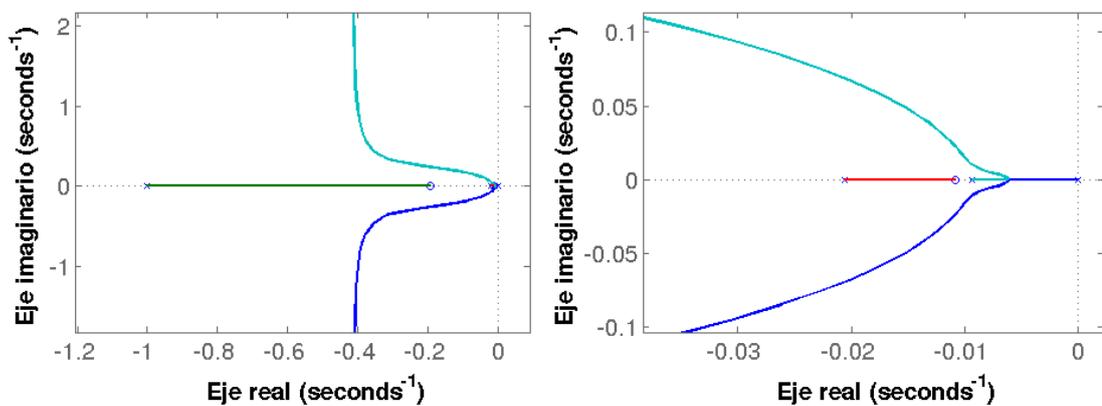


Fig. 3.40: Lugar de raíces de la FDT de lazo abierto.

En la figura 3.41 se observa un mapa de polos y ceros de la FDT de lazo cerrado. En él, todos los polos se encuentran en el semieje real izquierdo. Este es un requisito necesario para la estabilidad de los sistemas [62].

En la figura 3.42 se observa el diagrama de bode de la FDT de lazo cerrado y en la figura 3.43 se observa la respuesta al escalón de la FDT de lazo cerrado. Si bien no se utilizaron para el análisis de estabilidad resulta útil ver estas curvas.

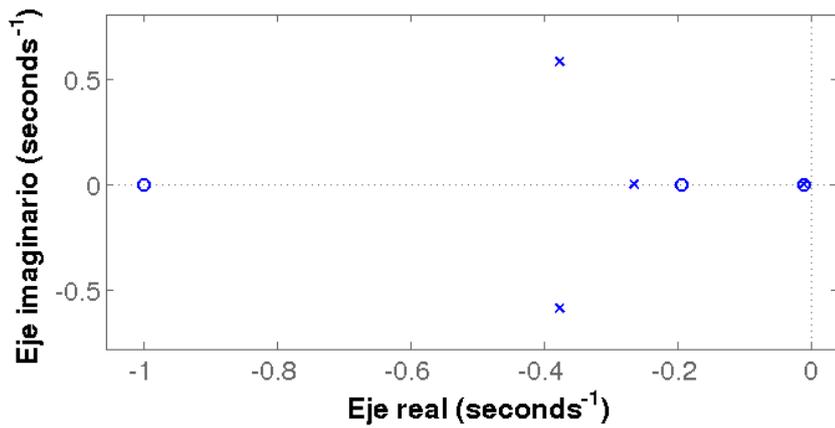


Fig. 3.41: Mapa de polos y ceros de la FDT de lazo cerrado.

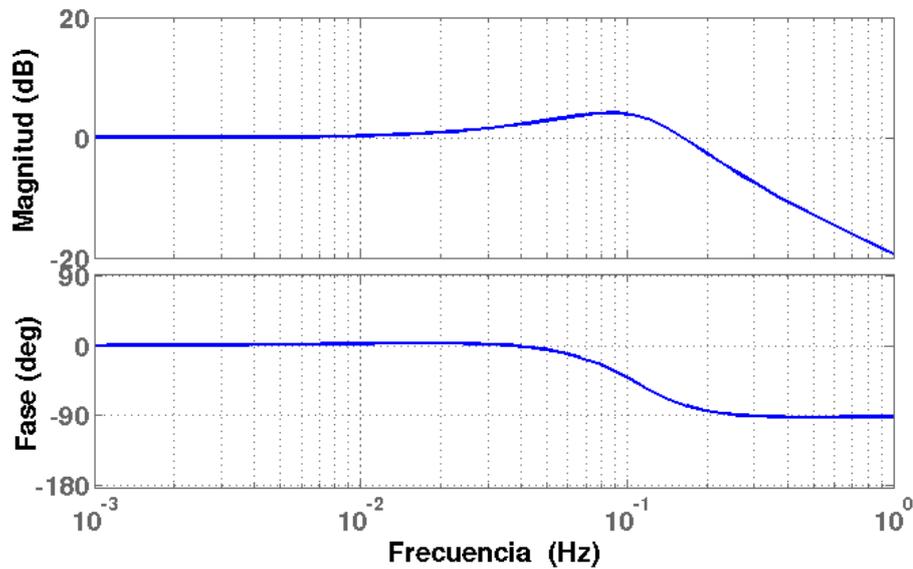


Fig. 3.42: Diagrama de bode de la FDT de lazo cerrado.

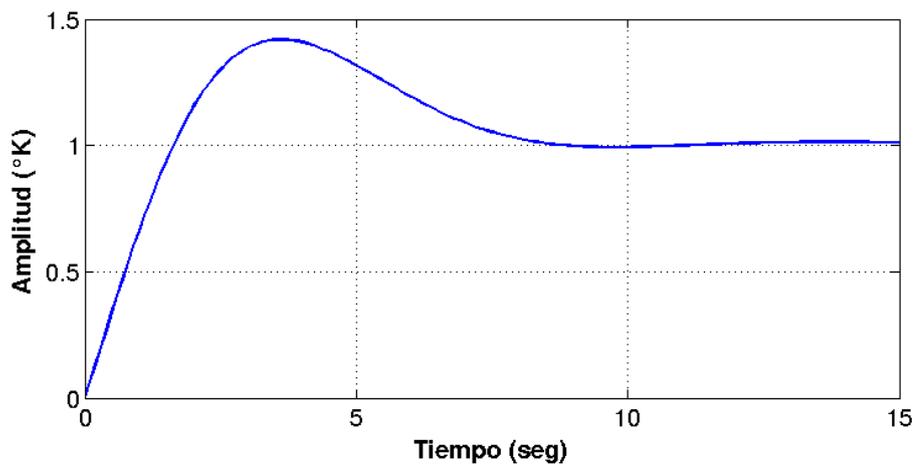


Fig. 3.43: Respues al escalón unitario de la FDT de lazo cerrado.

Los análisis realizados son válidos únicamente para la $G(s)$ seleccionada. Sin embargo según las condiciones $G(s)$ cambia. Con la finalidad de saber si se altera la

estabilidad del sistema, en la tabla 3.7 se comparan el MG y el MF para las FDT de la tabla 3.4. En todos los casos el sistema resulta estable y hay un amplio margen para llegar a la inestabilidad.

#	MG [dB]	MF [°]
A	<i>inf</i>	43,3
A	<i>inf</i>	43,2
C	<i>inf</i>	43,7
D	<i>inf</i>	41,0
E	<i>inf</i>	40,8
F	<i>inf</i>	41,5
G	<i>inf</i>	43,0

Tabla 3.7: Margen de fase y margen de ganancia para las distintas FDT.

Definición de requerimientos de los circuitos

A partir del simulador desarrollado se determinan los requerimientos de diseño de los circuitos de la arquitectura propuesta. El simulador permite evaluar las características de los circuitos y el rango de operación. Existe más de una configuración posible para lograr un sistema de control de rendimiento satisfactorio. Hay una solución de compromiso entre el rendimiento del sistema de control y la complejidad de la implementación.

Este capítulo se explica el procedimiento y los criterios tenidos en cuenta para determinar las características requeridas de cada circuito. Al finalizar este capítulo se dispone de un set de requerimientos de diseño de los circuitos de la arquitectura.

4.1 Simulador para elaboración de requerimientos

A partir del simulador para sintonización del lazo de control de la figura 3.36, se desarrolla un nuevo simulador para la elaboración de requerimientos. Este último incorpora bloques que representan en forma ideal el efecto de los circuitos que se observan en la figura 4.1. Los bloques incorporados son parte de las herramientas disponibles en Simulink y configurando cada uno de ellos se tiene una idea de como los circuitos afectan al sistema.

Se nombran los bloques según las funciones que cumplen, y se configuran con valores predeterminados que minimizan sus efectos. Se denomina configuración por defecto al conjunto de valores predeterminados de los bloques. Cuando todos los bloques están en la configuración por defecto, el rendimiento del simulador para elaboración de requerimientos (de la figura 4.1) se asemeja al rendimiento del simulador para sintonización del lazo de control (simulador de tiempo continuo de la figura 3.36). De esta forma, cuando se analiza un bloque el particular, el resto no tiene efectos notables sobre el rendimiento. En la tabla 4.1 se observan los bloques incorporados y la configuración por defecto.

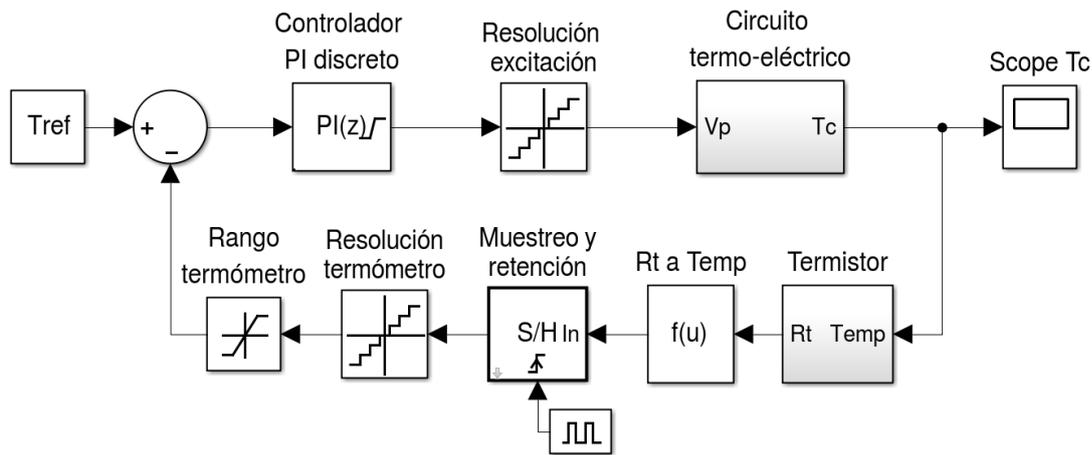


Fig. 4.1: Simulador utilizado para la elaboración de requerimientos.

Bloque	Tipo de Bloque	Configuración por defecto
Resolución de excitación	Quantizador	1[mV]
Resolución de termómetro	Quantizador	0,5[m°C]
Rango de termómetro	Limitador	5[°C] y 21[°C]
Rango de excitación	Limitador (dentro del controlador PI)	-6[V] y 6[V]
Muestreo y retención	Muestreo y retención	25[Hz]
Controlador PI discreto	PI(z)	Coefficientes K_p y K_I iguales al controlador de tiempo continuo.

Tabla 4.1: Descripción de los bloques introducidos al simulador para la elaboración de requerimientos.

El efecto de los cuantizadores es discretizar la amplitud de las señales. Es decir, que sólo permiten valores definidos cada ciertos intervalos. Esta situación se da en todos los circuitos electrónicos digitales. En el simulador se utilizan para determinar la resolución del driver y del termómetro.

Un limitador acota el rango de una señal y se configura con una cota inferior y otra superior. Los circuitos electrónicos siempre tienen rangos de operación acotados, es por ello que se decide incorporarlos en el simulador.

El bloque de muestreo y retención toma una muestra y la mantiene durante un período de muestreo. Este elemento se utiliza para determinar la frecuencia de muestreo. Cuando se pasa el lazo de control de tiempo continuo a tiempo discreto, es necesario utilizar un controlador PI de tiempo discreto. En la figura 4.2 se observa el subsistema del controlador PI de tiempo discreto. El elemento retentor de orden cero

mantiene la salida durante un período de muestreo. Cabe aclarar que los integradores de tiempo discreto tienen en cuenta el período de muestreo T_s .

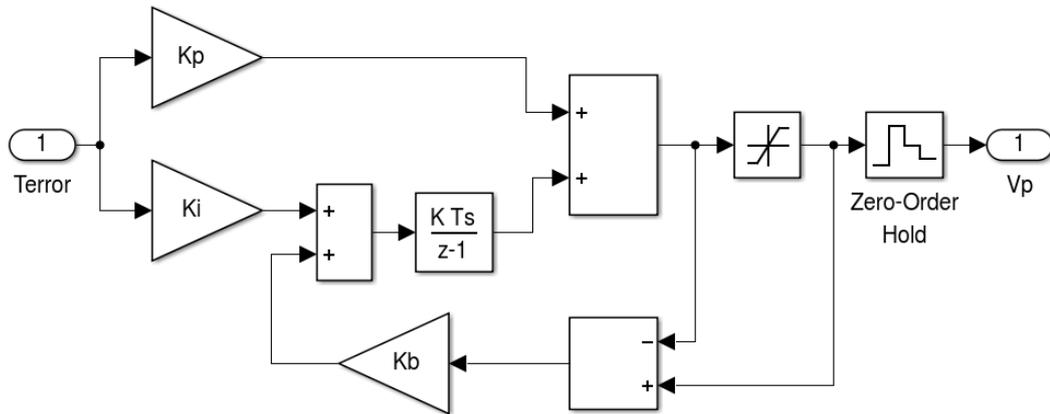


Fig. 4.2: Subsistema del controlador PI de tiempo discreto.

4.2 Excitación del Peltier

Según las características de la señal de excitación del Peltier se elaboran requerimientos para el driver, el generador de señales de PWM y el controlador PI. Es por ello que se realiza un análisis del rango de excitación, la resolución y el ripple (o rizado).

4.2.1 Rango de excitación

En la sección 3.6.2 se explica que limitar el rango de excitación es favorable para acotar el valor máximo de corriente. Sin embargo, limitar el rango de excitación tiene consecuencias en el tiempo de encendido.

En el escenario de encendido en frío, se aplica al Peltier el mayor voltaje. Con la intención de caracterizar como varían el τ_s e $I_{p_{MAX}}$ se realizan simulaciones en el escenario de encendido en frío con distintos valores del limitador. Puesto que el sobre pico de temperatura también se puede ver afectado se lo tiene en cuenta en el análisis. El limitador se encuentra dentro del controlador PI.

En la tabla 4.2 se observan los resultados de la simulación. Los resultados arrojan que a medida que se acota el rango de excitación la $I_{p_{MAX}}$ disminuye y el τ_s aumenta.

Rango de Excitación	τ_s [seg]	M_p [m°C]	$I_{p_{MAX}}$ [A]
-6[V] y 6[V]	31,63	1,56	-2,96
-5[V] y 5[V]	33,25	1,64	-2,46
-4[V] y 4[V]	35,95	1,65	-1,97

Continúa en la siguiente página

Rango de Excitación	τ_s [seg]	M_p [m°C]	$I_{p_{MAX}}$ [A]
-3[V] y 3[V]	41,29	1,65	-1,48
-2[V] y 2[V]	54,76	1,60	-0,99
-1[V] y 1[V]	125,21	1,15	-0,49

Tabla 4.2: Comparación de rendimiento para distintos rangos de excitación del Peltier.

4.2.2 Resolución de excitación

La resolución de excitación es el mínimo cambio de V_p que aplica el driver sobre el módulo Peltier. Se realizan simulaciones para distintos valores de resolución de excitación. Para ello se configura el quantizador del driver del simulador para elaboración de requerimientos de la figura 4.1. Se evalúa el impacto en el τ_s , M_p , $\epsilon_{SS-FRIO}$, ϵ_{SS-CAL} , P_{ESC} y P_{RAM} . En la tabla 4.3 se observan los resultados de la simulación.

Res. Exc. [mV]	τ_s [s]	M_p [m°C]	$\epsilon_{SS-FRIO}$ [m°C]	ϵ_{SS-CAL} [m°C]	ϵ_{PESC} [m°C]	ϵ_{PRAM} [m°C]
1	31,63	1,56	0,17	0,23	8,04	6,48
2.5	31,64	1,70	0,31	0,25	8,13	6,61
5	31,66	2,53	0,83	0,88	6,21	6,21
7.5	31,67	3,15	1,22	0,71	7,67	6,85
10	31,49	3,87	1,37	0,40	7,63	7,22
20	31,69	6,26	2,08	1,93	9,02	9,61

Tabla 4.3: Comparación de rendimiento para distintas resoluciones de excitación del Peltier.

Se observa que la resolución de excitación tiene efectos notables en el error de estado estacionario y el rechazo a las perturbaciones. Respecto del sobre pico se ve muy poco afectado y efecto sobre el tiempo de establecimiento es despreciable.

4.2.3 Ripple de la señal de excitación

Hasta el momento, para la excitación del Peltier se utilizaron señales ideales de voltaje continuo. En la práctica, las señales están acompañadas de un ripple o rizado. En la figura 4.3 se observan señales con y sin ripple. El ripple se cuantifica con un porcentaje que relaciona el valor medio de la señal con el valor pico a pico del ripple. En la ecuación (4.1) se observa la expresión utilizada para calcular el ripple.

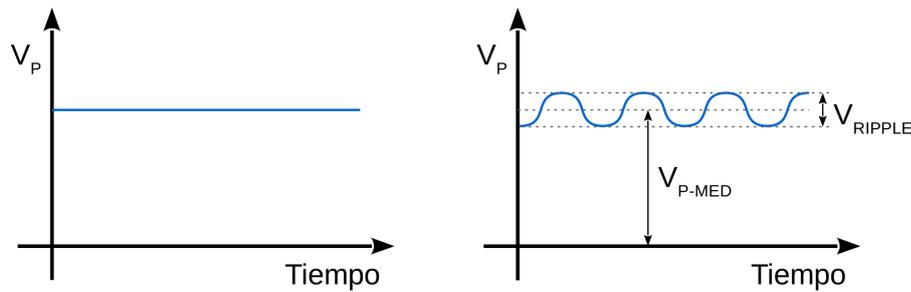


Fig. 4.3: Comparación de señales continuas sin ripple (izq.) y con ripple (der.)

$$r[\%] = \frac{V_{RIPPLE}}{V_{P-MED}} \cdot 100 \quad (4.1)$$

En [22] se menciona que para un máximo rendimiento del módulo Peltier es conveniente que el ripple no supere el 10[%]. Si bien se recomienda este valor, no se brindan datos cuantitativos de como se degrada el rendimiento. Por este motivo se realiza una simulación para analizar el efecto del ripple.

La simulación se realiza en Simulink con el subsistema del modelo del Peltier que se observa en la figura 4.4. Al modelo del Peltier se le agrega el cálculo de la Potencia eléctrica instantánea. Los parámetros de configuración son $T_H = 19,526[^\circ\text{C}]$, $T_C = 10,001[^\circ\text{C}]$ y $V_{P-MED} = 1,113[\text{V}]$. Estos se extraen del simulador para elaboración de requerimientos en el escenario caliente con la configuración para elaboración de requerimientos que se describe en la sección 4.5. En estas condiciones resulta un flujo de calor $Q_C = 1,878[\text{W}]$ y es una condición necesaria para mantener el régimen de estado estacionario. El ripple introducido es sinusoidal, con una frecuencia de 500[Hz] y su amplitud se configura para distintos valores.

El procedimiento de simulación consiste en mantener el régimen de estado estacionario del escenario caliente con señales de excitación con distintos niveles ripples. Esto implica que se ajusta el valor de V_P para mantener $Q_{C-MED} = 1,878[\text{W}]$. Cuando se logra una condición de equilibrio, se calcula la potencia media suministrada y el COP. En la tabla 4.4 se observen los resultados de las simulaciones.

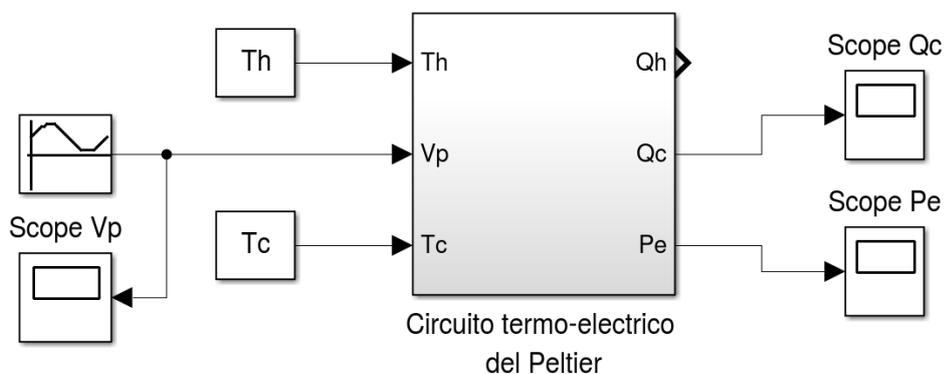


Fig. 4.4: Simulador para evaluación del ripple en la señal de excitación.

Ripple [%]	V_{P-MED} [V]	Q_{C-MED} [W]	P_{E-MED} [W]	COP [Ad]
0	1,113	1,878	0,470	3,996
5	1,113	1,878	0,470	3,996
10	1,114	1,878	0,475	3,954
25	1,114	1,878	0,475	3,954
50	1,116	1,878	0,492	3,817
75	1,120	1,878	0,520	3,611
100	1,125	1,878	0,559	3,360

Tabla 4.4: Comparación de rendimiento del módulo Peltier excitado con distintos niveles de ripple.

Se observa que a medida que aumenta el ripple disminuye la eficiencia del Peltier. Sin embargo hasta un 25[%] de ripple los efectos resultan despreciables. Se aclara que el equivalente eléctrico del Peltier no incorpora elementos parásitos y es muy probable que existan capacidades por su la naturaleza constructiva. Esto provoca una pérdida de rendimiento que no se aprecia en éste análisis, y se hace más notable a mayores frecuencias.

4.3 Medición de temperatura

Los circuitos relacionados con la realimentación del lazo de control forman un termómetro que mide la temperatura T_C . Según las prestaciones necesarias para el termómetro se elaboran los requerimientos de estos circuitos. Los circuitos son el acondicionamiento analógico y el circuito de multiplexado y digitalización. Se realizan análisis del rango y la resolución del termómetro para caracterizar como afectan al sistema.

4.3.1 Rango del termómetro

El rango determina las cotas de medición del termómetro. Está previsto que el termómetro se saturare en el escenario de encendido en frío, ya que T_C se inicializa en $-5[^\circ]$. Por consiguiente se realizan simulaciones con distintos valores de rango del termómetro en este escenario.

En el simulador para elaboración de requerimientos de la figura 4.1, se configura con distintos valores el limitador ubicado en la realimentación. Todos los valores configurados están centrados en $13[^\circ]$. Esta temperatura es la media de las temperaturas de establecimiento térmico requeridas (entre $10[^\circ]$ y $16[^\circ]$).

En la tabla 4.5 se observan los resultados de las simulaciones. Se deduce que el

rango del termómetro no tiene efectos significativos sobre el tiempo de establecimiento y el sobre pico.

Rango Termómetro [°C]	τ_S [s]	M_P [m°C]
5 a 21	30,34	1,63
7 a 19	30,62	1,61
8 a 18	31,03	1,57
9 a 17	31,31	1,59
9,5 a 16,5	31,63	1,56

Tabla 4.5: Comparación de rendimiento para distintas rangos del termómetro.

4.3.2 Resolución del termómetro

Se realiza un análisis de la resolución de la medición del termómetro. Para ello, el simulador de elaboración de requerimientos de la figura 4.1 cuenta con un cuantizador ubicado en la realimentación. Se realizan sucesivas simulaciones con el cuantizador configurado en distintos valores de resolución. En la tabla 4.6 se observan los resultados.

Res. Termo. [m°C]	τ_S [s]	M_P [m°C]	$\epsilon_{SS-FRIO}$ [m°C]	ϵ_{SS-CAL} [m°C]	ϵ_{PESC} [m°C]	ϵ_{PRAM} [m°C]
0.5	31,63	1,56	0,17	0,23	8,04	6,48
1	31,61	1,93	0,57	0,28	7,90	6,65
2.5	31,66	2,84	0,58	0,36	8,57	8,57
5	31,70	1,50	0,85	1,39	7,69	6,56
7.5	31,80	5,68	3,17	3,03	9,02	7,29
10	31,36	7,14	4,84	2,50	10,37	8,32

Tabla 4.6: Comparación de rendimiento para distintos valores de resolución del termómetro.

Se observa que la resolución de la medición afecta al error de estado estacionario, el rechazo a las perturbaciones y el sobre pico. El tiempo de establecimiento no resulta afectado.

4.4 Frecuencia de muestreo

Cuando se digitaliza el lazo de control es necesario analizar la frecuencia de muestreo (F_S). Su valor indica cada cuanto tiempo se ejecuta una acción de control,

es decir, se toma una muestra de temperatura, se calcula el error, y se actualiza la excitación del Peltier. Las características de la respuesta transitoria en un lazo de control discreto dependen de la F_s [63]. Una F_s demasiado lenta puede hacer que el sistema se torne inestable. Por el contrario, a medida que se incrementa F_s el sistema tiende a comportarse como un sistema de tiempo continuo. Se han considerado dos criterios de selección de la frecuencia de muestreo y luego se realizan simulaciones para distintos valores de F_s .

El primer criterio se toma de [63] y menciona que en sistemas subamortiguados, es conveniente tomar un período de muestreo entre 8 y 10 veces menor que el tiempo de subida (Tr) de la respuesta al escalón unitario. El Tr es el intervalo de tiempo para que la señal pase del 10[%] al 90[%] del valor estacionario. En la figura 4.5 se observa la respuesta al escalón del sistema (FDT de lazo cerrado) y se mide un $Tr = 1275$ [ms]. Según este criterio la frecuencia de muestreo debería ser entre $F_s = 6,3$ [Hz] y $F_s = 7,8$ [Hz].

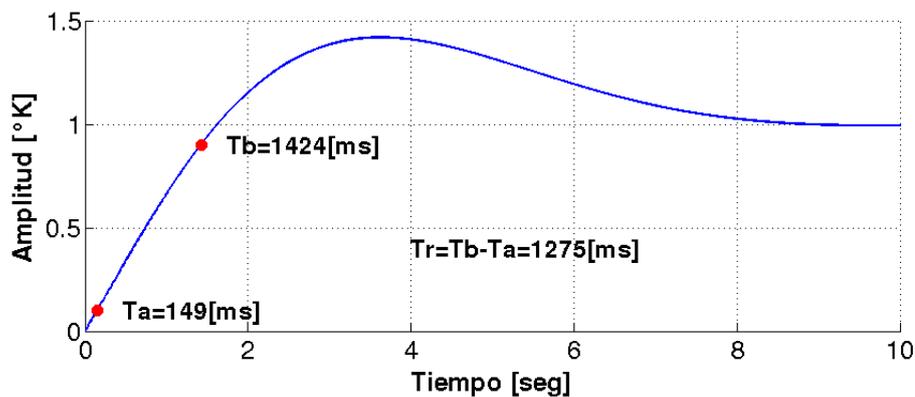


Fig. 4.5: Tiempo de subida de la respuesta al escalón unitario del lazo de control.

El segundo criterio analizado es una regla empírica que se menciona en [64]. Este método analiza la respuesta en frecuencia del sistema y sugiere que la F_s debe ser 30 veces la frecuencia de corte en Hertz tomada a -6 [dB]. En la figura 4.6 se observa la respuesta en frecuencia (de la FDT de lazo cerrado) y se indica el la frecuencia corte. El valor de frecuencia de muestreo según este método resulta de $F_s = 7,8$ [Hz].

Se analiza con simulaciones el comportamiento del sistema para distintas F_s . Para ello se utiliza el simulador para elaboración de requerimientos de la figura 4.1. En el simulador, se configura la F_s en el bloque de muestreo y retención y en el controlador PI. Los valores configurados se seleccionan tomando como guía los criterios analizados. En la tabla 4.7 se observan los resultados de la simulación.

Para frecuencias de muestreo superiores a 5 [Hz] no se aprecia un deterioro significativo de los indicadores analizados. Por debajo de los 5 [Hz] todas las métricas tienen un deterioro notable. Por debajo de $0,5$ [Hz] el sistema se torna inestable y no logra controlar la temperatura.

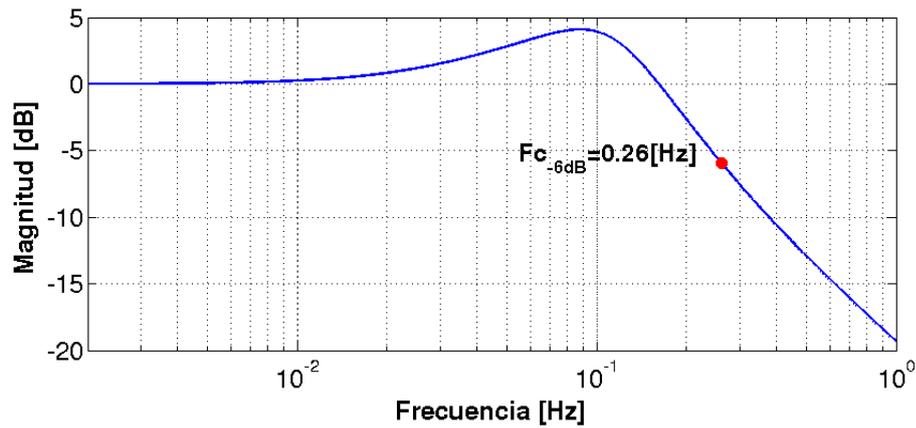


Fig. 4.6: Frecuencia de corte del lazo de control tomada en -6[dB].

Freq [Hz]	τ_S [s]	M_P [m°C]	$\varepsilon_{SS-FRIO}$ [m°C]	ε_{SS-CAL} [m°C]	ε_{PESC} [m°C]	ε_{PRAM} [m°C]
25	31,63	1,56	0,17	0,23	8,04	6,48
15	31,54	1,56	0,18	0,25	8,12	6,51
10	31,48	1,60	0,20	0,25	8,14	6,51
5	31,20	1,63	0,24	0,29	8,26	6,54
1	32,64	4,60	0,67	0,52	11,00	6,68
0.5	88,96	633,88	0,90	0,84	13,85	7,55
0.3	No Aplica (NA)	NA	NA	NA	NA	NA

Tabla 4.7: Comparación de rendimiento para distintos valores de frecuencia de muestreo.

4.5 Resultados preliminares

En los análisis previos se evalúa sólo un parámetro por vez mientras el resto permanece con su configuración por defecto. Se define la configuración final de todos los bloques para tomarla como base en la elaboración de los requerimientos de los circuitos. De esta forma se pueden obtener resultados aproximados del rendimiento del sistema.

La selección de los parámetros es un proceso iterativo con la etapa de diseño ya que se debe estudiar la viabilidad de la implementación. No hay una única solución de configuración de los bloques ya que existen muchas posibilidades de combinación que resulten satisfactorias. En la tabla 4.8 se observa la configuración de los bloques para la elaboración de requerimientos y luego se explica el criterio aplicado para la selección de cada uno de ellos.

Parámetro	Configuración
Rango de excitación	$-2[V]$ y $2[V]$
Resolución de excitación	$5[mV]$
Rango del termómetro	$9[^\circ C]$ y $17[^\circ C]$
Resolución del termómetro	$2,5[m^\circ C]$
Frecuencia de muestreo	$10[Hz]$

Tabla 4.8: Configuración de los bloques del simulador para elaboración de requerimientos.

El rango de excitación se selecciona entre $-2[V]$ y $2[V]$. Esto provoca bajas exigencias sobre el driver, ya que la corriente máxima nominal resulta de $1[A]$. Este valor de corriente es manejable por una gran cantidad de transistores (que se necesitan para la construcción del driver). Por otra parte, una corriente pequeña limita el gasto energético del sistema durante el encendido.

La resolución de excitación se selecciona en $5[mV]$. Si bien este valor incrementa levemente el error de estado estacionario provoca bajas exigencias para el generador de señales PWM que maneja el driver.

El rango del termómetro se selecciona en $9[^\circ C]$ y $17[^\circ C]$. El análisis demuestra que no es crítico para el rendimiento. El criterio de selección es tomar un margen total del $30[\%]$ del rango. Aplicando un redondeo se desplaza $1[^\circ C]$ del rango sobre cada cota del rango.

La resolución del termómetro se selecciona en $2,5[m^\circ C]$. Si bien, este valor incrementa el error de estado estacionario y el rechazo a las perturbaciones, no genera grandes exigencias sobre los circuitos. En particular permite utilizar convertidores analógicos digital de resolución standard, las exigencias de SNR se pueden cumplir y la corriente de excitación del termistor resulta pequeña pero manejable como para no provocar problemas con el autocalentamiento.

La frecuencia de muestreo se selecciona en $10[Hz]$. Este valor cumple con los criterios analizados y según las simulaciones no se hay un deterioro del rendimiento. Además no genera grandes exigencias sobre los circuitos digitales y el circuito de SEL&DIG.

En la tabla 4.9 se observan los resultados de simulación con la configuración de bloques para elaboración de requerimientos.

Resulta de interés conocer el consumo de potencia del módulo Peltier durante el encendido. Esta información se utiliza luego para determinar los requerimientos de la secuencia de encendido. En la figura 4.7 se observa la curva de potencia consumida por el Peltier hasta que se logra el régimen permanente en el escenario de encendido en

τ_S [g]	M_P [m°C]	$\epsilon_{SS-FRIO}$ [m°C]	ϵ_{SS-CAL} [m°C]	ϵ_{PESC} [m°C]	ϵ_{PRAM} [m°C]
54,60	2,64	2,26	1,96	8,53	7,41

$I_{P_{MAX-ENC}}$ [A]	$I_{P_{SS-FRIO}}$ [A]	$I_{P_{SS-CAL}}$ [A]	$V_{P_{SS-FRIO}}$ [V]	$V_{P_{SS-CAL}}$ [V]
-0,99	0,207	0,422	0,371	1,113

Tabla 4.9: Rendimiento del simulador con bloques ideales en la configuración para elaboración de requerimientos.

frío. La caída abrupta del consumo, corresponde cuando el termómetro sale de la zona de saturación.

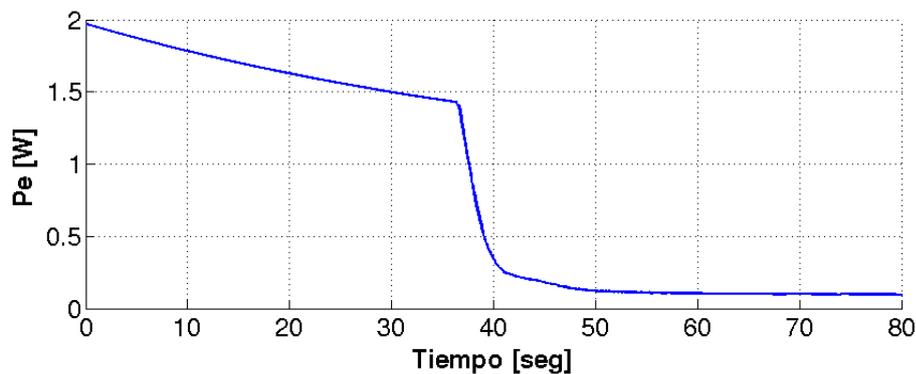


Fig. 4.7: Consumo de potencia del módulo Peltier en el escenario de encendido en frío.

4.6 Requerimientos de los circuitos

A partir de la configuración de los bloques se elaboran los requerimientos de los circuitos de la arquitectura de la figura 2.1. En algunos casos, se modifican levemente los valores definidos como consecuencia de un proceso iterativo con la implementación de los circuitos. Asimismo, muchos requerimientos surgen de exigencias de los circuitos contiguos.

A continuación se detallan los requerimientos de los circuitos y la justificación de cada uno de ellos.

Req. padre	Req.	Descripción
L5-TIR-CTS01	L6-TIR-CTS-DR01	Los circuitos driver deberán manejar los módulos Peltier que están dentro de los sensores IRL512.
L5-TIR-CTS03	L6-TIR-CTS-DR02	Los circuitos driver deberán tener un rango de voltaje de salida entre -2[V] y 2[V] para un voltaje de Seebeck del módulo Peltier $V_{\alpha} = 0[V]$.
L5-TIR-CTS03	L6-TIR-CTS-DR03	Los circuitos driver deberán tener en su salida un ripple menor al 10[%] para voltajes de salida mayores a 0.35[V].
L5-TIR-CTS03	L6-TIR-CTS-DR04	Cada circuito driver deberá manejarse con un máximo de dos señales PWM de voltaje entre 0[V] y 3.3[V].
L5-TIR-CTS03	L6-TIR-CTS-DR05	Los circuitos driver deberán tener una respuesta en frecuencia mayor a 10[Hz].
L5-TIR-CTS08	L6-TIR-CTS-DR06	Cada circuito driver deberá estar formado por partes EEE de calidad espacial acordes a [43].

Tabla 4.10: Requerimientos del circuito driver.

Requerimiento	Justificación
L6-TIR-CTS-DR01	Acorde a la arquitectura planteada en la sección 2.3.
L6-TIR-CTS-DR02	Con una tensión de salida de 2[V], circula 1[A] de corriente por el módulo Peltier en el peor caso, cuando $V_{\alpha}=0[V]$ (referirse a la sección 4.5).
L6-TIR-CTS-DR03	Se concluye del análisis de ripple de la sección 4.2.3, que un valor inadecuado de éste provoca una de pérdida de rendimiento y a su vez esto, un mayor consumo. Si las señales de excitación son pequeñas, el incremento de consumo también es pequeño y no es un inconveniente. Por tal motivo, se especifica un ripple para los voltajes de excitación de mayor magnitud. El rango especificado cubre los voltajes de excitación de estado estacionario, que es donde mayor cantidad de tiempo funciona el control térmico.
L6-TIR-CTS-DR04	Estos niveles de voltaje son compatibles con los bancos de entrada/salida de la FPGA.
L6-TIR-CTS-DR05	Los circuitos driver deben tener una respuesta en frecuencia lo suficientemente rápida para que resulte despreciable en lazo de control. De lo contrario, se los debe tener en cuenta para la sintonización del controlador. Usualmente se suele tomar una frecuencia de corte 10 veces mayor que el polo dominante de la función. El criterio que se asume aquí es más conservador y se especifica una frecuencia de corte mínima 60 veces mayor que el termistor. Si bien parece exagerado, el valor de la frecuencia de corte resulta en 10[Hz] y es holgado para el diseño de los circuitos electrónicos.
<i>Continúa en la siguiente página</i>	

Requerimiento	Justificación
L6-TIR-CTS-DR06	Todas las partes EEE del satélite SABIA-Mar deben ser acordes a lo mencionado en [43].

Tabla 4.11: Justificación de los requerimientos del circuito driver.

Req. padre	Req.	Descripción
L5-TIR-CTS03	L6-TIR-CTS-DRP01	Los circuitos de protección deberán cortar, y mantener el corte, si el consumo de los circuitos driver supera 1.3[A].
L5-TIR-CTS08	L6-TIR-CTS-DRP02	Cada circuito de protección deberá estar formado por partes EEE de calidad espacial acordes a [43].

Tabla 4.12: Requerimientos del circuito de protección.

Requerimiento	Justificación
L6-TIR-CTS-DRP01	El valor de corte se calcula a partir de la máxima corriente de consumo del circuito driver. Esto se determina en un proceso iterativo, ya que se debe conocer el comportamiento del driver y sus escenarios de operación. En el análisis de la sección 5.3.6, el máximo valor de corriente resulta de 1[A], y se toma un 30[%] de margen, resultando una corriente de corte de 1.3[A].
L6-TIR-CTS-DRP02	Todas las partes EEE del satélite SABIA-Mar deben ser acordes a lo mencionado en [43].

Tabla 4.13: Justificación de los requerimientos del circuito de protección.

Req. padre	Req.	Descripción
L5-TIR-CTS01	L6-TIR-CTS-DRM01	Los circuitos de monitoreo deberán representar con información binaria si el voltaje de alimentación de los circuitos driver es mayor a 3.8[V] o si es menor a 3.6[V].
L5-TIR-CTS01	L6-TIR-CTS-DRM02	Los circuitos de monitoreo deberán entregar en su salida una señal de niveles compatibles con los estándares TTL o LVTTTL.
L5-TIR-CTS08	L6-TIR-CTS-DRM03	Los circuitos de monitoreo deberán estar formado por partes EEE de calidad espacial acordes a [43].

Tabla 4.14: Requerimientos del circuito monitor.

Requerimiento	Justificación
L6-TIR-CTS-DRM01	Se requiere que el circuito monitor tenga en su salida un estado lógico definido para voltajes de entrada menores a 3.6[V], y el estado lógico opuesto para voltajes superiores a 3.8[V]. Esto se define en un proceso iterativo con el circuito de protección. Este circuito provoca una caída de voltaje de la salida, y para los rangos de operación del control térmico el voltaje puede caer hasta los 4.8[V]. Para el monitoreo de esta señal se toma un margen del 20[%], lo que resulta un umbral en 3.8[V]. En un proceso iterativo con el diseño del circuito monitor, se deja una tolerancia de diseño y se define un umbral inferior de 3.6[V].
L6-TIR-CTS-DRM02	Los niveles de voltaje de los estándares TTL y LVTTTL son compatibles con los bancos de entrada/salida de la FPGA.
L6-TIR-CTS-DRM03	Todas las partes EEE del satélite SABIA-Mar deben ser acordes a lo mencionado en [43].

Tabla 4.15: Justificación de los requerimientos del circuito monitor.

Req. padre	Req.	Descripción
L5-TIR-CTS01	L6-TIR-CTS-SD01	El circuito de SEL&DIG deberá digitalizar seis entradas analógicas correspondientes a la temperatura de los sensores.
L5-TIR-CTS02	L6-TIR-CTS-SD02	El circuito de SEL&DIG deberá digitalizar las entradas analógicas con una resolución de 12[bits].
L5-TIR-CTS02	L6-TIR-CTS-SD03	El circuito de SEL&DIG deberá digitalizar cada entrada analógica cada 90[ms].
L5-TIR-CTS08	L6-TIR-CTS-SD04	El circuito de SEL&DIG deberá estar formado por partes EEE de calidad espacial acordes a [43].

Tabla 4.16: Requerimientos del circuito de SEL&DIG.

Requerimiento	Justificación
L6-TIR-CTS-SD01	Acorde a la arquitectura planteada en la sección 2.3.
L6-TIR-CTS-SD02	La resolución se calcula en la ecuación (4.2), para el peor caso de resolución del termómetro. $N_{ADC} = \left\lceil \frac{\log\left(\frac{\Delta Rango}{Res_{TEMP}}\right)}{\log(2)} \right\rceil = \left\lceil \frac{\log\left(\frac{8[^\circ C]}{3[m^\circ C]}\right)}{\log(2)} \right\rceil \quad (4.2)$ $= [11,38] = 12$
<i>Continúa en la siguiente página</i>	

Requerimiento	Justificación
L6-TIR-CTS-SD03	El período de muestreo se define en un proceso iterativo con los circuitos digitales, en donde se concluye que es conveniente tomar un valor tal, que la ecuación $T_s/6$ resulte en un valor entero expresado en [ms]. Esto permite reducir la complejidad de los circuitos digitales.
L6-TIR-CTS-SD04	Todas las partes EEE del satélite SABIA-Mar deben ser acordes a lo mencionado en [43].

Tabla 4.17: Justificación de los requerimientos del circuito de SEL&DIG.

Req. padre	Req.	Descripción
L5-TIR-CTS02	L6-TIR-CTS-ACA01	Los circuitos de acondicionamiento analógico deberán convertir las variaciones de resistencia del termistor en señales de tensión para cada sensor.
L5-TIR-CTS02	L6-TIR-CTS-ACA02	Los circuitos de acondicionamiento analógico deberán entregar en su salida un rango de voltaje entre 0[V] y 10[V].
L5-TIR-CTS04	L6-TIR-CTS-ACA03	Los circuitos de acondicionamiento analógico deberán entregar señal de salida para un rango de temperatura del termistor entre 9[°C] y 17[°C].
L5-TIR-CTS02	L6-TIR-CTS-ACA04	Los circuitos de acondicionamiento analógicos deberán variar su voltaje de salida 2.44[mV], para una variación de la temperatura del termistor de 3[m°C] o menor.
L5-TIR-CTS02	L6-TIR-CTS-ACA05	Los circuitos de acondicionamiento analógico deberán tener una SNR mínima de 72.2[dB].
L5-TIR-CTS02	L6-TIR-CTS-ACA06	Los circuitos de acondicionamiento analógico deberán provocar un autocalentamiento del termistor menor a 3[m°C].
L5-TIR-CTS02	L6-TIR-CTS-ACA07	Los circuitos de acondicionamiento analógico deberán tener una respuesta en frecuencia mayor a 10[Hz].
L5-TIR-CTS08	L6-TIR-CTS-ACA08	Los circuitos de acondicionamiento analógico deberán estar formado por partes EEE de calidad espacial acordes a [43].

Tabla 4.18: Requerimientos del circuito de acondicionamiento analógico.

Requerimiento	Justificación
L6-TIR-CTS-ACA01	Acorde a la arquitectura planteada en la sección 2.3.
L6-TIR-CTS-ACA02	El rango de tensión de salida se define en un proceso iterativo con el circuito SEL&DIG, para que sea acorde al rango de entrada del Convertidor Analógico-Digital (Analog-to-Digital Converter, ADC).
L6-TIR-CTS-ACA03	El rango mínimo del termómetro no influye significativamente en el rendimiento del sistema y su valor se determina en un proceso iterativo con el diseño del circuito SEL&DIG (ver sección 4.3.1)
L6-TIR-CTS-ACA04	<p>Se especifica un valor máximo para la resolución ($\Delta V_{AN}/\Delta T_C$), el cual representa el peor caso. Esto se debe porque el termistor no relaciona en forma lineal su resistencia con la temperatura y el circuito de acondicionamiento analógico no corrige esta alinealidad. Debido a esto la resolución de la medición no es constante. No obstante, esto no representa un inconveniente siempre y cuando no se supere el valor crítico requerido.</p> <p>Un incremento de $\Delta V_{AN}=2.44[mV]$, representa 1[bit] en el circuito SEL&DIG. Este parámetro asegura que la resolución del termómetro sea como máximo de 3[m°C]. El valor de resolución se obtiene en un proceso iterativo con el circuito de acondicionamiento analógico y el circuito de SEL&DIG (secciones 5.7 y 5.6).</p>
L6-TIR-CTS-ACA05	<p>La SNR mínima requerida para el circuito de acondicionamiento analógico es de -72.2[dB]. El cálculo se realiza teniendo en cuenta que la señal digitalizada debe tener un nivel de ruido menor a una cuenta digital. De lo contrario la señal útil queda enmascarada y se muestrea ruido. La peor condición se da cuando la señal es máxima y se requiere que el ruido sea menor a 2^N para que no afecte al bit menos significativo. En la ecuación (4.3) se calcula el valor de SNR mínima.</p> $SNR_{MIN} = 20 \cdot \log \left(\frac{1}{2^N} \right) = 20 \cdot \log (4096^{-1}) \quad (4.3)$ $= -72,2[dB]$
L6-TIR-CTS-ACA06	En un proceso iterativo con el diseño del circuito, se determina que el error introducido por el autocalentamiento tenga un valor máximo de 1[bit] en el ADC. Por lo tanto, se requiere que el autocalentamiento sea menor a 3[m°C].
<i>Continúa en la siguiente página</i>	

Requerimiento	Justificación
L6-TIR-CTS-ACA07	Los circuitos de acondicionamiento analógico deben tener una respuesta en frecuencia lo suficientemente rápida para que resulte despreciable en lazo de control. De lo contrario, se los debe tener en cuenta para la sintonización del controlador. Usualmente se suele tomar una frecuencia de corte 10 veces mayor que el polo dominante de la función. El criterio que se asume aquí es más conservador y se especifica una frecuencia de corte mínima 60 veces mayor que el termistor. Si bien parece exagerado, el valor de la frecuencia de corte resulta en 10[Hz] y es holgado para el diseño de los circuitos electrónicos.
L6-TIR-CTS-ACA08	Todas las partes EEE del satélite SABIA-Mar deben ser acordes a lo mencionado en [43].

Tabla 4.19: Justificación de los requerimientos del circuito de acondicionamiento analógico.

Req. padre	Req.	Descripción
L5-TIR-CTS02	L6-TIR-CTS-DIG01	El circuito digital deberá contar para cada sensor con un controlador PI con anti-windup.
L5-TIR-CTS02	L6-TIR-CTS-DIG02	El circuito digital deberá tomar del circuito SEL&DIG el valor de temperatura digitalizado de cada sensor cada 90[ms].
L5-TIR-CTS02	L6-TIR-CTS-DIG03	El circuito digital deberá actualizar el controlador PI por cada adquisición de temperatura.
L5-TIR-CTS02	L6-TIR-CTS-DIG04	El circuito digital deberá contar con circuitos moduladores de ancho de pulso de frecuencia 25[KHz] y resolución menor a 0.192[%], controlados por la salida del controlador PI.
L5-TIR-CTS06	L6-TIR-CTS-DIG05	El circuito digital deberá entregar a la FPGA del instrumento el último valor de temperatura adquirido de cada sensor.
L5-TIR-CST03	L6-TIR-CTS-DIG06	El circuito digital deberá implementar una secuencia en donde se encienda el control térmico de cada sensor cada 43[s].
L5-TIR-CTS04	L6-TIR-CTS-DIG07	El circuito digital deberá configurar la temperatura de referencia de los controladores PI entre 10[°C] y 16[°C] en intervalos de 1[°C].
L5-TIR-CTS06	L6-TIR-CTS-DIG08	El circuito digital deberá dejar disponible en un registro el último valor de las salidas de los circuitos monitores.

Tabla 4.20: Requerimientos del circuito digital.

Requerimiento	Justificación
L6-TIR-CTS-DIG01	Acorde a los análisis de las secciones 3.6.1 y 3.6.2.
L6-TIR-CTS-DIG02	El período de muestreo se define en un proceso iterativo con los circuitos digitales, en donde se concluye que es conveniente tomar un valor tal, que la ecuación $T_s/6$ resulte en un valor entero expresado en [ms]. Esto permite reducir la complejidad de los circuitos digitales.
L6-TIR-CTS-DIG03	Acorde a la arquitectura planteada en la sección 2.3.
L6-TIR-CTS-DIG04	<p>La frecuencia requerida de las señales de PWM para el control del driver es de 25[KHz]. Ésta se define en un proceso iterativo con el diseño del circuito driver en la sección 5.3.2.</p> <p>La resolución del Ciclo Útil (Duty Cycle, DC) de la señal de PWM se calcula para que un incremento del DC provoque un cambio del voltaje de salida del driver de 5[mV] o menor. Por tanto, es necesario conocer la respuesta del driver. En un proceso iterativo con la sección 6.1, en (4.4) se deriva la ecuación (6.1) y luego en (4.5) se obtiene el mínimo valor de resolución de DC.</p> $\frac{\Delta V_o}{\Delta DC} = \frac{d}{dDC} \left(0,0261 \left[\frac{V}{\%} \right] \cdot DC + 0,4913 \left[\frac{V}{V} \right] \cdot V_a \right) \quad (4.4)$ $= 0,0261 \left[\frac{V}{\%} \right]$ $\Delta DC_{MAX} = \frac{\Delta V_o}{\Delta V_o / \Delta DC} = \frac{5[mV]}{0,0261 [V/\%]} \quad (4.5)$ $= 0,192[\%]$
L6-TIR-CTS-DIG05	
L6-TIR-CTS-DIG06	Se requiere que se realice una secuencia de encendido, para no exceder los 12[W] de potencia disponible según el requerimiento L5-TIR-CTS03. El criterio para encender un nuevo control térmico es que el módulo Peltier activo tenga un consumo inferior a 0.8[W]. Esto deja un buen margen para el consumo de los circuitos electrónicos electrónica. Del análisis de figura 4.7 se observa que a los 39[s] se cumple esta condición. Se toma un 10[%] de margen y el intervalo de encendido resulta 43[s].
L6-TIR-CTS-DIG07	Acorde a la arquitectura planteada en la sección 2.3.
L6-TIR-CTS-DIG08	Acorde a la arquitectura planteada en la sección 2.3.

Tabla 4.21: Justificación de los requerimientos del circuito digital.

Análisis de alternativas de diseño

Una vez definidos los requerimientos de los circuitos del control térmico, se presentan diferentes alternativas de diseño de los mismos. Existe una variedad de soluciones que resultan satisfactorias. En este capítulo se analizan y comparan las alternativas propuestas y se selecciona la más apropiada. En la selección se tienen en cuenta los escenarios eléctricos impuestos por el control térmico. Luego, se verifica por simulación y análisis que los requerimientos se cumplen para el circuito seleccionado.

Al finalizar este capítulo, se dispone de los circuitos que forman el sistema de control térmico propuesto para los sensores del instrumento TIR.

5.1 Consideraciones en la simulación de los circuitos

En este capítulo se analizan los circuitos propuestos. Los análisis se realizan mediante cálculos analíticos y simulaciones.

Para la simulación de circuitos analógicos se utiliza el software LTSpice IV, el cual funciona con motor SPICE. Esto es una ventaja ya que los fabricantes de las partes EEE brindan modelos compatibles con este software.

Para la simulación de los circuitos digitales se utiliza Simulink. Este software incorpora compuertas lógicas, flip flop y bloques matemáticos que permiten elaborar los modelos de los circuitos propuestos. También se utiliza la librería de herramientas digitales para Simulink [65], la cual se encuentra disponible en la web.

Los resultados de las simulaciones se utilizan para la verificación de los requerimientos de diseño de los circuitos.

5.2 Consideraciones en la selección de partes EEE

En el análisis de los circuitos se seleccionan partes EEE. El satélite SABIA-Mar requiere que estas sean acorde al documento de control de partes [43].

En la tabla 5.1 se detallan las normas que debe cumplir las partes EEE, los catálogos de donde se seleccionan y sus fabricantes. En la selección se tiene en cuenta que los dispositivos tengan una tolerancia de la dosis total de radiación superior a 15[Krad] y

que cumplan con el Factor de Seguridad (Derating Factor, DF). Esto último consiste en que las partes EEE seleccionadas cumplan con un margen adicional de los parámetros de funcionamiento necesarios. El valor mínimo de selección se calcula dividiendo el valor de cada parámetro por DF.

Parte	Norma	Catálogo	Fabricante(s)	Condiciones adicionales
Resistencias	MIL-PRF-55342	[66] [67]	VISHAY	$DF(P_D) = 0,5$ $DF(V) = 0,8$
Capacitores cerámicos	MIL-PRF-123	[68]	KEMET	$DF(V) = 0,6$ $T_{AMB} = 110[^\circ C]$
Capacitores tantalio	MIL-PRF-55365	[69]	KEMET	$DF(V) = 0,5$ para $T_{AMB} < 70^\circ C$, $DF(V) = 0,3$ para $T_{AMB} 110^\circ C$ $T_{AMB} = 110[^\circ C]$
Inductores	ESCC-3201	[70]	EXXELIA	$DF(I) = 0,65$
Diodos	MIL-PRF-19500	[71]	MICROSEMI	$DF(I_F) = 0,5$ $DF(P_D) = 0,5$ $DF(T_J) = 0,8$
BJT y MOSFET	MIL-PRF-19500	[71] [72]	MICROSEMI, IRF	$DF(P_D) = 0,6$ $DF(I) = 0,75$ $DF(V) = 0,75$ $DF(T_J) = 0,8$
CI	MIL-PRF-38535	[73] [74] [75] [76]	ANALOG DEVICES, INTERSIL, ST, TI	$DF(V_{SUPPLY}) = 0,9$ $DF(P_D) = 0,75$ $DF(T_J) = 0,75$ $DF(I) = 0,8$

Tabla 5.1: Catálogos utilizados en la selección de partes EEE.

5.3 Circuito driver

El circuito driver controla el módulo Peltier que se encuentra dentro del sensor IRL512. El voltaje de salida depende de las señales de control provenientes del circuito digital. Existe un circuito driver por cada sensor.

Teniendo en cuenta el requerimiento de dirección de corriente de salida (L6-TIR-CTS-DR02), la búsqueda de los posibles tipos de circuitos se restringe a aquellos cuya salida es bidireccional (voltajes positivos y negativos). A continuación se analizan circuitos driver del tipo lineal y conmutado.

5.3.1 Driver lineal

En la figura 5.1 se observa el circuito esquemático de un driver lineal. Este posee un Filtro Pasa Bajos (FPB) en la entrada para obtener un voltaje continuo a partir de la señal de PWM. Luego, se aplica una operación de amplificación (multiplicación) y resta. Se amplifica la señal para ajustar el rango del voltaje de salida a 4[V] y con la resta se hace la salida bidireccional. El Amplificador Operacional (AO) de salida (U2) es quien realiza la resta y amplificación, y controla a la etapa de potencia formada por los Transistores de Unión Bipolar (Bipolar Junction Transistors, BJT) dispuestos en configuración Darlington.

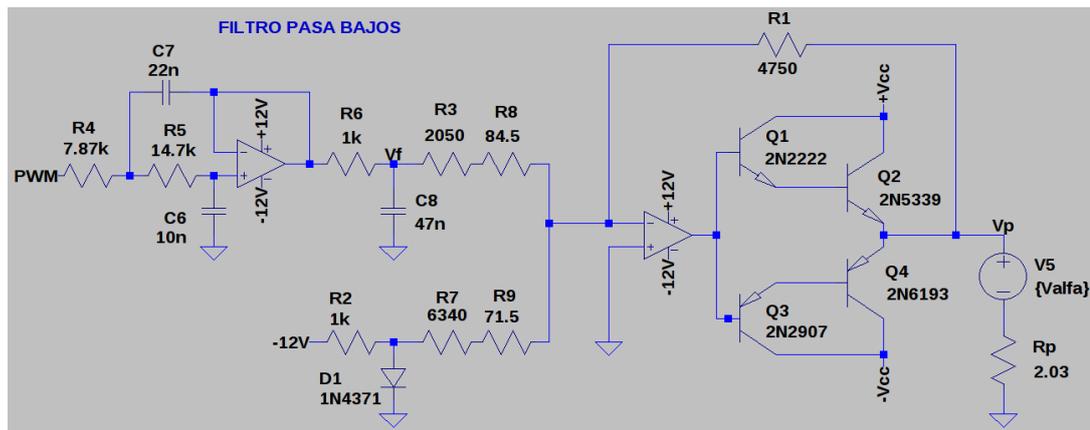


Fig. 5.1: Diagrama en bloques del driver lineal.

Se selecciona el AO LM124AJRQMLV por ser de propósitos generales, ya que las exigencias eléctricas del circuito son relajadas. Está basado en la tecnología de BJT para evitar posibilidad de ocurrencia de Latchup de Evento Simple (Single Event Latchup, SEL). Para la elección de los transistores Q2 y Q4 se tiene en cuenta la corriente y la disipación de potencia. Por tal motivo se decide utilizar el JANS2N5339 (NPN) y JANS2N6193 (PNP). Para no exigir el AO de salida, se incorporan los transistores Q1 y Q3 en configuración Darlington. Para estos últimos se seleccionan los transistores JANTXV2N2222AUB (NPN) y JANS2N2907AUA (PNP) por ser de baja potencia y uso de propósito general. El diodo D1 es el JANTXV1N4371AUR-1 y es un zenner de 2.7[V] para formar un voltaje de referencia para la operación resta. Todas las resistencias y capacitores son seleccionados de los catálogos mencionados en la sección 5.2. Las resistencias son de 1[%] de tolerancia.

El AO U2 forma un circuito sumador inversor con ganancia. La entrada proveniente del filtro varía entre 0[V] y 3.3[V], y se desea que la salida cubra un rango de 4[V]. Para compensar cualquier atenuación que pueda llegar a tener el filtro se calcula una ganancia tal que la salida del AO tenga un rango de 5[V]. El valor de ganancia resulta $G=1.51539$ y la salida del circuito responde a la ecuación (5.1). El valor de R_{IF} se forma con R3, R8 y Z_{OU2} y se calcula para amplificar G veces la salida del filtro. El valor de

R_{iZ} se forma con R7 y R8 y se calcula para atenuar los 2.7[V] de la referencia a 2[V], valor que es utilizado para la resta.

$$V_P = - \left(V_f \cdot \frac{R1}{R_{iF}} + V_z \cdot \frac{R1}{R_{iZ}} \right) \quad (5.1)$$

Para la etapa de filtrado, se debe determinar la frecuencia de las señales de PWM y la atenuación. Se utiliza una frecuencia de 25[KHz] por ser un valor cómodo para el diseño del filtro, como así también para su generación en el circuito digital. El valor de atenuación está relacionado con el ripple de la señal V_P . Se requiere que el valor de ripple debe ser menor al 10[%], para voltajes de salida mayores a 0.35[V] (L6-TIR-CTS-DR03). El peor caso, para el filtro, se da cuando $V_O = 0,35[V]$ y un ripple del 10[%] es igual a $V_{RIPPLE} = 0,035[V]$. En la ecuación (5.2) se calcula la atenuación mínima para cumplir con el requerimiento de ripple.

$$At_{MIN} = 20 \cdot \log \left(\frac{G \cdot V_{PWM}}{V_{RIPPLE}} \right) = 20 \cdot \log \left(\frac{1,51539 \cdot 3,3[V]}{0,035[V]} \right) = 43,1[dB] \quad (5.2)$$

Se decide utilizar un FPB activo de Butterworth por tener una respuesta plana en la banda pasante. La frecuencia de corte se elige en 100[Hz], ya que permite una buena atenuación y no compromete las restricciones del requerimiento de respuesta en frecuencia (L6-TIR-CTS-DR05). Este filtro tiene una pérdida de atenuación en frecuencias armónicas, por lo que se coloca un filtro de primer orden para compensar este efecto. En la figura 5.2 se observa el resultado de simulación de la respuesta en frecuencia del filtro. La atenuación a 25[KHz] supera ampliamente el valor mínimo requerido.

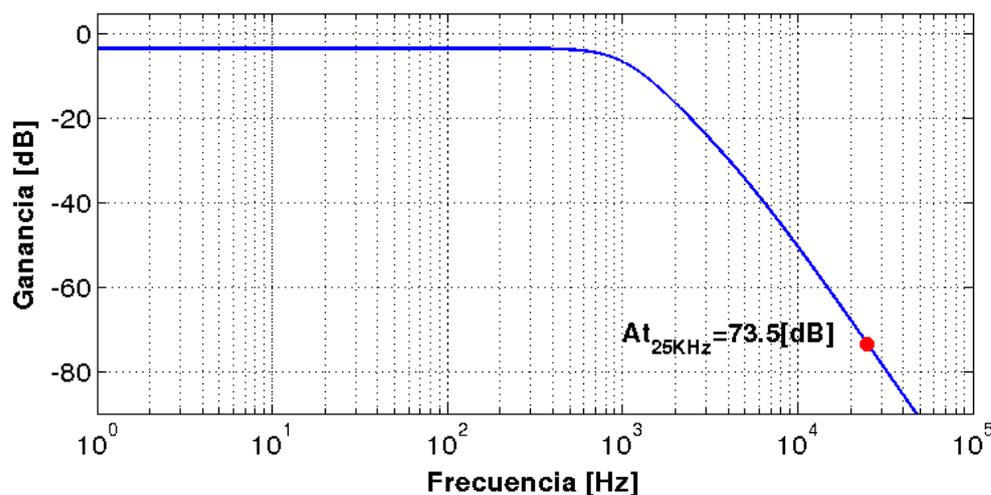


Fig. 5.2: Atenuación del filtro utilizado del driver lineal.

El circuito requiere de una fuente de alimentación partida para su funcionamiento. Una característica de los amplificadores lineales es tener pérdidas considerables por

efecto Joule. La disipación de potencia depende del voltaje de alimentación $\pm V_{CC}$, el voltaje de salida V_O y la corriente suministrada I_O . Cuanto menor sea la diferencia entre V_{CC} y V_O , menor es la disipación de potencia y el circuito es más eficiente.

5.3.2 Driver conmutado

Este tipo de circuitos se basa en encender y apagar sucesivamente la salida según una señal de control PWM. Cuando se requiere una salida bidireccional se utilizan circuitos denominados llave-H. El nombre se atribuye por la ubicación de los dispositivos de conmutación y la dirección de la corriente.

Un circuito de llave-H está compuesto por cuatro interruptores que direccionan la corriente a través de la carga. Según el requerimiento de control del circuito driver (L6-TIR-CTS-DR04), se dispone de dos señales de PWM para el manejo de los cuatro interruptores. Para este caso se tienen cuatro modos posibles de operación. En la figura 5.3 se observa un esquema del circuito de llave-H y la circulación de corriente en cada modo de operación. En la tabla 5.2 se describe el comportamiento del módulo Peltier en cada modo de operación del circuito driver conmutado.

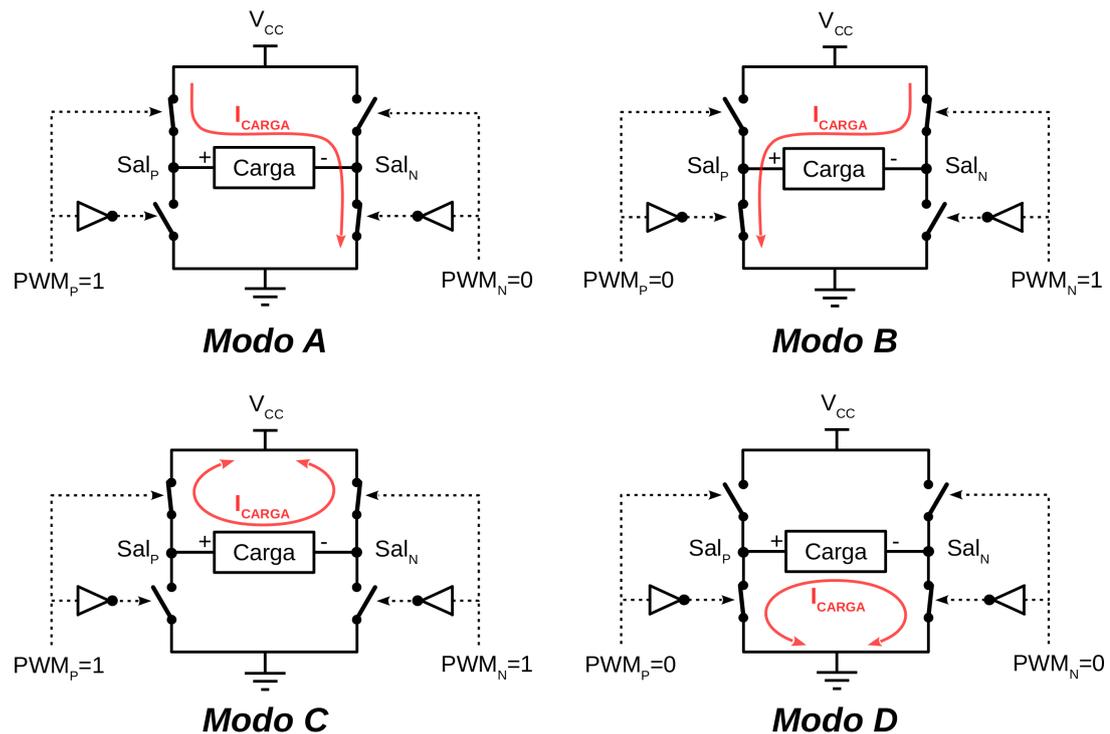


Fig. 5.3: Principio de funcionamiento del circuito llave-H.

La excitación de este circuito es pulsada y se requiere de un filtro para obtener una señal continua que cumpla con los niveles de ripple exigidos. El driver excita al filtro al doble de la frecuencia de conmutación de los interruptores. El voltaje de excitación del filtro corresponde al voltaje de alimentación del circuito. Tanto la frecuencia de conmutación como el voltaje de excitación se establecen en un proceso iterativo con el

Modo	PWM _P	PWM _N	Descripción
A	1	0	La corriente ingresa por el terminal positivo del Peltier y se evacúa calor desde interior del sensor hacia el exterior.
B	0	1	La corriente ingresa por el terminal negativo del Peltier y se inyecta un flujo de calor hacia interior del sensor.
C	1	1	Libre circulación de corriente, efecto nulo.
D	0	0	Libre circulación de corriente, efecto nulo.

Tabla 5.2: Comportamiento del módulo Peltier en los modos de operación del circuito driver conmutado.

diseño de los circuitos. Se decide utilizar una frecuencia de conmutación de 25[KHz]. Este valor permite implementar circuitos de disparo sencillos y utilizar valores prácticos para el inductor y el capacitor. El circuito de disparo es el encargado de manejar el driver que actúa como interruptor. Se utiliza un voltaje de alimentación de 5[V] ya que es utilizado por otros circuitos y permite minimizar la cantidad de convertidores DCDC en los circuitos de alimentación.

La atenuación mínima del filtro se calcula en la ecuación (5.3) para la peor condición requerida de ripple. Dicha situación se da cuando $V_O = 0,35[V]$, en donde el valor pico a pico de ripple resulta de $V_{RIPPLE} = 0,035[V]$.

$$At_{MIN} = 20 \cdot \log \left(\frac{V_{CC}}{V_{RIPPLE}} \right) = 20 \cdot \log \left(\frac{3,3[V]}{0,035[V]} \right) = 43,1[dB] \quad (5.3)$$

Tomando como referencia [77] se utiliza el filtro LC de la figura 5.4. Dentro de la nube de puntos se encuentra el equivalente eléctrico del módulo Peltier.

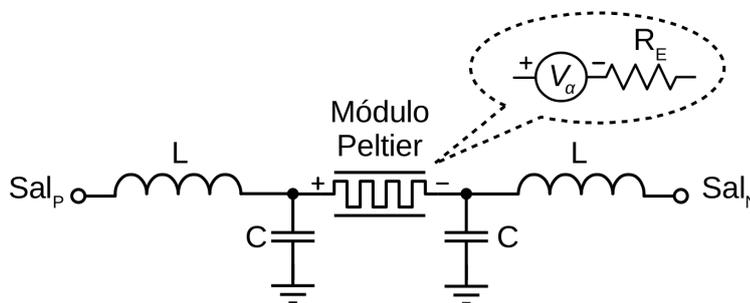


Fig. 5.4: Filtro LC utilizado en el driver conmutado.

Para definir el valor del inductor y el capacitor, se utiliza la función de transferencia del filtro (5.4). El filtro es de segundo orden, y su respuesta en frecuencia puede tener un sobre pico en la frecuencia de corte (ω_n). Si bien el filtro no se excita en tal frecuencia,

se tiene en cuenta que el coeficiente de amortiguamiento (ξ) sea menor a 1 en el cálculo, y de esta forma no tener sobre pico.

Otro aspecto a considerar es que los componentes no son ideales y tienen parámetros intrínsecos que distorsionan la respuesta del filtro. Para la selección se tiene en cuenta la Resistencia Serie Equivalente (Equivalent Series Resistance, ESR) del inductor y del capacitor.

$$FILTRO_{LC}(s) = \frac{W_n^2}{s^2 + 2\xi W_n s + W_n^2} \quad (5.4)$$

$$W_n^2 = \frac{1}{L \cdot C} \quad (5.5)$$

$$\xi = \frac{1}{R_E} \sqrt{\frac{L}{C}} \quad (5.6)$$

El proceso para la selección de los componentes del filtro es iterativo. Los pasos a seguir se detallan a continuación:

1. Seleccionar un inductor del catálogo del fabricante.
2. Calcular un capacitor para un $\xi < 1$ y atenuación a 50[KHz] mayor a 43.1[dB].
3. Seleccionar un capacitor en el catálogo del fabricante que tenga un valor similar al calculado.
4. Simular la respuesta en frecuencia del filtro y verificar que cumpla con la atenuación.

Se selecciona el inductor SESI18M221WR que tiene una inductancia de $L=330[\mu\text{H}]$, $\text{ESR}_L=250[\text{m}\Omega]$ e $I_{\text{MAX}}=1.6[\text{A}]$. Respecto al capacitor, se selecciona el CWR29FB156KCFB que tiene una capacidad de $C=15[\mu\text{F}]$, $\text{ESR}_C=0.7[\Omega]$ y $V_{\text{MAX}}=10[\text{V}]$. En la figura 5.5 se observa la respuesta en frecuencia del filtro simulado, en donde la atenuación resulta de $A_{t_{50\text{KHz}}}=47.6[\text{dB}]$.

Para completar el circuito, se reemplazan los interruptores de la imagen 5.3 por transistores y se añade un circuito de disparo para manejarlos. Este último debe diseñarse de forma tal que no permita la conducción simultánea de los transistores de medio puente. Esto provoca una circulación de corriente entre la alimentación y el retorno (masa), provocando un cortocircuito. Como el filtro posee cargas inductivas, es conveniente colocar un diodo de protección en los bornes de conmutación del transistor. Estos diodos garantizan la continuidad de corriente evitando picos de voltaje excesivos que pueden dañar a los transistores. A continuación se postulan dos circuitos de llave-H basados en distintas tecnologías de transistores.

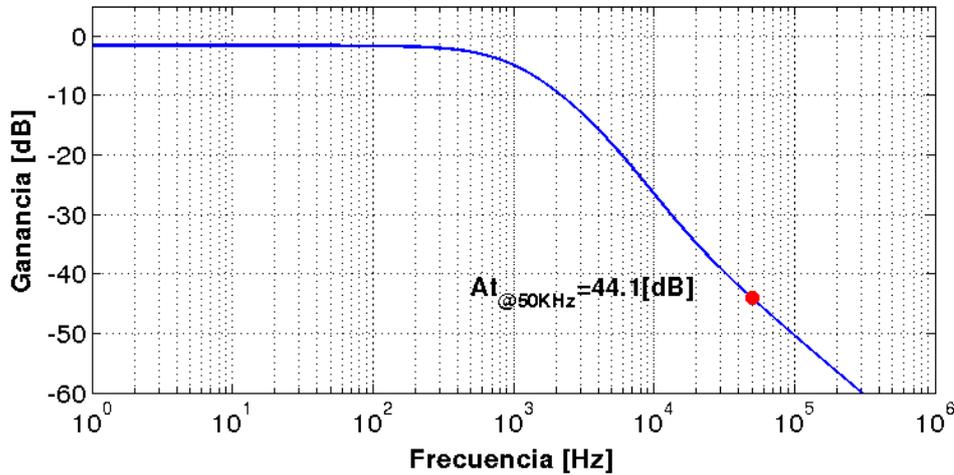


Fig. 5.5: Simulación de la respuesta en frecuencia del filtro del driver conmutado.

5.3.3 Driver conmutado con BJT

En la figura 5.6 se observa un driver conmutado con BJT. Este tipo de transistores controla la corriente del colector según la corriente de base. Los transistores Q1, Q2, Q3 y Q4 representan los interruptores de conmutación, mientras que Q5 y Q6 son necesarios para el manejo de los anteriores. Cuando Q6 se excita con PWM_p, Q3 conduce corriente y Q1 la corta. De forma contraria, Q6 está inactivo, Q1 conduce corriente y Q3 la corta. El funcionamiento es análogo para los transistores Q2, Q4 y Q5.

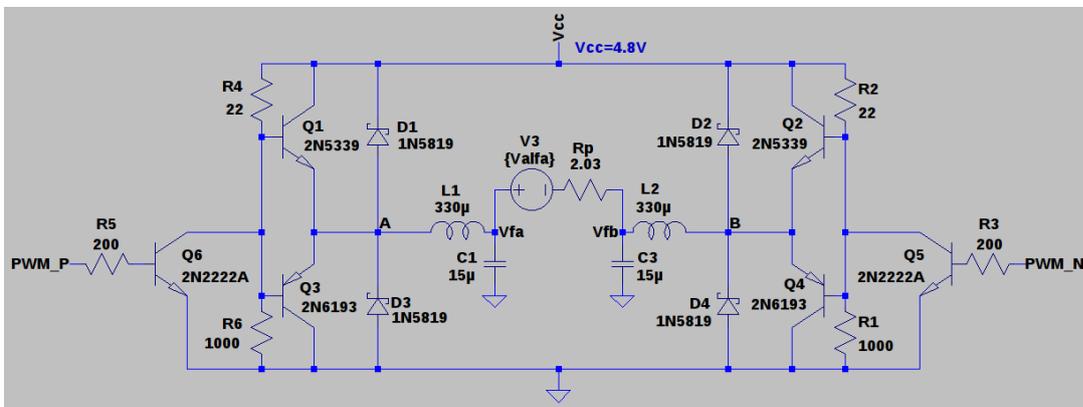


Fig. 5.6: Driver conmutado con BJT.

Para la selección de Q1, Q2, Q3 y Q4 se tuvo en cuenta la corriente y la disipación de potencia. Los transistores Q1 y Q2 son JANS2N5339 (NPN), mientras que Q3 y Q4 son JANS2N6193 (PNP). El circuito de disparo es sencillo y robusto, y está formado por Q5 y Q6 y las resistencias circundantes. Los transistores Q5 y Q6 son JANTXV2N2222AUB (NPN) y para su selección se tuvo en cuenta que soporten la corriente de disparo. Los diodos D1, D2, D3 y D4 son JANS1N5819UR-1 y son de tipo Schottky. Para su selección se tuvo en cuenta la corriente, la velocidad de respuesta y la caída de voltaje en polarización directa.

5.3.4 Driver conmutado con MOSFET

En la figura 5.7 se observa un driver conmutado con Transistores de Efecto de Campo Metal Óxido Semiconductor (Metal Oxide Semiconductor Field-Effect Transistor, MOSFET). Este tipo de transistores controla la corriente del drenador según el voltaje de la puerta. Una particularidad de esta tecnología es que es vulnerable a la ocurrencia de SEL, debido a su arquitectura constructiva. Este efecto se comporta funcionalmente como un cortocircuito.

Los transistores M1, M2, M3 y M4 representan los interruptores de conmutación, mientras que Q5 y Q6 son necesarios para el manejo de los anteriores. Cuando Q6 se excita con la señal PWM_P, M1 conduce corriente y M3 la corta. De forma contraria, Q6 está inactivo, M3 conduce corriente y M1 la corta. El funcionamiento es idéntico para los transistores Q5, M2 y M4.

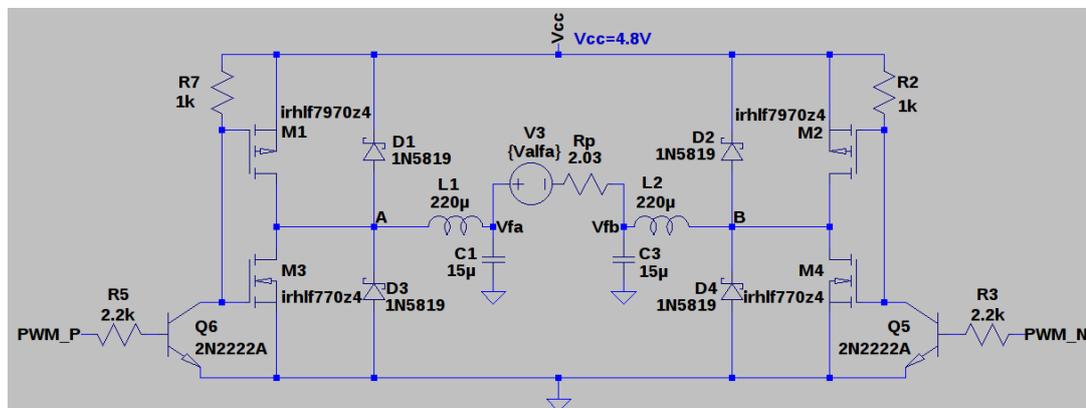


Fig. 5.7: Driver conmutado con MOSFET.

Los transistores Q5 y Q6 son JANTXV2N2222AUB. Para la selección de éstos no hay grandes exigencias, por lo que se decide utilizar transistores de propósito general. Los transistores M1 y M2 son IRHLLF7970z4 (canal-P), mientras que M3 y M4 son sus complementarios IRHLLF770z4 (canal-N). Para la selección de los transistores de conmutación se tiene en cuenta la corriente máxima, la disipación de potencia, la resistencia de encendido (R_{DS-ON}) y el voltaje de disparo seguro. Éste último parámetro fue el que más restringió la búsqueda.

El circuito se plantea con una alimentación de 4.8[V] y el voltaje de disparo seguro debe garantizarse con dicho valor. De lo contrario, se requiere una fuente de alimentación adicional. Muchos de los MOSFET analizados no cumplen con el voltaje de disparo seguro, pero los transistores seleccionados cumplen satisfactoriamente. Éstos han sido diseñados exclusivamente para ser controlados con bajos voltajes, por lo que se adecuan para este caso.

El voltaje de disparo seguro se determina a partir de la curva de V_{GS} vs Q_G que se aprecia en la figura 5.8. Se debe asegurar un valor de V_{GS} tal que asegure la carga total de la Puerta. Esta situación se observa en la zona horizontal o de leve pendiente

de la curva. Las curvas de la figura 5.8 también se utilizan para verificar el tiempo de encendido y apagado de los transistores.

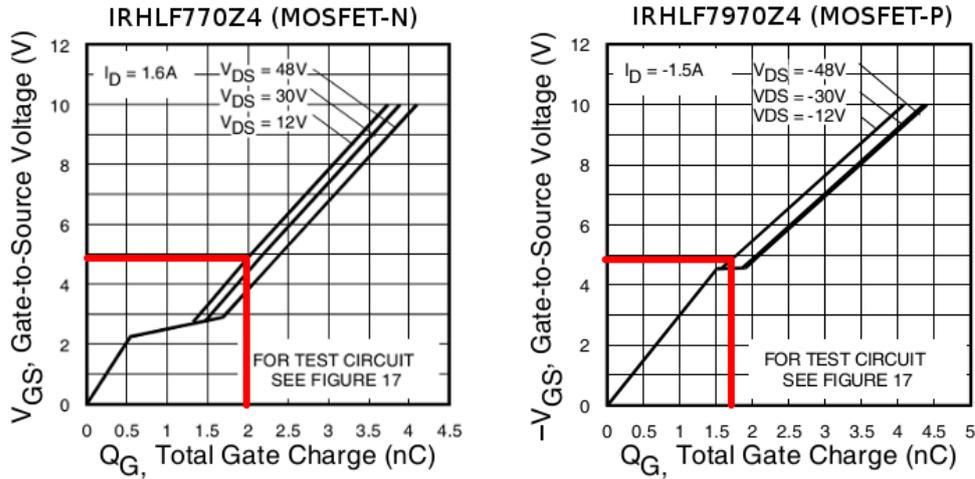


Fig. 5.8: Verificación del voltaje de disparo seguro de los MOSFET.

5.3.5 Comparación y selección del driver

Los circuitos driver propuestos se ponen a prueba para determinar el más conveniente. Se los compara en los escenarios frío, caliente y encendido en frío. Este último se considera en el instante inicial de encendido, ya que representa el mayor valor de salida para el driver. Los valores de V_p (voltaje de salida del driver o voltaje del módulo Peltier), I_p (corriente de salida del driver o corriente del Peltier), P_{PELTIER} (potencia eléctrica suministrada al módulo Peltier) y V_α (voltaje de Seebeck del módulo Peltier) son tomados de la tabla 4.9 y se utilizan para configurar los escenarios de simulación de los circuitos. En la tabla 5.3 se detallan las condiciones eléctricas de cada escenario.

Escenario	V_p [V]	I_p [A]	P_{PELTIER} [W]	V_α [mV]
Frío	0,371	0,207	0,077	-48
Caliente	1,113	0,422	0,470	256
Encendido en frío	-2,000	-0,985	1,970	0

Tabla 5.3: Condiciones eléctricas de los escenarios de simulación.

Los criterios que se tienen en cuenta para la comparación de los circuitos son: la potencia disipada por el driver, la eficiencia, la necesidad de una fuente de alimentación partida ($\pm V_{CC}$) y si es vulnerable a la ocurrencia de SEL. Tanto la potencia disipada por el driver como la eficiencia se calculan para cada uno de los escenarios mencionados.

La eficiencia se calcula con la ecuación (5.7), en la que $P_{\text{IN-DRIVER}}$ es la potencia suministrada al circuito driver por la fuente de alimentación y P_{PELTIER} es la potencia

entregada al módulo Peltier. El valor de $P_{IN-DRIVER}$ se releva de la simulación del circuito.

$$eff_{DRIVER}[\%] = \frac{P_{IN-DRIVER}}{P_{PELTIER}} \cdot 100 \quad (5.7)$$

Por su parte, P_{DRIVER} se calcula con la ecuación (5.8). El valor de $P_{PELTIER}$ se obtiene según el escenario de la tabla 5.3.

$$P_{DRIVER} = P_{IN-DRIVER} - P_{PELTIER} \quad (5.8)$$

El procedimiento de simulación consiste, en primer lugar, en configurar para cada escenario el valor de V_a y ajustar las señales de control PWM_P y PWM_N , hasta lograr el voltaje de salida mencionado en la tabla 5.3. En este punto, el valor de simulación de $P_{PELTIER}$ coincide con el valor de la tabla 5.3. Luego, se relevan los valores de potencia P_{IN} y P_{OUT} . Por último se calculan P_{DR} y eff .

Una vez que el procedimiento de simulación llega a su fin, se obtienen los resultados que permiten comparar los circuitos en los tres escenarios posibles. En la tabla 5.4 se observa la comparación de los circuitos.

Driver propuesto	$P_{DR-FRIO}[W]$ ($eff[\%]$)	$P_{DR-CAL}[W]$ ($eff[\%]$)	$P_{DR-MAX-ENC}[W]$ ($eff[\%]$)	Fuente partida	Riesgo SEL
Lineal con $V_{CC} = 5[V]$	1,197 (6,0)	1,876 (19,9)	3,128 (41,9)	SI	NO
Lineal con $V_{CC} = 3[V]$	0,670 (10,2)	0,923 (33,6)	1,113 (63,7)	SI	NO
Conmutado con BJT	1,527 (4,8)	2,011 (19,0)	3,747 (34,4)	NO	NO
Conmutado con MOSFET	0,492 (13,5)	0,657 (42,6)	2,051 (49,09)	NO	SI

Tabla 5.4: Comparación de los circuitos driver.

Teniendo en cuenta dichos resultados, se decide utilizar el circuito driver conmutado con MOSFET ya que presenta la mejor eficiencia en los escenarios frío y caliente, y además por no necesita de una fuente partida. Si bien es vulnerable a la ocurrencia de SEL, el circuito de protección lo mitiga.

5.3.6 Análisis del circuito driver

En este apartado se realizan simulaciones para caracterizar el circuito driver conmutado con MOSFET. Esta información se utiliza para analizar los requerimientos de diseño mencionados en el capítulo 4.

Voltaje de salida

El voltaje de salida del circuito driver (V_p), varía en linealmente con el DC y con el voltaje de Seebeck (V_α).

En la figura 5.9 se observa V_p en función del DC para distintos valores del voltaje de Seebeck (V_α) del Peltier.

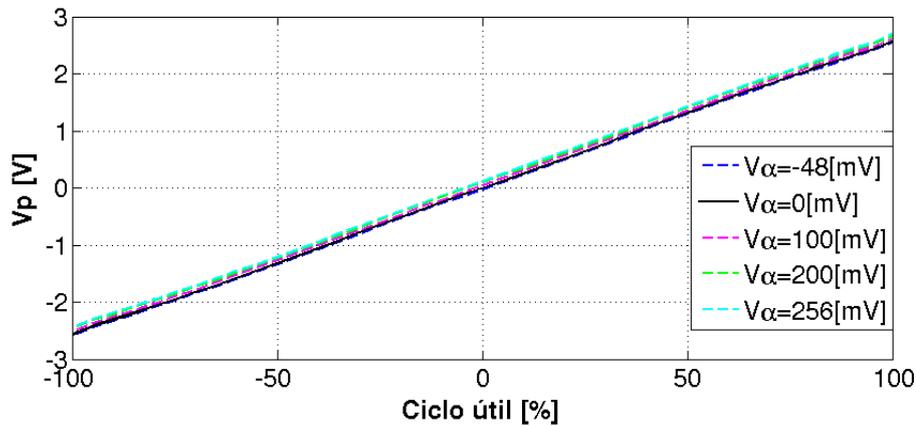


Fig. 5.9: Voltaje de salida del driver en función del ciclo útil.

En la figura 5.10 se observa una ampliación de la curva, en donde aprecia con mayor detalle el efecto de V_α .

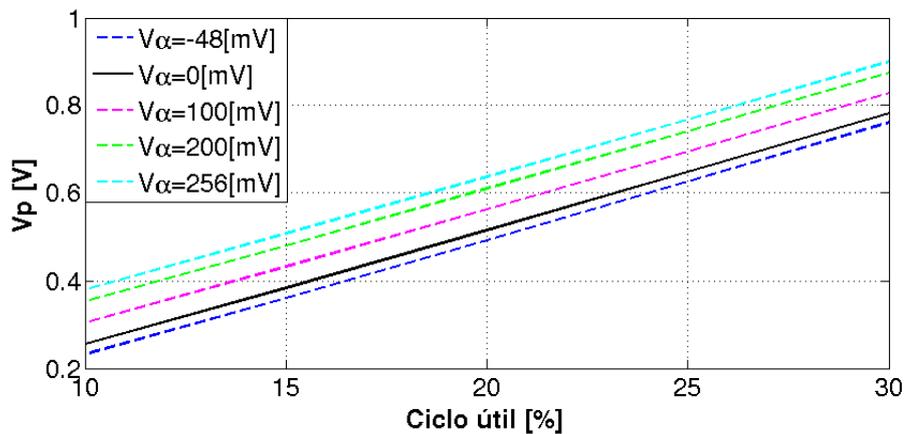


Fig. 5.10: Ampliación de la curva del voltaje de salida del driver en función del ciclo útil.

En la figura 5.11 se observa una curva de V_p en función de V_α para distintos valores de DC.

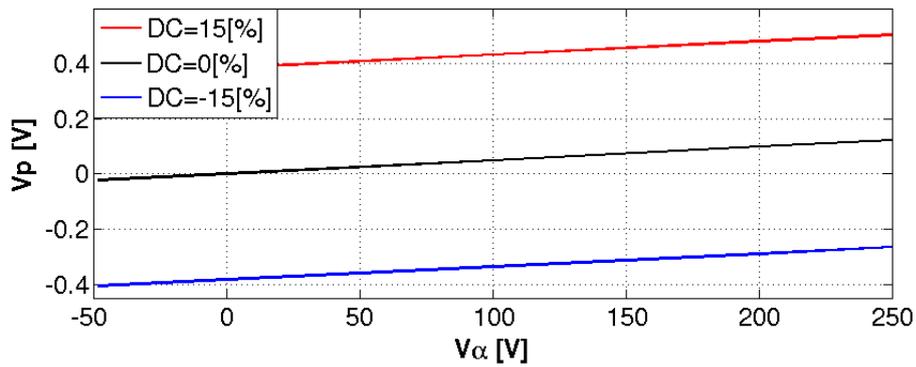


Fig. 5.11: Voltaje de salida del driver en función del voltaje de Seebeck.

Ripple del voltaje de salida

El ripple se mantiene para todos los casos por debajo del 10[%]. En la simulación se considera un $V_{\alpha} = 0$ y valores de DC entre $-100[\%]$ y $100[\%]$. En la figura 5.12 se observa el ripple obtenido en función del voltaje de salida.

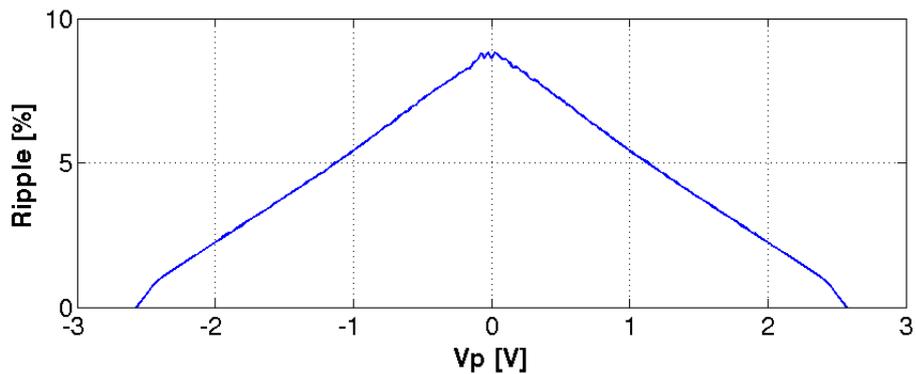


Fig. 5.12: Ripple del driver en función del voltaje de salida.

Potencia disipada y eficiencia

La potencia disipada por el driver para $V_p = 0$ resulta de $P_{\text{DRIVER}}=0.5[\text{W}]$ y para $\pm V_p = 2[\text{V}]$ resulta $P_{\text{DRIVER}}=2[\text{W}]$. La simulación considera un $V_{\alpha} = 0$ y valores de DC entre $-100[\%]$ y $100[\%]$. En la figura 5.13 se observa P_{DRIVER} en función de V_p .

El valor de eficiencia es mayor a medida que V_p aumenta, y para un $V_p = 2[\text{V}]$ su valor resulta $\text{eff}=49[\%]$. En la figura 5.14 se observa la eficiencia en función de V_p .

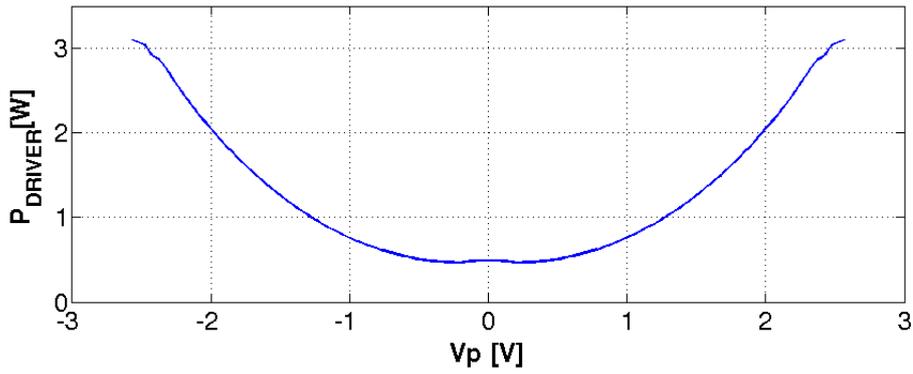


Fig. 5.13: Potencia disipada del driver en función del voltaje de salida.

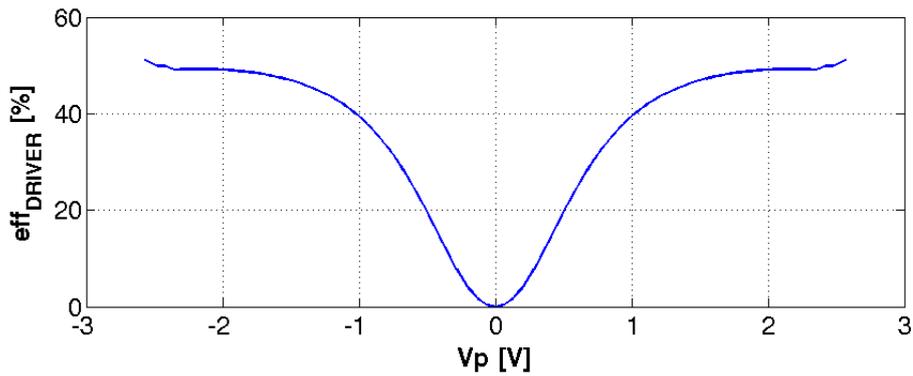


Fig. 5.14: Eficiencia del driver en función del voltaje de salida.

Tiempo de establecimiento

El tiempo de establecimiento resulta menor a 1[ms], en consecuencia el ancho de banda del circuito supera los 100[Hz]. En la figura 5.15 se observa V_p en función del tiempo, para distintos valores de DC.

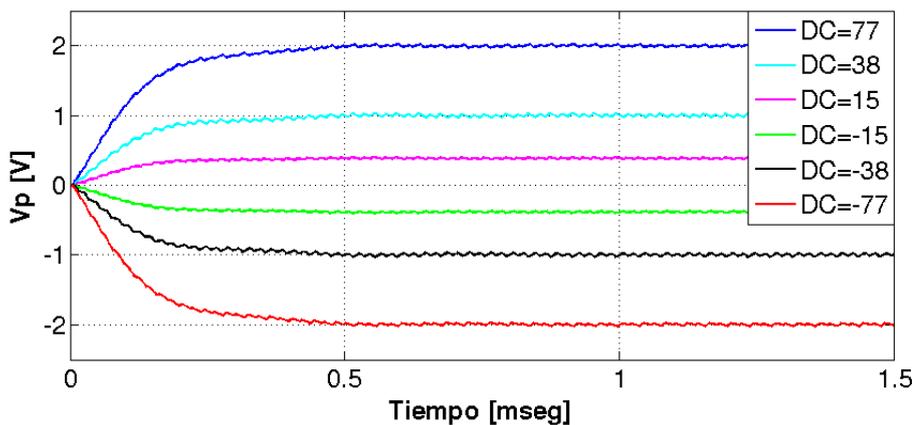


Fig. 5.15: Voltaje de salida del driver en función del tiempo.

5.3.7 Verificación de requerimientos del driver

Una vez finalizado el análisis del circuito driver, se verifican los requerimientos de diseño del mismo. Todos los requerimientos se cumplen satisfactoriamente y en la tabla 5.5 se vincula cada uno de ellos con el análisis que los verifica.

Requerimiento	Resumen	Verificación /Método
L6-TIR-CTS-DR01	Manejar 6 sensores	✓ Análisis (Sección 5.9)
L6-TIR-CTS-DR02	Voltaje de salida entre -2[V] y 2[V]	✓. Simulación. (Sección 5.3.6)
L6-TIR-CTS-DR03	Ripple menor al 10[%]	✓ Simulación (Sección 5.3.6)
L6-TIR-CTS-DR04	Manejo con 2xPWM 0[V]-3.3[V]	✓ Análisis (Sección 5.3.4)
L6-TIR-CTS-DR05	Respuesta en frecuencia mayor a 10[Hz]	✓ Simulación (Sección 5.3.6)
L6-TIR-CTS-DR06	Calidad de partes	✓ Análisis (Sección 5.2)

Tabla 5.5: Verificación de requerimientos del circuito driver.

5.4 Circuito de protección

El circuito de protección suministra el voltaje de alimentación al circuito driver. Si el driver falla y exige niveles de corriente excesivos, el circuito de protección corta el suministro de alimentación para evitar que la falla se propague. Existe un circuito de protección por cada sensor.

5.4.1 Descripción del circuito de protección

Este tipo de circuito tiene herencia de misiones anteriores y su funcionamiento resultó satisfactorio. Por este motivo se plantea utilizar sólo esta opción. En la figura 5.16 se observa el mismo.

El funcionamiento se basa en que Q2 controla el punto de operación de Q1 y este último controla la salida. Q2 es polarizado de forma tal que pasa al estado de corte a Q1 si el voltaje de salida ($D_{r_{VCC}}$) cae. Por lo tanto, los transistores Q1 y Q2 están realimentados a través del voltaje de salida. La corriente de salida de Q1 tiene un límite por diseño. Si la carga del circuito exige una corriente mayor a la del umbral, el voltaje cae y Q2 pasa al estado de corte a Q1, provocando que el voltaje de salida sea nulo.

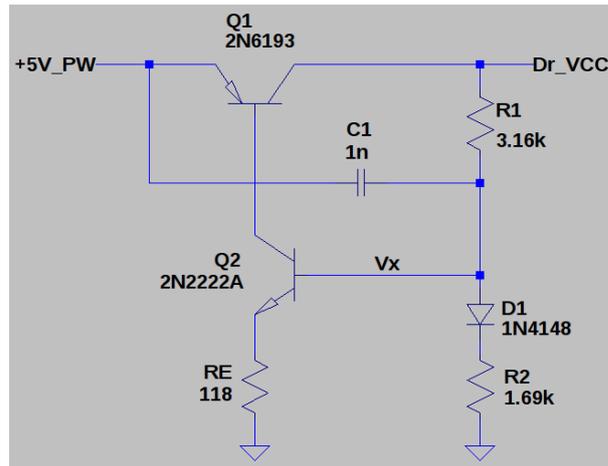


Fig. 5.16: Circuito de protección.

El capacitor C1 proporciona una corriente inicial en la base de Q2 para el arranque del circuito. El diodo D1 mitiga el cambio de polarización de Q2 por efecto de la temperatura, lo cual permite evitar variaciones significativas del umbral de corte. Una vez efectuado el corte, para restituir el voltaje en la salida, es necesario que la carga excesiva cese y que sea llevado a cabo un ciclo de encendido.

En la figura 5.17 se observa el funcionamiento del circuito ante la acción de una carga excesiva. Dicha carga se conecta en la salida del circuito entre 10[ms] y 12[ms]. Luego entre los 14[ms] y los 16[ms] sucede un ciclo de encendido.

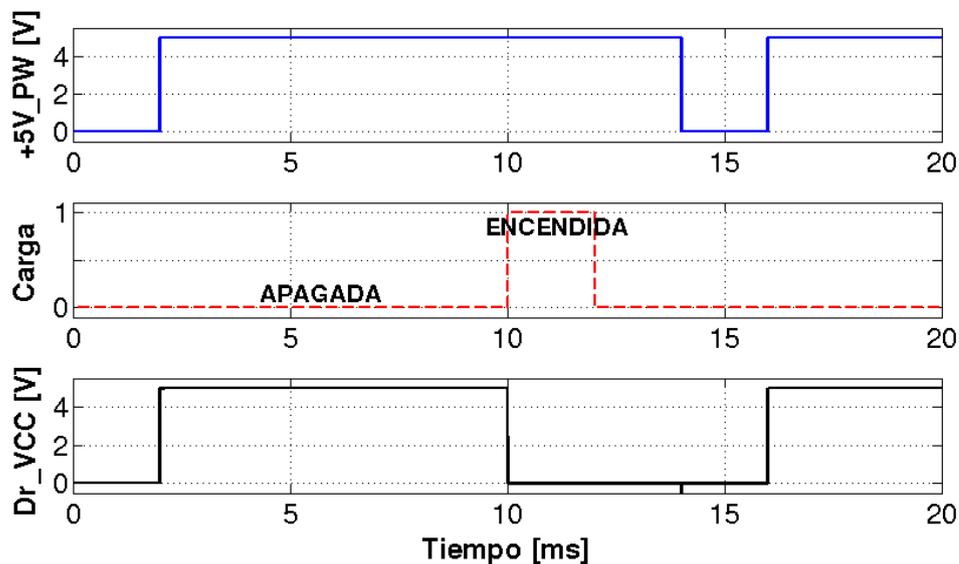


Fig. 5.17: Funcionamiento del circuito de protección.

Se selecciona el transistor Q1 JANS2N6193 teniendo en cuenta la capacidad de corriente y la disipación de potencia. El transistor Q2 tiene bajas exigencias y se selecciona el JANTXV2N2222AUB por ser de propósitos generales. Se selecciona el diodo JANTXV1N4148UR-1 por estar polarizado con una pequeña corriente.

El valor de umbral depende de los valores de R1, R2 y RE. El cálculo se realiza para el caso límite y se hacen las consideraciones (5.9).

$$\begin{aligned} I_O &\simeq I_{C1} & Dr_{VCC} &\simeq (+5V_{PW} - V_{CE-SAT}) \\ I_{C1} &\simeq I_{E1} & I_{C2} &\simeq I_{E2} \\ I_{B1} &= \frac{I_{C1}}{\beta_1} & I_{B2} &= \frac{I_{C2}}{\beta_2} \end{aligned} \quad (5.9)$$

Se fija estratégicamente un valor de V_X para que no se disipe mucha potencia en RE. La resistencia R1 se calcula en (5.10) para que circule por ella una corriente diez veces mayor a I_{B2} . Esto provoca que V_X no varíe significativamente con I_{B2} , por ser despreciable, y dependa del voltaje de salida Dr_{VCC} .

$$R1 = \frac{Dr_{VCC} - V_X}{10 \cdot I_{B2}} \quad (5.10)$$

Por lo tanto, R2 se calcula para que circule una corriente nueve veces mayor a I_{B2} . En la ecuación (5.11) se observa este cálculo.

$$R2 = \frac{V_X - V_{D1}}{9 \cdot I_{B2}} \quad (5.11)$$

Por último, teniendo en cuenta la ecuación de malla de V_X (5.12) se despeja RE en (5.13).

$$V_X = \frac{I_{C1}}{\beta_1} \cdot R_E + V_{BE} \quad (5.12)$$

$$R_E = \frac{V_X - V_{BE2}}{I_{O-MAX}} \cdot \beta_1 \quad (5.13)$$

Según los componentes seleccionados y el punto de operación se considera $\beta_1=100$, $\beta_2=150$, $V_{CE-SAT}=0.3[V]$, $V_{D1}=0.7[V]$ y $V_{BE2}=0.7[V]$. El voltaje de alimentación es $+5V_{PW}=5[V]$, V_X se fija en $2[V]$ y el umbral de corriente $I_{O-MAX}=1.3[A]$. Las resistencias R1 y R2 se calculan y luego se busca un valor aproximado en los catálogos comerciales 5.2, lo que resulta en $R1=3.16[K\Omega]$ y $R2=1.69[K\Omega]$. La resistencia RE se calcula y posteriormente se ajusta su valor en el simulador, para lograr con precisión el umbral requerido. El valor calculado es $RE=100[\Omega]$ y el vaor ajustado es $RE=118[\Omega]$.

5.4.2 Análisis del circuito de protección

Se realizan sucesivas simulaciones en donde un interruptor habilita distintas cargas resistivas a los $4[ms]$. Para el caso de una carga de $3.42[\Omega]$, la cual excede el umbral corriente de $1.3[A]$, el voltaje de salida cae a $0[V]$ luego de la conmutación. En la figura 5.18 se observa el voltaje de salida del circuito de protección (Dr_{VCC}) en función del tiempo.

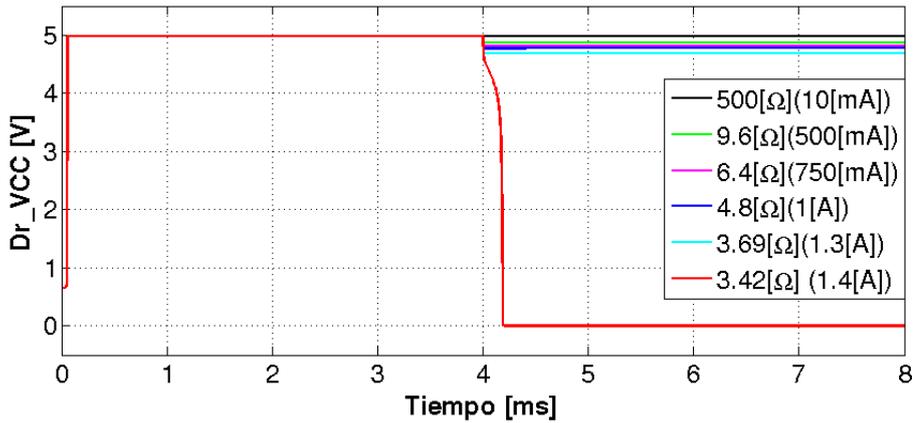


Fig. 5.18: Umbral de corte del circuito de protección.

El voltaje de salida se reduce para aquellas cargas que no provocan una corriente superior al umbral. Cuando el circuito de protección suministra una corriente de 1[A], el voltaje de salida resulta de 4.78[V]. En la figura 5.19 se observa el voltaje de salida en función del tiempo para distintas cargas que no superan el umbral de corriente.

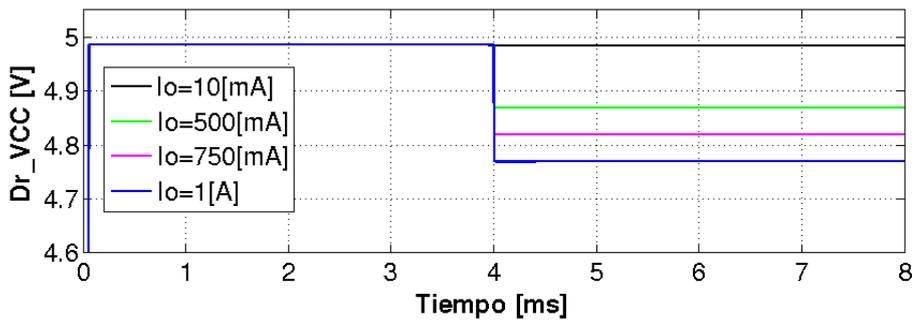


Fig. 5.19: Voltaje de salida del circuito de protección para distintos valores de corriente.

Se realiza una simulación para cargas resistivas que provocan valores de corriente hasta el umbral de corte. En la figura 5.20 se observa el voltaje de salida en función de la corriente suministrada por el circuito de protección.

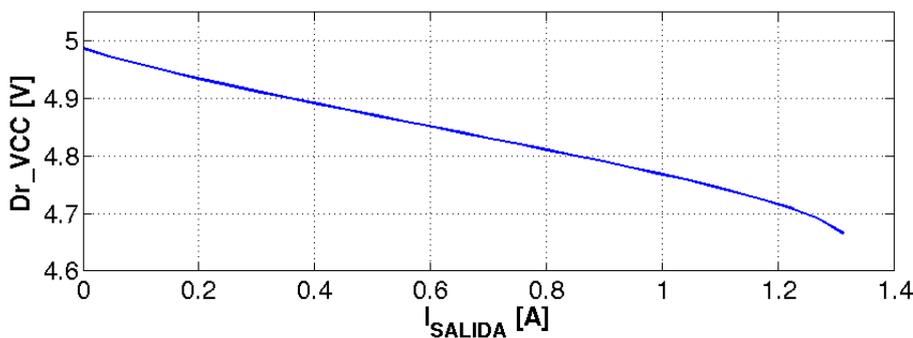


Fig. 5.20: Voltaje de salida del circuito de protección en función de la corriente.

En la figura 5.21 se observa la disipación de potencia disipada por el circuito de protección en función de la corriente suministrada.

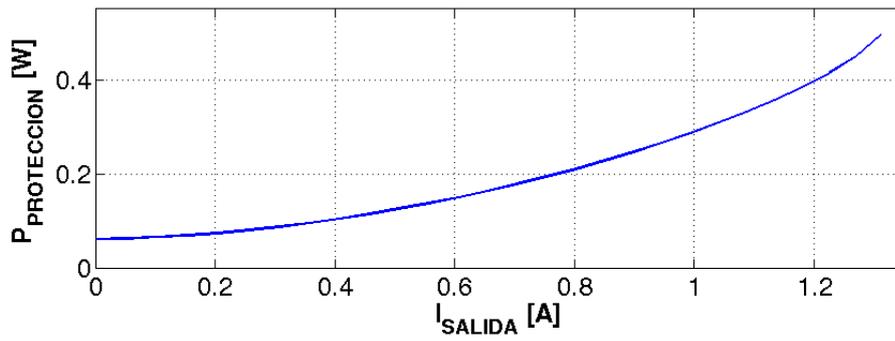


Fig. 5.21: Potencia disipada por el circuito de protección en función de la corriente.

En la figura 5.22 se observa la eficiencia del circuito de protección en función de la corriente de suministrada.

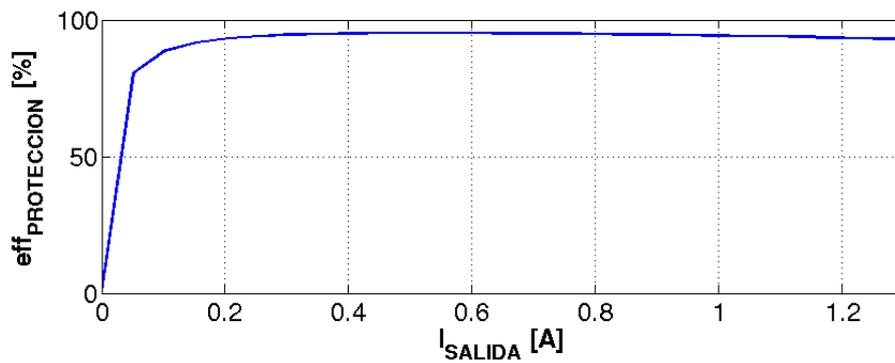


Fig. 5.22: Eficiencia del circuito de protección en función de la corriente.

5.4.3 Verificación de requerimientos del circuito de protección

Una vez finalizado el análisis del circuito de protección, se verifican los requerimientos de diseño del mismo. Todos los requerimientos se cumplen satisfactoriamente y en la tabla 5.6 se vincula cada uno de ellos con el análisis que los verifica.

Requerimiento	Resumen	Verificación /Método
L6-TIR- CTS-DRP01	Cortar alimentación si la corriente excede 1.3[A]	✓ Simulación (Sección 5.4.2)
L6-TIR- CTS-DRP02	Calidad de partes	✓ Análisis (Sección 5.2)

Tabla 5.6: Verificación de requerimientos del circuito de protección.

5.5 Circuito monitor

El circuito monitor informa al circuito digital del estado del circuito de protección, es decir, el estado de alimentación de los driver. Existe un circuito monitor por cada sensor.

Se postulan las siguientes soluciones para cumplir con dicha función:

1. Utilizar las entradas analógicas de un ADC.
2. Utilizar un CI buffer.
3. Implementar un inversor con un BJT.

La primera propuesta se descarta debido a que se requiere un circuito SEL&DIG adicional y un circuito digital para controlarlo. Esto provoca un mayor consumo y mayor cantidad de recursos en la FPGA. En cuanto a la segunda y tercera propuesta se consideran viables por igual. Se decide utilizar la tercera opción por ser más robusta. En la figura 5.23 se observa el circuito monitor basado en un inversor con BJT. La señal Dr_VCC representa el voltaje de salida del circuito de protección.

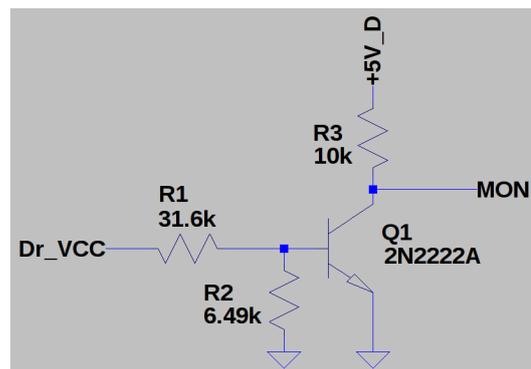


Fig. 5.23: Circuito monitor.

Este circuito maneja pequeñas corrientes y por tal motivo se selecciona el transistor de propósitos generales JANTXV2N2222AUB. Como este transistor se utiliza en otros circuitos del control térmico, favorece a que el listado de materiales sea más compacto.

Las resistencias R1, R2 y R3 se deben calcular apropiadamente para lograr una transición del voltaje de salida (MON) acorde al umbral de voltaje requerido de Dr_VCC.

Se utiliza un voltaje de alimentación de 5[V] y una resistencia $R3=10[\text{K}\Omega]$, para que la señal MON cumpla con niveles de voltaje TTL y en consecuencia sea compatible con el circuito digital.

Las resistencias R1 y R2 forman un divisor resistivo alimentado por Dr_VCC. Se adopta como criterio de diseño, utilizar una corriente del divisor resistivo (I_M) diez veces mayor a la corriente de base (I_B) necesaria para excitar el transistor. De esta

forma V_B no varía significativamente con I_B . El divisor resistivo se calcula para que la transición del voltaje de salida se realice cuando $Dr_VCC \geq 3.7[V]$ y $V_B \geq V_{BE}$. Para el cálculo de $R1$ y $R2$ se utilizan las ecuaciones (5.14), (5.15), (5.16), (5.17) y (5.18).

$$I_B = \frac{I_C}{\beta} \quad (5.14)$$

$$I_M = I_B \cdot 10 \quad (5.15)$$

$$(R1 + R2) = \frac{V_{ENT}}{I_M} \quad (5.16)$$

$$R2 = \frac{V_{BE}}{V_{ENT} \cdot (R1 + R2)} \quad (5.17)$$

$$R1 = (R1 + R2) - R2 \quad (5.18)$$

Se consideran los parámetros del transistor operando en saturación $\beta=50$ y $V_{BE}=0.65[V]$. Se calculan las resistencias $R1$ y $R2$, y luego se buscan valores aproximados en los catálogos de los fabricantes [67]. Los valores seleccionados son $R1=30.9[K\Omega]$ y $R2=6.49[K\Omega]$.

Se realizan una simulación del circuito monitor en donde se hace variar la señal Dr_VCC entre $0[V]$ y $5[V]$. Los resultados arrojan que existe un intervalo de incertidumbre para valores de $3.77 < Dr_VCC < 3.68$ para los niveles del estándar TTL $V_{IL_MAX}=0.8[V]$ y $V_{IH_MIN}=2.0[V]$. Sin embargo, cuando el circuito de protección corta Dr_VCC , éste resulta $0[V]$, sin permanecer en el intervalo de incertidumbre. La señal MON se interpreta como un “1” lógico ($5[V]$) cuando $Dr_VCC < 3.68[V]$, y como un “0” lógico ($0[V]$) cuando $Dr_VCC > 3.77[V]$.

En la figura 5.24 se observa el voltaje de salida según el voltaje entrada Dr_VCC . En el gráfico, los niveles de entrada del circuito digital se delimitan en línea punteada.

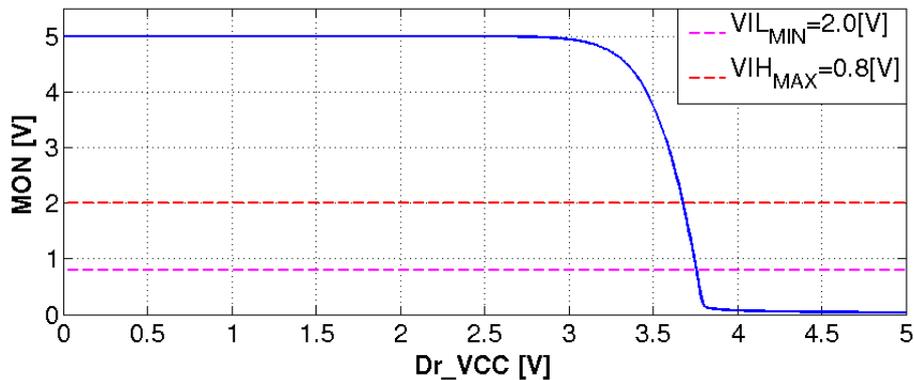


Fig. 5.24: Voltaje de salida del circuito monitor en función del voltaje de entrada.

En la simulación también se releva la potencia disipada por el circuito monitor. Ésta se mantiene por debajo de los 3.5[mW] y es despreciable en comparación a otros circuitos. En la figura 5.25 se observa la potencia disipada por el circuito monitor en función del voltaje entrada Dr_VCC.

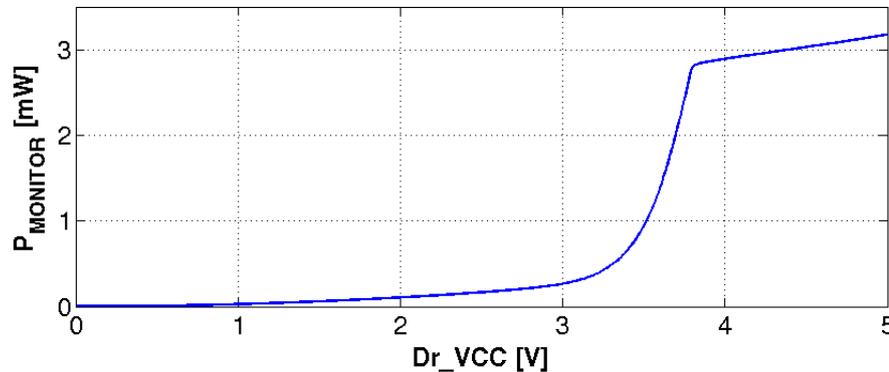


Fig. 5.25: Potencia disipada del circuito monitor en función del voltaje de entrada.

Para finalizar el análisis de este circuito, se verifican los requerimientos de diseño. Todos los requerimientos se cumplen satisfactoriamente y en la tabla 5.7 se vincula cada uno de ellos con el análisis que los verifica.

Requerimiento	Resumen	Verificación /Método
L6-TIR- CTS-DRM01	Estado lógico definido para Dr_VCC<3.6[V] y Dr_VCC>3.8[V]	✓ Simulación (Sección 5.5)
L6-TIR- CTS-DRM02	Señal de salida compatible con TTL o LVTTTL	✓ Simulación (Sección 5.5)
L6-TIR- CTS-DRM03	Calidad de partes	✓ Análisis (Sección 5.2)

Tabla 5.7: Verificación de requerimientos del circuito monitor.

5.6 Circuito SEL&DIG

El circuito SEL&DIG hace referencia a la selección y digitalización de las señales analógicas. Éste escoge un de las señales provenientes de los circuitos de acondicionamiento analógico, toma una muestra y la digitaliza. Este circuito se forma por tres etapas: la etapa de selección, la etapa de muestreo y la etapa de digitalización. En la figura 5.26 se observa una diagrama en bloque de las etapas del circuito SEL&DIG.

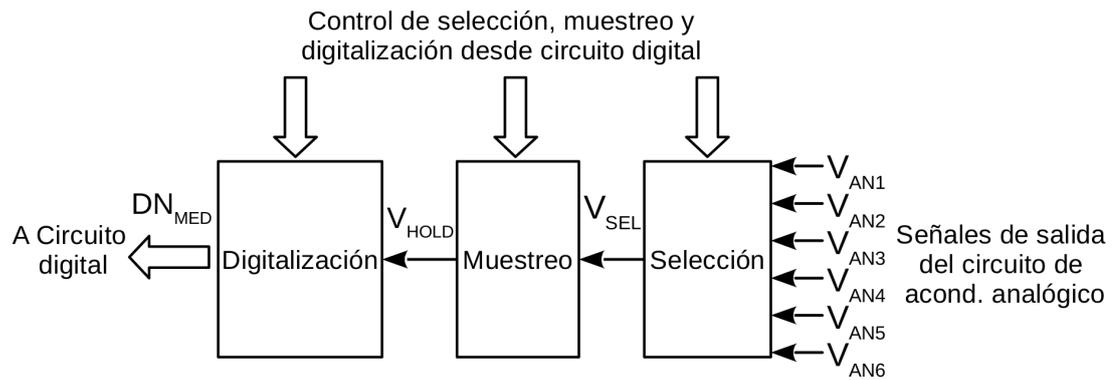


Fig. 5.26: Etapas del circuito SEL&DIG.

5.6.1 Selección de partes EEE del circuito SEL&DIG

La selección de las partes EEE comienza por la etapa de digitalización, pues condiciona la selección de las partes de las etapas restantes. La etapa de digitalización se implementa con un CI ADC. Algunos modelos incluyen la etapa de muestreo y la etapa de selección. Se comparan distintos CI ADC teniendo en cuenta los siguientes aspectos: etapas incluidas, voltaje de referencia integrado, consumo y herencia en misiones de la CONAE. La velocidad de muestreo supera en todos los casos el valor requerido de 66[muestras/s] (L6-TIR-CTS-SD03). En la tabla 5.8 se comparan los ADC propuestos.

ADC	Incluye muestreo	Incluye selección	Incluye V_{REF}	Consumo [mW]	Herencia
ADC128S102QML-SP	SI	SI	NO	11	NO
RHF1201	SI	NO	SI	44	NO
AD1671S	SI	NO	SI	400	NO
AD574ATD/QMLR	NO	NO	SI	420	SI

Tabla 5.8: Comparación de ADC propuestos.

La herencia se considera el aspecto más importante en la selección y por tal motivo se selecciona el AD574ATD/QMLR. Posteriormente, en la tabla 5.9, se comparan los CI para el resto de las etapas.

Al igual que el caso anterior, se selecciona por motivos de herencia el CI HS-2420EH para la etapa de muestreo. En el caso de la etapa de selección hay dos posibles candidatos con herencia y ambos se consideran aptos. Se decide utilizar el HS1-508BRH-Q.

5.6.2 Descripción del circuito SEL&DIG

Una vez seleccionadas las partes EEE, se realiza el diseño del circuito SEL&DIG, el cual se observa en la figura 5.27.

Etapa	Modelo	Herencia
Muestreo	AD585S	NO
	SMP11S	NO
	HS-2420EH	SI
Selección	MUX08AQMDA	SI
	HS1-508BRH-Q	SI
	HCC4051B	NO

Tabla 5.9: Comparación de CI para las etapas de selección y muestreo.

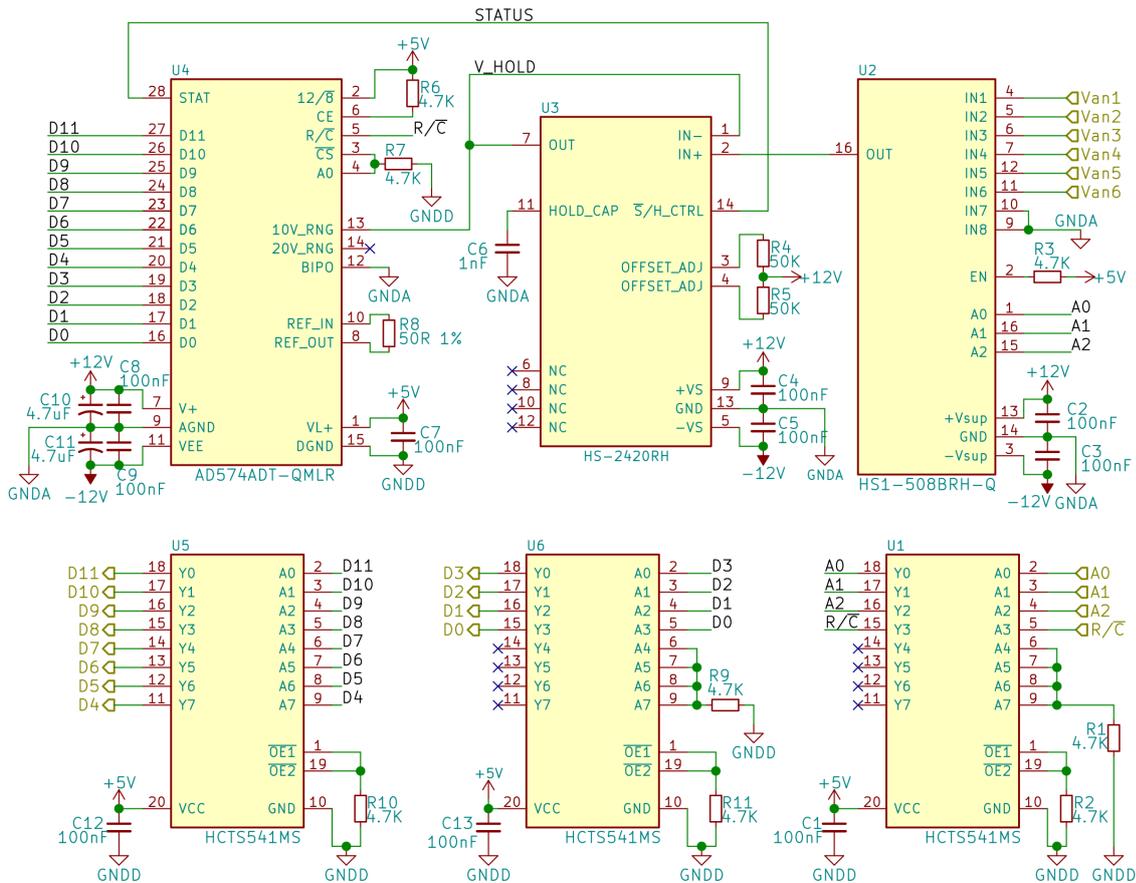


Fig. 5.27: Circuito SEL&DIG.

A continuación se describe el funcionamiento del circuito, desde ingreso de las señales analógicas hasta su digitalización.

El CI de selección posee ocho entradas analógicas (IN1 a IN8) de las cuales se utilizan seis (una para la temperatura de cada sensor). El rango de voltaje de entrada de estas señales está limitado por la fuente de alimentación analógica. Considerando el rango de voltaje del entrada del ADC, se utilizan voltajes de -12[V] y 12[V] para la alimentación analógica (+12V_A y -12V_A). Los interruptores internos utilizados para la selección del canal se configuran con las entradas A₀, A₁ y A₂.

Estas señales se manejan desde el circuito digital. El terminal ENABLE se conecta a +5V_D (alimentación digital) a través de una resistencia de pull-up para mantener operativo al CI. En la figura 5.28 se observa el diagrama funcional del CI de selección HS1-508BRH-Q.

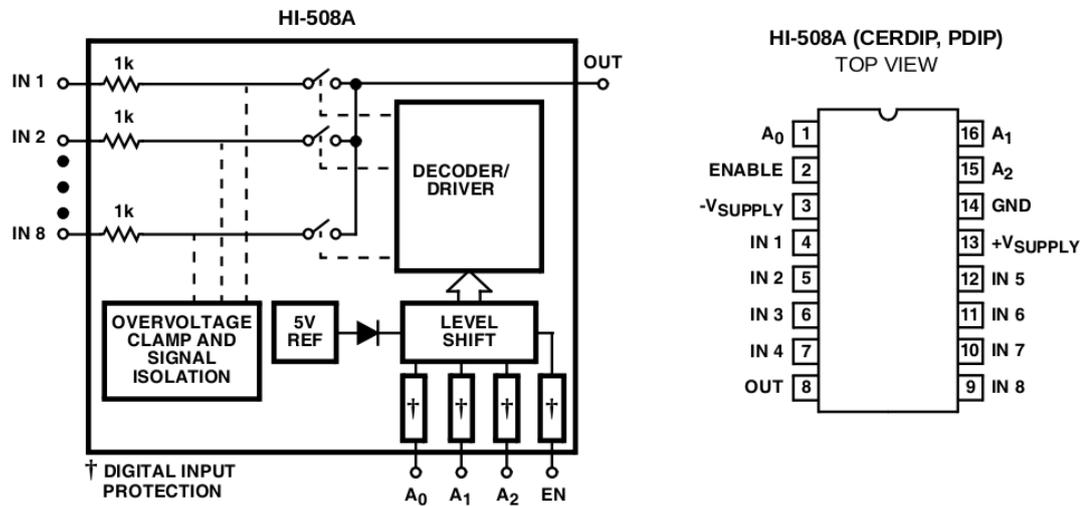


Fig. 5.28: Descripción del CI de selección del circuito SEL&DIG [78].

El CI de muestreo posee AO internos y estos se interconectan para formar un buffer. Además, posee terminales para el ajuste corrección del offset. Estos terminales se conectan a resistencias fijas de 50[KΩ], puesto que la corrección del offset se realiza en el circuito de acondicionamiento analógico. Se selecciona un capacitor de retención $C_{HOLD}=1[nF]$. Los terminales de V+ y V- se alimentan con +12V_A y -12V_A respectivamente. La señal de control SAMPLE/HOLD CONTROL actúa sobre el interruptor que vincula la señal entrante con la salida. Cuando este interruptor se abre, la salida depende de la carga remanente en el capacitor C_{HOLD} . Esta señal se controla con la señal STATUS del CI ADC. En la figura 5.29 se observa el diagrama funcional del CI de muestreo HS-2420EH.

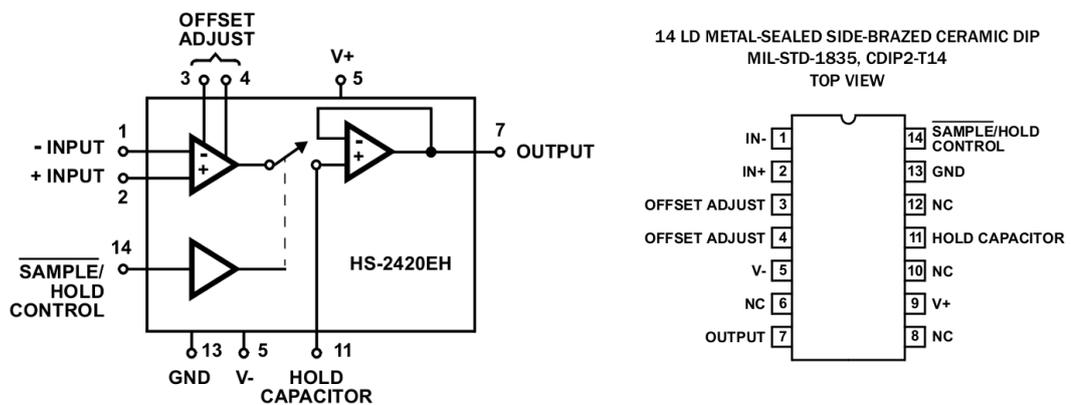


Fig. 5.29: Descripción del CI de muestreo del circuito SEL&DIG [79].

El ADC se configura para que la señal analógica de entrada sea del tipo unipolar con un rango de voltaje de 10[V]. En consecuencia, se utiliza el voltaje de referencia interno y se conecta el terminal BIP_{OFF} a GND_A . El control de offset se anula, al igual que el CI muestreador, porque se corrige en el circuito de acondicionamiento analógico. Para ello, tal como lo indica la hoja de datos, se coloca una resistencia de $50[\Omega]$ entre los terminales REF_{IN} y REF_{OUT} . La alimentación está separada para las funciones digitales y analógicas. Los terminales V_{CC} y V_{EE} representan la alimentación analógica y se conectan a $+12V_A$ y $-12V_A$ respectivamente. El terminal V_{LOGIC} se conecta a $+5V_D$ y alimenta la parte digital. La señal $12/\bar{8}$ se fija a $+5V_A$ para que el ADC trabaje en 12[bits] de datos. Las señales de A0, CE y CS se conectan, según el caso, a $+5V_D$ y GND_D de forma tal que el CI este siempre operativo. La señal R/\bar{C} controla las adquisiciones y la maneja el circuito digital. Cada conversión demora un tiempo máximo de $35[\mu s]$. La señal STATUS indica si existe una digitalización en proceso o ha concluido. Esta señal se aprovecha para controlar el CI muestreador. Las señales de D0-D11 representan las cuentas digitales del resultado de la conversión DN_{MED} y se adquieren con el circuito digital. En la figura 5.30 se observa el diagrama funcional del CI AD574ATD/QMLR.

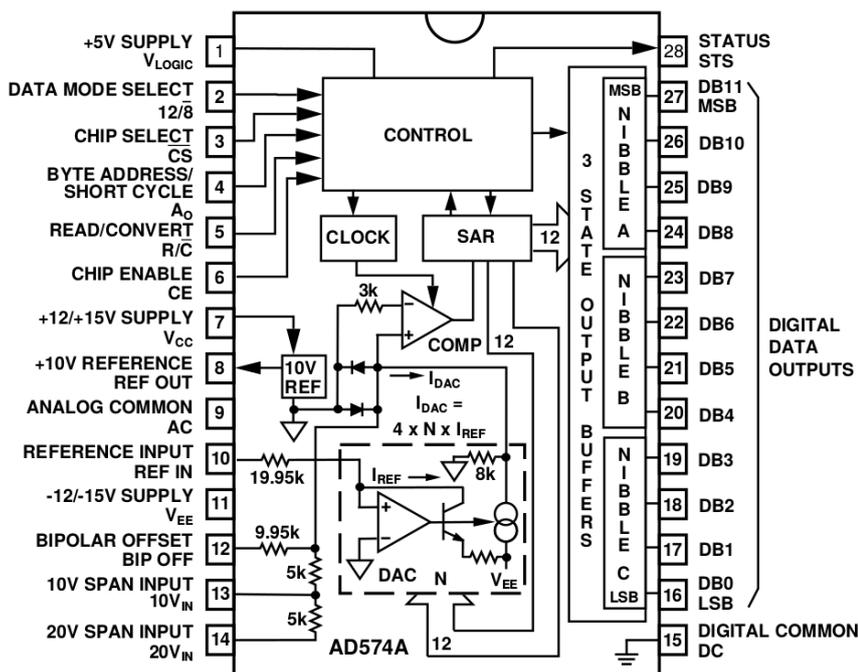


Fig. 5.30: Descripción del ADC circuito SEL&DIG [80].

En la figura 5.31 se observa el recorrido de las señales analógicas en el circuito SEL&DIG.

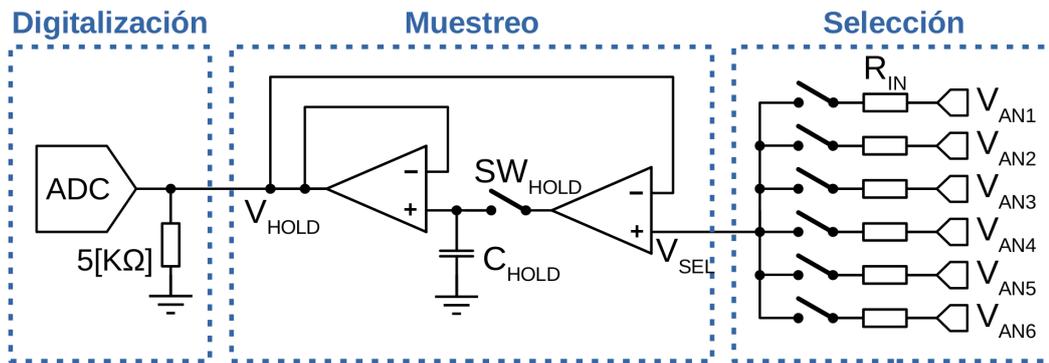
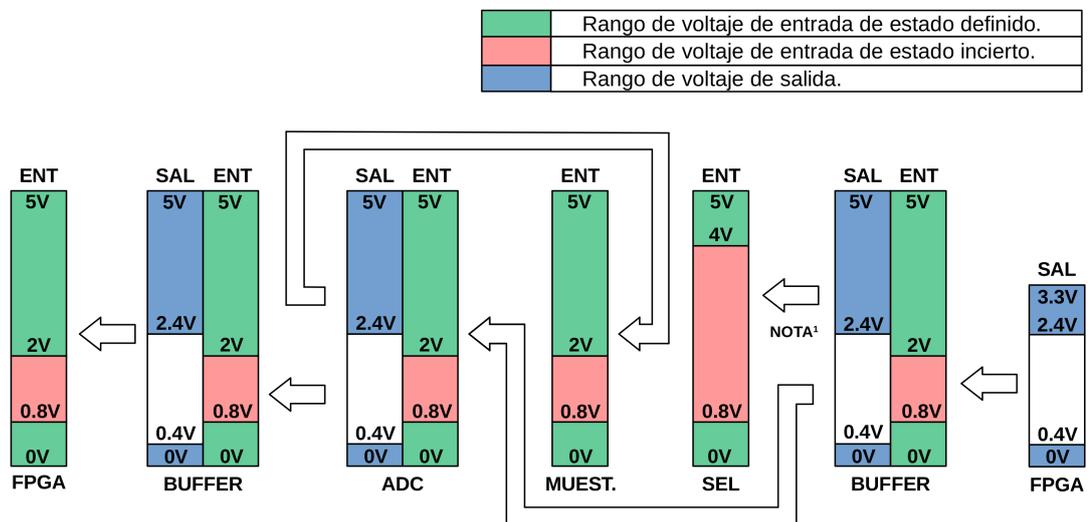


Fig. 5.31: Recorrido de las señales analógicas en el circuito SEL&DIG.

El circuito digital se aloja en una FPGA. Los bancos de terminales son configurables para varios estándar de señales. Los CI seleccionados utilizan señales TTL o similar en el caso del CI selector. Se considera que la FPGA del instrumento permite el estándar TTL para las entradas pero no para las salidas, configurándose éstas como LVTTTL. En consecuencia, se incorpora un buffer al circuito SEL&DIG, para adaptar los niveles de las señales que ingresan desde el circuito digital. Para esta función se selecciona el CI HCTS541KMSR por tener herencia. Las señales de salida digital del CI ADC tienen una capacidad limitada de corriente. Por lo tanto, se decide incorporar un buffer de protección para aquellas señales que egresan del circuito SEL&DIG. En la figura 5.32 se observa el recorrido de las señales digitales en el circuito SEL&DIG, y se detallan los rangos de voltaje de entrada y de salida de cada dispositivo.



NOTA¹: Para las condiciones de operación ($I_{CARGA} < 50[\mu A]$), el buffer tiene un $V_{OH-MIN} = 4.9[V]$ y $V_{OL-MAX} = 0.1[V]$.

Fig. 5.32: Recorrido de las señales digitales en el circuito SEL&DIG.

5.6.3 Análisis del circuito SEL&DIG

Se caracteriza el funcionamiento del circuito SEL&DIG. No se dispone del modelo SPICE de algunos CI y por esta razón no se simula el circuito completo.

Voltaje de discretización

En la ecuación (5.19) se calcula el valor de la señal analógica que representa un bit en el resultado de la digitalización. En el cálculo se tiene en cuenta el rango de entrada analógico del ADC y la resolución de conversión.

$$V_{BIT} = \frac{\text{Rango}V_{IN-ADC}}{2^N} = \frac{10[V]}{2^{12}} = 2,44140625[mV] \quad (5.19)$$

Tiempo de conmutación de la etapa de selección

Representa el tiempo que tarda el CI selector (HS1-508BRH-Q) desde que se configuran las señales A0, A1 y A2, hasta que conmutan los interruptores internos. El fabricante asegura que este tiempo es de $T_{CON-SEL}=3[\mu s]$.

Tiempo de establecimiento de la etapa de selección

Representa el intervalo de tiempo que tarda la señal de salida del CI selector (HS1-508BRH-Q) para lograr su valor de régimen, una vez que conmutan los interruptores internos. Este retraso se debe a las resistencias y capacidades parásitas de los CI de selección y de muestreo. Para determinar su valor, se simula el modelo de circuito de elementos parásitos que se muestra en la figura 5.33. Para elaborar el modelo de circuito se toma como referencia [81].

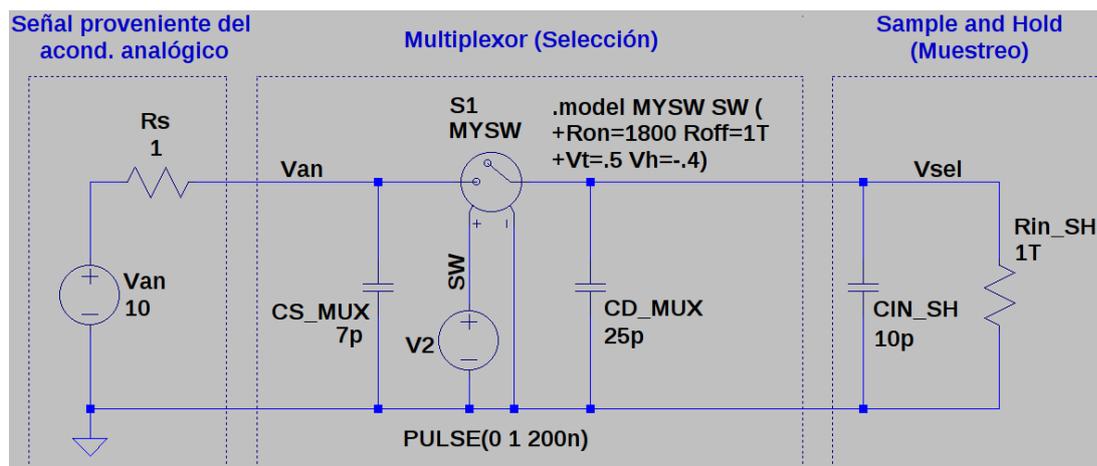


Fig. 5.33: Circuito de simulación para determinar el tiempo de establecimiento.

La simulación se realiza para una señal analógica (V_{AN}) de 10[V] y se considera una impedancia de salida del circuito de acondicionamiento analógico de 1[Ω]. Según

la hoja de datos del CI selector, la capacidad de entrada $CS_{MUX}=7[pF]$ la capacidad de salida $CD_{MUX}=25[pF]$, y la resistencia $R_{ON}=1800\Omega$ representan el peor caso. El CI muestreador, desafortunadamente, no ofrece información de la impedancia de entrada del buffer como así tampoco de la capacidad de entrada. Es por ello que se tomaron los valores de un CI de prestaciones similares, el AD585S, en donde la capacidad de entrada es $CD_{IN-SH}=10[pF]$ y la resistencia de entrada es $R_{IN-SH}=10^{12}[K\Omega]$.

El procedimiento de simulación consiste en accionar la llave S1 a los 200[ns]. Luego se busca el punto en donde la señal de salida V_{SEL} difiera de la señal de entrada V_{AN} en un valor equivalente a un décimo de una cuenta digital ($V_{SEL} = V_{AN} - V_{bit}/10$). El tiempo de establecimiento se calcula como la diferencia de tiempo desde que ocurre el accionamiento de la llave S1 hasta que se logra la condición mencionada.

El tiempo de establecimiento, según la simulación y el criterio mencionado, resulta de $T_{EST-SEL}=678[ns]$. En la figura 5.34 se observa la curva de respuesta simulada.

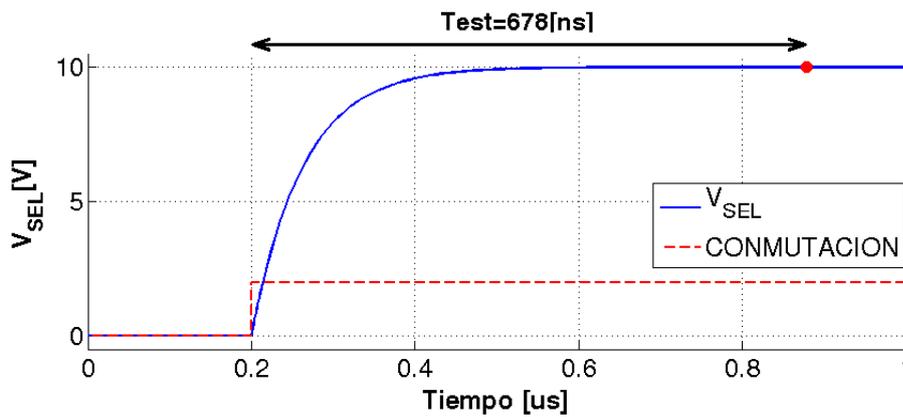


Fig. 5.34: Curva del tiempo de establecimiento de la etapa de selección.

Este valor se compara con los resultados de la aplicación web de Analog Devices “Switch/Mux Settling time Calculator” [82], que permite cargar el modelo de elementos parásitos y calcula el tiempo de establecimiento en forma automática. La aplicación sugiere considerar un tiempo de 583[ns], lo cual es menos exigente que el criterio adoptado.

Error de continua introducido por el selector

El CI selector HS1-508BRH-Q introduce un error en su voltaje de salida (V_{SEL}) debido a los elementos parásitos. Por ello, en la ecuación (5.20) se calcula la función de transferencia.

$$\frac{V_{SEL}}{V_{AN}} = \frac{R_{IN-SH}}{R_S + R_{ON} + R_{IN-SH}} = \frac{10^{12}[\Omega]}{10[\Omega] + 1800[\Omega] + 10^{12}[\Omega]} \quad (5.20)$$

$$= 0,999999998$$

Para saber si esto afecta a la digitalización, se considera el peor caso que se da para una señal de entrada de 10[V], tope de rango. En esta situación, el error introducido es de 20[nV] y resulta despreciable en comparación con el voltaje de discretización $V_{bit}=2.44[mV]$.

Tiempo de establecimiento y error de la etapa de muestreo

El fabricante del CI muestreador HS-2420EH especifica que el tiempo de establecimiento para lograr un error menor a 0.01[%] es de $T_{HOLD}=6[\mu s]$ [79]. En el caso de una señal de 10[V], la cual representa el peor caso, el error introducido es de 1[mVpp]. Este valor es comparable con el voltaje de discretización $V_{bit}=2.44[mV]$ y representa el 41[%] de una cuenta digital.

Tiempo de conversión del ADC

El CI ADC posee internamente un reloj interno de sincronismo para la conversión. Por lo tanto el tiempo de conversión es fijo y, según la hoja de datos del fabricante, resulta de $T_C=35[\mu s]$ [80].

Tiempo de retardo del buffer

Este representa el tiempo que tarda en actualizarse el valor de salida cuando existe un cambio en la señal de entrada. El fabricante del CI HCTS541KMSR especifica que este retardo es de $T_{BUFFER}=22[ns]$ [83].

Secuencia de control

En la figura 5.35 se observa el diagrama temporal de las señales de control y el resultado de la digitalización del circuito SEL&DIG.

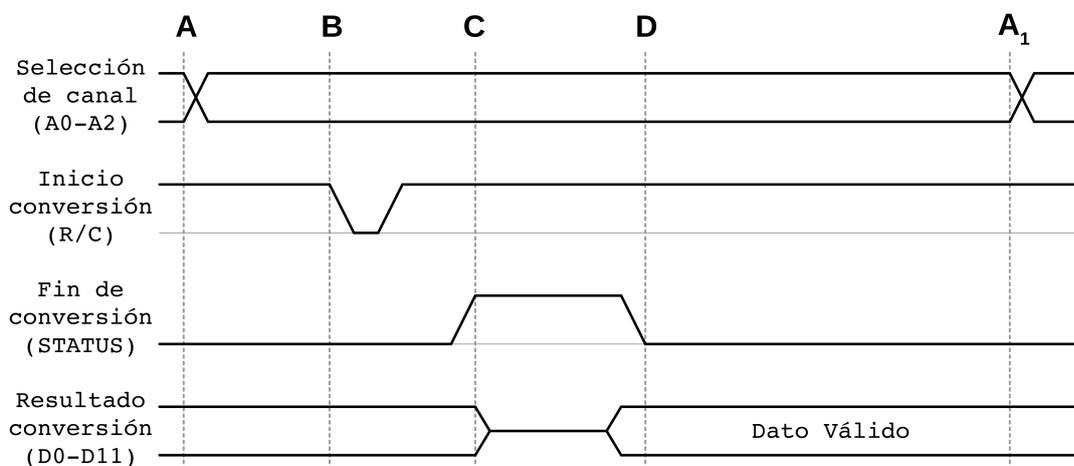


Fig. 5.35: Secuencia de control del circuito SEL&DIG.

En la instancia A se da inicio a una secuencia de adquisición. Para ello, se debe seleccionar un canal analógico mediante las señales A0, A1 y A2. Es necesario esperar un tiempo hasta que se establece la señal en la entrada del ADC. En la ecuación 5.21 se calcula el tiempo mínimo, resultado $9.7[\mu s]$. Según los análisis anteriores, este tiempo es crítico para mantener bajos los errores introducidos debido al tiempo de establecimiento de las señales. En un proceso iterativo con los circuitos digitales se define un $T_A=500[\mu s]$.

$$\begin{aligned} T_{A-MIN} &= T_{BUFFER} + T_{SEL} + T_{EST-SEL} + T_{HOLD} \\ &= 0,022[\mu s] + 3[\mu s] + 0,678[\mu s] + 6[\mu s] \\ &= 9,7[\mu s] \end{aligned} \quad (5.21)$$

En la instancia B se da inicio a la digitalización mediante la señal R/\overline{C} . El fabricante del ADC menciona que se debe mantener esta señal por lo menos $250[ns]$ en nivel lógico “0”, y luego, volver al estado lógico “1” [80]. En un proceso iterativo con los circuitos digitales se define $T_B=500[\mu s]$. Desde el flanco de bajada de R/\overline{C} hasta que comienza efectivamente la adquisición transcurren como máximo $400[ns]$. Esto se indica mediante la señal STATUS cuando toma un valor “1” lógico.

En la instancia C, el ADC se encuentra en proceso de digitalización. Esto demora como máximo $35[\mu s]$, según el fabricante. Durante este período de tiempo, las señales de las cuentas digitales D0-D11 toman un nivel eléctrico de alta impedancia.

En la instancia D concluye la conversión y la señal STATUS toma un valor lógico “0”. En este momento se deben leer las cuentas digitales de las señales D0-D11. Luego, se espera hasta una nueva adquisición.

Teniendo en cuenta, que en un período de muestreo, se realiza la adquisición de la temperatura de todos los sensores, el tiempo entre secuencias es $T_s/6$. Por lo tanto cada secuencia de adquisición tarda $15[ms]$.

En la tabla 5.10 se describen las acciones que debe realizar el circuito digital para realizar una adquisición.

Tiempo [ms]	Acción
0	Seleccionar el canal analógico mediante las señales A0, A1 y A2.
0.5	Poner a “0” lógico la señal R/\overline{C} .
1	Poner a “1” lógico la señal R/\overline{C} .
2	Leer el resultado de la digitalización en D0-D11.
14.5	Fin de la secuencia.

Tabla 5.10: Acciones del circuito digital para realizar una adquisición.

Consumo del circuito de SEL&DIG

Se realiza una estimación del consumo del circuito de digitalización. Para esto se desprecia el consumo de las partes pasivas, resistencias y capacitores, ya que tienen un consumo despreciable frente a los componentes activos. El análisis es válido para cualquiera de los escenarios térmicos.

En la tabla 5.11 se lista el consumo de corriente de los CI del circuito SEL&DIG para los tres voltajes de alimentación: +5V_D, +12V_A y -12V_A. La disipación de potencia se calcula en las ecuaciones (5.22), (5.23) y (5.24).

CI	#	I_{+5V_D} [mA]	I_{+12V_A} [mA]	$-I_{-12V_A}$ [mA]
HS1-508BRH-Q	1	-	2.6	1.9
HS-2420EH	1	-	5.5	3.5
AD574ATD/QMLR	1	40	5	30
HCTS541MS	3	0.75	-	-
Total	-	42.25	13.1	35.4

Tabla 5.11: Consumo de corriente de los CI del circuito SEL&DIG.

$$\begin{aligned}
 P_{D-SEL\&DIG} &= I_{+5V_D} \cdot (+5V_D) = 42,25[mA] \cdot 5[V] \\
 &= 211,25[mW]
 \end{aligned}
 \tag{5.22}$$

$$\begin{aligned}
 P_{A-SEL\&DIG} &= I_{+12V_A} \cdot (+12V_A) + I_{-12V_A} \cdot (+12V_A) \\
 &= (13,1[mA] \cdot 12[V]) + (-35,4[mA] \cdot -12[V]) \\
 &= 582,00[mW]
 \end{aligned}
 \tag{5.23}$$

$$P_{SEL\&DIG} = P_{D-SEL\&DIG} + P_{A-SEL\&DIG} = 793,25[mW]
 \tag{5.24}$$

5.6.4 Verificación de requerimientos del circuito SEL&DIG

Para concluir el análisis del circuito SEL&DIG, se verifican los requerimientos de diseño. Todos los requerimientos se cumplen satisfactoriamente y en la tabla 5.12 se vincula cada uno de ellos con el análisis que los verifica.

Requerimiento	Resumen	Verificación /Método
L6-TIR- CTS-SD01	Digitalizar seis entradas analógicas	✓ Análisis (Sección 5.6.2)
L6-TIR- CTS-SD02	Digitalizar con 12[bits] de resolución	✓ Análisis (Sección 5.6.2)
L6-TIR- CTS-SD03	Digitalizar cada 90[ms] de frecuencia	✓ Análisis (Sección 5.6.3)
L6-TIR- CTS-SD04	Calidad de partes EEE	✓ Análisis (Sección 5.2)

Tabla 5.12: Verificación de requerimientos del circuito SEL&DIG.

5.7 Circuito de acondicionamiento analógico

El circuito de acondicionamiento analógico genera una señal de voltaje a partir de la resistencia del termistor que se encuentra dentro de los sensores IRL512. Existe un circuito por cada sensor. La señal de salida (V_{AN}) representa la temperatura del sensor que se digitaliza por el circuito SEL&DIG.

Este circuito está formado por dos etapas. La primera corresponde a la excitación del termistor y genera una señal de voltaje (V_T) a partir del valor de resistencia (R_T). La segunda es un amplificador con un filtro y proporciona una señal de salida compatible con el circuito de SEL&DIG. En la figura 5.36 se observa un diagrama de las etapas del circuito de acondicionamiento analógico.



Fig. 5.36: Etapas del circuito de acondicionamiento analógico.

5.7.1 Etapa de excitación del termistor

El circuito de excitación hace circular una corriente por el termistor generando una diferencia de potencial. Esto provoca una disipación de potencia en el termistor que genera un incremento de temperatura e introduce error en la medición. Por este motivo, se realiza un análisis del valor apropiado de potencia disipada. Luego, se proponen dos topologías para implementar este circuito, se las compara y se selecciona la más conveniente. Por último, se realiza una propuesta del circuito de excitación según la topología de circuito seleccionada.

Autocalentamiento del termistor

Un aspecto importante a tener en cuenta, cuando se trabaja con termistores, es el factor de autocalentamiento. Su valor está especificado por el fabricante y representa cuánto se calienta el termistor debido a la potencia disipada, como consecuencia de la circulación corriente. La constante de autocalentamiento se considera de $K_{DISP}=1[mW/°C]$.

El autocalentamiento introduce un error en la medición. Para mitigar este error se calcula una potencia disipada tal que el calentamiento sea menor a la máxima resolución de la medición de temperatura. En la ecuación (5.25) se calcula la potencia disipada por el termistor que provoca un incremento de temperatura de $3[m°C]$.

$$P_{T@3[m°C]} = K_{DISIP} \cdot \Delta_T = 1 \left[\frac{mW}{°C} \right] \cdot 3[m°C] = 3[uW] \quad (5.25)$$

Se adopta como criterio que la potencia disipada máxima para el termistor sea un $10[\%]$ menor que $P_{T@3[m°C]}$, resultando $P_{T-MAX}=2.7[uW]$. Esto es conservador considerando que la constante de disipación es menor que el valor calculado.

Propuesta de topologías de circuitos para la etapa de excitación del termistor

El termistor se encuentra dentro del sensor IRL512 y se accede al mismo por dos terminales. Esto limita los posibles circuitos de excitación, descartando los métodos de tres o cuatro hilos, en donde se elimina el error introducido por la resistencia del cableado. De todos modos, la resistencia del cableado es despreciable en comparación con la resistencia del termistor utilizado, así como también con el error introducido.

Se postulan dos topologías de circuitos de excitación: la primera, utiliza una fuente de voltaje estable, y la segunda, utiliza una fuente de corriente estable. En la figura 5.37 se observan ambas topología de circuitos de excitación.

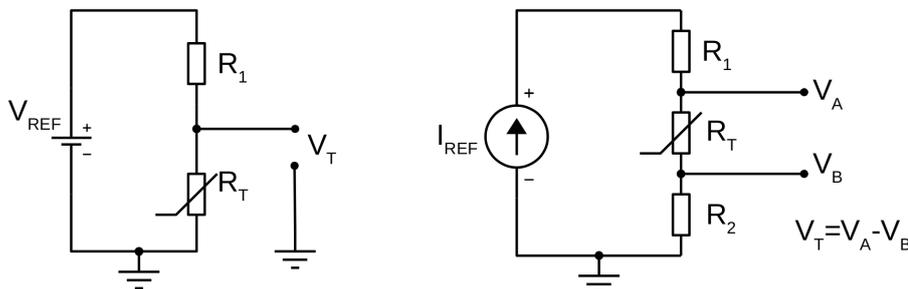


Fig. 5.37: Topologías de circuitos propuestos para la etapa de excitación.

Excitación con fuente estable de voltaje

El circuito consiste en un divisor resistivo alimentado por una fuente de voltaje estable (V_{REF}). El divisor resistivo se forma entre la resistencia R_1 y el termistor. En la ecuación (5.26) se calcula V_T en función de R_T . Se observa que V_T depende de la

resistencia R_1 , por lo que se requiere que sea de alta precisión. En esta topología la corriente del termistor no es constante.

$$V_T = \frac{V_{REF}}{R_1 + R_T} \cdot R_T \quad (5.26)$$

Se calculan V_{REF} y R_1 de forma tal que la potencia disipada por el termistor no exceda $P_{T-MAX}=2.7[\mu W]$. Para ello, se calcula la máxima corriente del termistor que cumple con esta condición, en ambas cotas del rango de medición.

La tolerancia de los componentes y el offset de los AOs, provocan una desviación del rango de medición. Por este motivo, se aplica en los cálculos de diseño, un margen de temperatura sobre cada cota del rango de medición requerido (L6-TIR-CTS-ACA03). En consecuencia, se tiene un diseño holgado y se evita tener que realizar ajustes del circuito ensamblado. El rango de medición de diseño se considera entre $8.8[^\circ C]$ y $17.2[^\circ C]$. Los valores de resistencia del termistor en las cotas del rango de medición son $R_{T@8,8[^\circ C]}=21087.5[\Omega]$ y $R_{T@17,2[^\circ C]}=14193.1[\Omega]$.

En las ecuaciones (5.27) y (5.28) se calculan las corrientes máximas para las cotas del rango de medición.

$$I_{T-MAX@8,8[^\circ C]} = \sqrt{\frac{P_{T-MAX}}{R_{T@8,8[^\circ C]}}} = \sqrt{\frac{2,7[\mu W]}{21087,5[\Omega]}} = 11,32[\mu A] \quad (5.27)$$

$$I_{T-MAX@17,2[^\circ C]} = \sqrt{\frac{P_{T-MAX}}{R_{T@17,2[^\circ C]}}} = \sqrt{\frac{2,7[\mu W]}{14193,1[\Omega]}} = 13,79[\mu A] \quad (5.28)$$

La selección de R_1 y V_{REF} están condicionados entre ellos. Un valor de R_1 pequeño, en comparación a R_T , exige que V_{REF} sea pequeña para no exceder la potencia límite y viceversa. Por lo tanto, para que V_{REF} resulte un valor práctico, R_1 se define en un proceso iterativo, el cual resulta $R_1=28[K\Omega]$. Es deseable que V_{REF} sea lo más grande posible para favorecer a la SNR, y entonces se calcula para que el peor caso sea $P_T=P_{T-MAX}$. El valor de V_{REF} se calcula en la ecuación (5.29) para la temperatura de $8.8[^\circ C]$, peor caso de disipación de potencia.

$$\begin{aligned} V_{REF} &= (R_1 + R_{T@8,8[^\circ C]}) \cdot I_{T-MAX@8,8[^\circ C]} \\ &= (28000[\Omega] + 21087,5[\Omega]) \cdot 11,32[\mu A] \\ &= 555,44[mV] \end{aligned} \quad (5.29)$$

Con el valor calculado de V_{REF} , resulta una $I_{T@17,2[^\circ C]}=13.16[\mu A]$, lo cual también cumple con el criterio de la disipación de potencia por autocalentamiento.

Se analiza la resolución de la medición de temperatura que se obtiene con este circuito. El análisis se hace con un script de Matlab en donde se realiza un barrido de temperatura del sensor entre $8[^\circ C]$ y $18[^\circ C]$, en pasos de $10[u^\circ C]$ y se calcula V_T en todos los casos. La señal V_T varía, en el rango de diseño, entre $186.84[mV]$ y

238.61[mV] con una excursión de 51.77[mV]. En los cálculos se supone una etapa de amplificador y filtro que ajusta perfectamente a V_T en el rango de entrada del ADC. Se digitaliza la señal y luego se calcula el error introducido. En la figura 5.38 se observa el error introducido por la digitalización, en donde el límite superior de la curva representa la resolución.

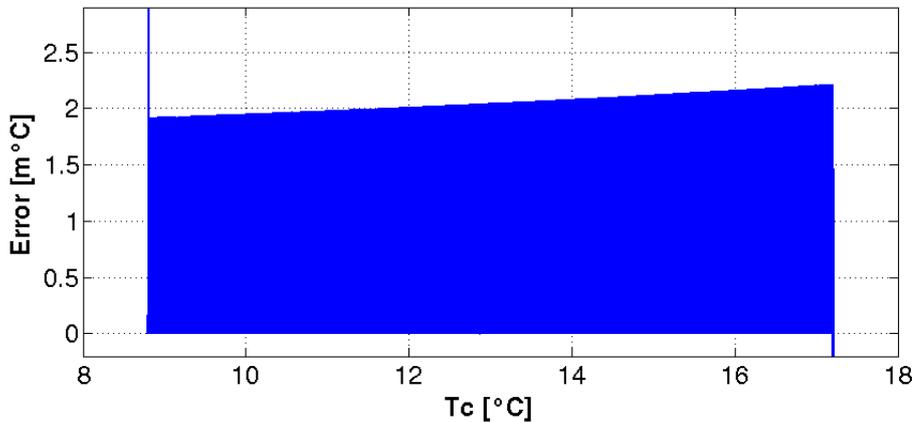


Fig. 5.38: Error de digitalización utilizando el circuito de excitación con fuente de voltaje constante.

Se analiza también la sensibilidad del circuito por la deriva térmica de V_{REF} . Se considera que tiene una estabilidad de 50[ppm/°C] y el circuito se calibra para su valor nominal a 15[°C]. Además, se considera el sitio donde se ubica el circuito de excitación del termistor en la EB, tiene una variación térmica en régimen permanente entre 5[°C] y 25[°C]. En la figura 5.39 se observa el error introducido por la variación térmica de V_{REF} .

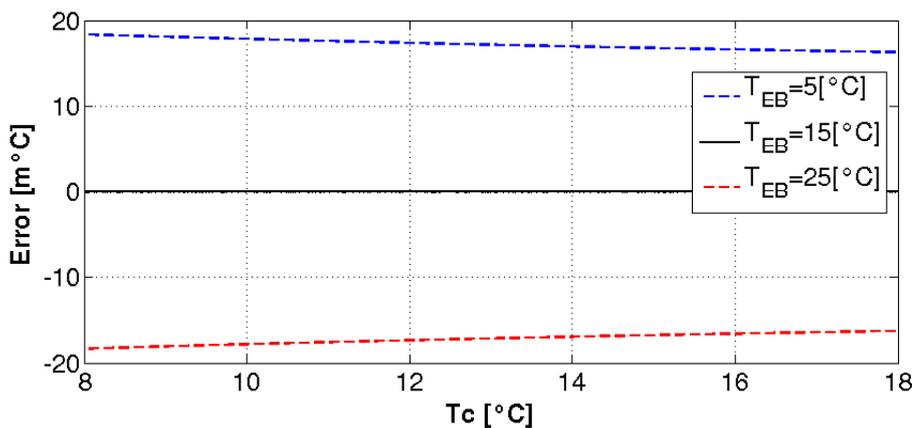


Fig. 5.39: Error introducido por la variación térmica de la fuente de voltaje constante.

Excitación con fuente estable de corriente

En este caso, la corriente que circula por el termistor (I_{REF}) es constante y la señal de salida V_T es diferencial. En la ecuación (5.30) se calcula V_T en función de R_T . La señal de salida no depende del valor de las resistencias R_1 y R_2 .

$$V_T = V_A - V_B = I_{REF} \cdot R_T \tag{5.30}$$

El valor de I_{REF} se calcula teniendo en cuenta la potencia máxima debido al autocalentamiento del termistor. Es deseable que I_{REF} sea lo más grande posible para favorecer a la SNR. Por tanto en la ecuación (5.31) se calcula I_{REF} que disipe una $P_T=P_{T-MAX}$ para la temperatura de $8,8[^\circ C]$, peor caso de disipación de potencia.

$$I_{REF} = \sqrt{\frac{P_{T-MAX}}{R_{T@8,8[^\circ C]}}} = \sqrt{\frac{2,7[\mu W]}{21087,5[\Omega]}} = 11,32[\mu A] \tag{5.31}$$

Al igual que el circuito anterior, se analiza la resolución de la medición de temperatura que se obtiene con este circuito. Para el rango de temperatura de diseño, la señal V_T varía entre $160.60[mV]$ y $238.61[mV]$, con una excursión de $78.01[mV]$. En la figura 5.40 se observa el error introducido por la digitalización.

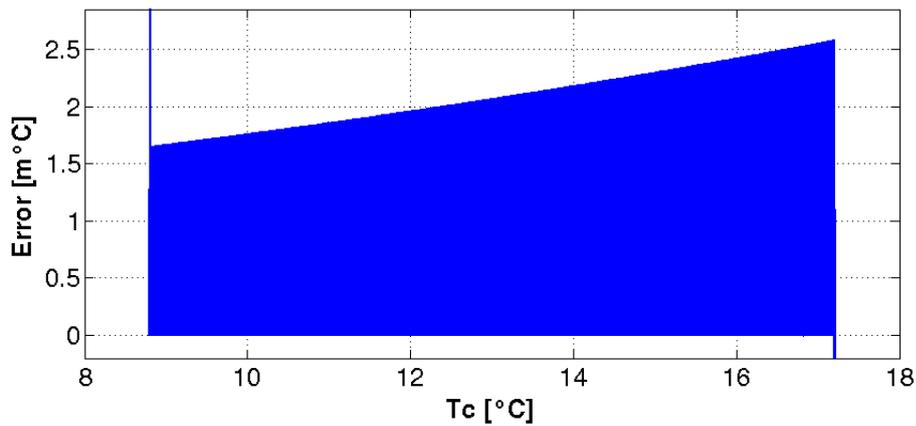


Fig. 5.40: Error de digitalización utilizando el circuito de excitación con fuente de corriente constante.

Asimismo, se analiza la sensibilidad del circuito por la deriva térmica de I_{REF} . Se considera que tiene una estabilidad de $50[ppm/^\circ C]$, que el circuito se calibra para su valor nominal a $15[^\circ C]$ y que la temperatura del circuito varía entre $5[^\circ C]$ y $25[^\circ C]$. En la figura 5.41 se observa el error introducido por la variación térmica de V_{REF} .

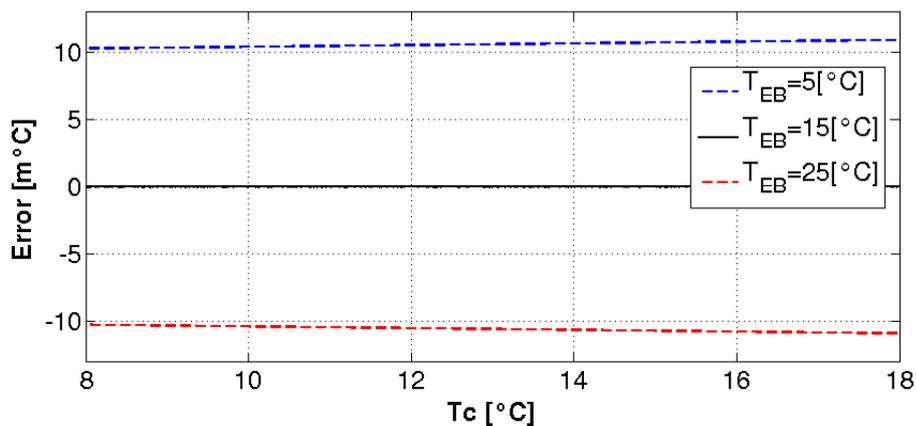


Fig. 5.41: Error introducido por la variación térmica de la fuente de corriente constante.

Comparación y selección de las topologías del circuito de excitación

En la tabla 5.13 se realiza un comparación de las topologías propuestas para el circuito de excitación del termistor.

Parámetro	Topología V_{REF}	Topología I_{REF}
Resolución [$m^{\circ}C$]	1.92 a 2.21	1.65 a 2.58
Máx. error por $\Delta T = \pm 10[^{\circ}C]$ [$m^{\circ}C$]	18.35	10.93
Tipo de señal V_T	Modo común	Diferencial
Rechazo al ruido de modo común	Nulo	Alto
Fuentes necesarias para los 6 termistores	1	6

Tabla 5.13: Comparación de las topologías propuestas para la etapa de excitación del termistor.

Se selecciona el circuito de fuente de corriente constante. Los motivos son: el rechazo a una mayor inmunidad a la deriva por temperatura y el rechazo al ruido de modo común. Esto último es importante, puesto que está previsto que el cableado entre circuito de excitación y el termistor vincula la OB con la EB y tiene una distancia aproximada de 1[m].

Circuito de excitación del termistor

Se realiza un búsqueda sin éxito de CI para implementar una fuente de corriente estable del valor necesario. En consecuencia, se utiliza el circuito de la figura 5.42 para cumplir dicha función.

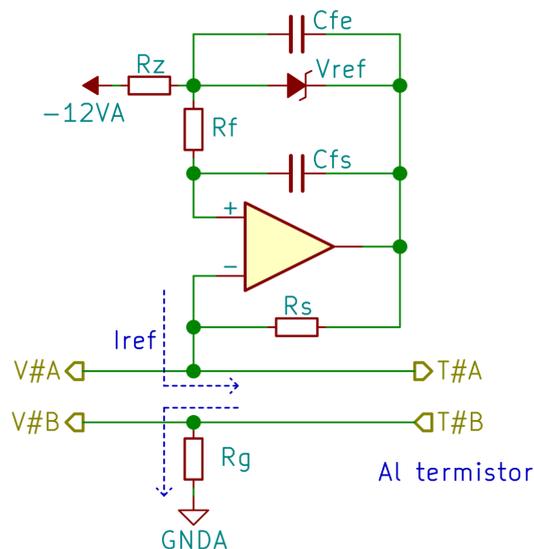


Fig. 5.42: Circuito de excitación de fuente de corriente constante

Este circuito tiene herencia en misiones de la CONAE. Existen un circuito por cada sensor y el símbolo # se reemplaza por un número para identificar las interfaces. El valor de corriente responde a la ecuación (5.32).

$$I_{REF} = \frac{V_{REF}}{R_S} \quad (5.32)$$

El circuito genera una corriente a partir de un dispositivo regulador de voltaje de pequeña señal, o voltaje de referencia. Éste debe asegurar un bajo nivel de ruido, con un ancho de banda conocido y una baja deriva con la temperatura. Por estas razones, se descarta generar un voltaje estable a partir de reguladores lineales de alimentación. Se propone, en cambio, utilizar componentes dedicados para estas funciones, como los diodos zener o los CI de voltajes de referencia.

En la tabla 5.14 se observan partes EEE tenidas en cuenta en la selección del regulador de voltaje de referencia. La búsqueda se orienta a aquellos dispositivos con voltajes pequeños para que los valores de resistencia del circuito no sean demasiado grandes y tengan valores prácticos.

Parte EEE	V_{REF} [V]	Coef. térmico [ppm/°C]	Herencia
AD589S	1.2	50	SI
LM185-1.2QML	2.5	50	NO
IS-1009EH	1.2	100	NO
RHF1009A	1.2	20	NO
JANS1N4615-1	2	750	SI
JANS1N4614-1	1.8	750	SI

Tabla 5.14: Comparación de partes para voltaje de referencia.

Se selecciona el AD589S por herencia y por tener un bajo coeficiente térmico, en comparación con los diodos zener JANS1N4615-1 y JANS1N4614-1.

La selección del AO se realiza en conjunto con la etapa de amplificador y filtro. El aspecto más importante en este circuito es el coeficiente térmico. En la sección 5.7.2 se detalla la selección, siendo el AO OP467AY/QMLV el elegido.

Para determinar el valor de los elementos del resto del circuito, es necesario conocer el voltaje exacto del AD589S. En la figura 5.43 se observa el voltaje del AD589S en función de la temperatura. Se considera que la temperatura media del circuito es de 15[°C] y, en esta situación, el voltaje de regulación es de 1.2368[V].

En la ecuación 5.33 se calcula la resistencia R_S . Esta tiene en cuenta la corriente de fuga del AO (I_{B-TYP}) del circuito de excitación y el buffer de la etapa de amplificación y filtro, en un proceso iterativo con la sección 5.7.2. Se considera que las corrientes

de fuga circulan por el termistor debido a que tiene la menor impedancia de la malla del circuito. El valor de $I_{B-TYP}=150[nA]$ se toma de la hoja de datos del fabricante del AO. El valor calculado de R_S no se encuentra en los catálogos y su valor es crítico para determinar la corriente de la fuente. Por esta razón, se forma a partir de una combinación de dos resistencias en serie de 1 [%] de tolerancia, $R_{SA}=105[K\Omega]$ y $R_{SB}=1470[\Omega]$, resultando $R_S=106470[\Omega]$.

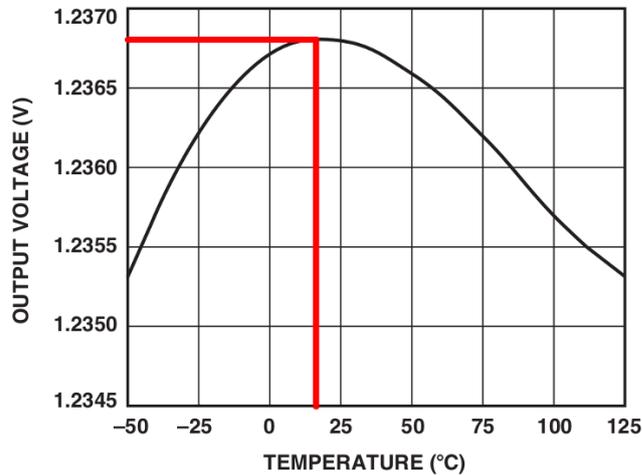


Fig. 5.43: Voltaje de salida del AD589S según la temperatura [84].

$$R_S = \frac{V_{REF}}{I_{REF} + 2 \cdot I_{B-TYP}} = \frac{1,2368[V]}{11,32[\mu A] + 2 \cdot 0,15[\mu A]} = 106437,2[\Omega] \quad (5.33)$$

El fabricante del AD589S especifica que éste puede funcionar con una corriente de polarización entre $50[\mu A]$ y $5[mA]$. Sin embargo, el mejor rendimiento se obtiene con corrientes por debajo de $500[\mu A]$. Por este motivo, se decide utilizar una corriente de polarización $I_Z=200[\mu A]$. En la ecuación (5.34) se calcula la resistencia de polarización del AD589S (R_Z). En el cálculo se considera la resistencia del termistor a $13[^\circ C]$, es decir, en la mitad del rango de operación. El valor calculado se aproxima con una resistencia $R_Z=54.9[K\Omega]$, debido a la disponibilidad en los catálogos comerciales.

$$\begin{aligned} R_Z &= \frac{V_{AN} - V_Z - (I_{REF} \cdot R_{T@13[^\circ C]})}{I_Z} \\ &= \frac{-12[V] + 1,2368[V] + (11,32[\mu A] \cdot 17257,0[\Omega])}{-200[\mu A]} \\ &= 54792,7[\Omega] \end{aligned} \quad (5.34)$$

El fabricante del AD589S recomienda, para disminuir el ruido, colocar un capacitor en paralelo de valores entre $20[pF]$ y $1[\mu F]$. Se selecciona un capacitor de $C_{FE}=220[nF]$ para formar un filtro de primer orden de $13[Hz]$ con R_Z y filtrar el ruido de la fuente de alimentación.

Se coloca un FPB de primer orden para limitar el ancho de banda del ruido generado por el AD589S. El filtro se forma con la resistencia R_F y el capacitor C_{FS} . La frecuencia de corte debe ser lo suficientemente baja para no comprometer a la SNR y lo suficientemente alta para utilizar partes EEE de valores prácticos. Se decide utilizar una frecuencia de corte de 10[Hz] y un capacitor para el filtro de $C_{FS}=470$ [nF]. En la ecuación (5.35) se calcula la frecuencia de corte del filtro y a partir de ésta, se calcula R_F en la ecuación (5.36). Teniendo en cuenta los valores comerciales de resistencia, se selecciona $R_F=28$ [K Ω].

$$f_C = \frac{1}{2 \cdot \pi \cdot R_{IN+} \cdot C_{FS}} = \frac{1}{2 \cdot \pi \cdot \left(R_F + \left(\frac{V_{REF}}{I_Z} \parallel R_Z \right) \right) \cdot C_{FS}} \quad (5.35)$$

$$R_F = \frac{1}{2 \cdot \pi \cdot f_C \cdot C_{FS}} - \left(\frac{V_{REF}}{I_Z} \parallel R_Z \right) = 28304,8[\Omega] \quad (5.36)$$

La resistencia R_G garantiza que la señal V_T sea diferencial y desplaza el valor absoluto de las señales V_A y V_B . En un proceso iterativo con la etapa de amplificación y filtrado se requiere que esta resistencia tenga un valor bajo y se define en $R_G=10$ [Ω].

5.7.2 Etapa de amplificación y filtrado

El circuito de amplificación y filtrado adecua la señal V_T , proveniente del termistor, al rango de entrada del circuito SEL&DIG. Además, filtra la señal para evitar que el ruido eléctrico afecte la lectura. Se analiza la ecuación matemática que se debe cumplir, se comparan dos propuestas y se propone un circuito.

Ecuación de diseño de la etapa de amplificación y filtrado

Se determina la función de transferencia de continua, sin considerar el filtro, a la que debe responder el circuito. Para ello, en la ecuación (5.37) se calcula la ganancia del amplificador. En el cálculo se tiene en cuenta el rango de voltaje del circuito de excitación (V_T) y el rango de voltaje de salida (ΔV_{AN}). Este último se toma del rango de voltaje de entrada del circuito SEL&DIG, por tratarse de la misma señal.

$$G = \frac{\Delta V_{AN}}{\Delta V_T} = \frac{10[V]}{78,01[mV]} = 128,19 \quad (5.37)$$

Es necesario aplicar un offset para que la señal de salida sea 0[V] cuando la temperatura del sensor es de 17.2[$^{\circ}$ C] (caso de mayor resistencia). El valor se calcula en la ecuación (5.38).

$$Offset = V_{T-MIN} = I_{REF} \cdot R_{T@17,2[^{\circ}C]} = 160,60[mV] \quad (5.38)$$

Finalmente, la función de transferencia de continua se observa en la ecuación (5.39).

$$\begin{aligned}
 V_O &= ((I_{REF} \cdot R_T) - Offset) \cdot G \\
 &= (V_T - Offset) \cdot G \\
 &= (V_A - V_B - Offset) \cdot G
 \end{aligned}
 \tag{5.39}$$

Propuesta de circuitos para la etapa de amplificación y filtrado

Se proponen dos tipos de circuitos para la etapa de amplificación y filtrado. El primero es un circuito diferencial con un amplificador operacional y el segundo es un amplificador de instrumentación. En la tabla 5.15 se comparan ambas propuestas.

Parámetro	Amplificador diferencial con AO	Amplificador de instrumentación
Posibilidad de implementar el acond. analógico con un solo CI	SI	NO
Requiere circuito extra para filtrado	NO	SI
Requiere circuito extra para offset	SI	SI
Requiere adaptación de impedancias	SI	NO

Tabla 5.15: Comparación de los circuitos propuestos para la etapa de amplificación y filtrado.

Se decide utilizar el amplificador diferencial con AO. La razón es que se utiliza sólo un CI para todo el circuito de acondicionamiento analógico. Esto favorece a que no se propaguen las fallas, ya que cada canal analógico tiene su propio CI.

Circuito de amplificación y filtrado

Se realiza una búsqueda de posibles AOs para utilizar en el circuito. La búsqueda se orienta a CIs que contengan cuatro AOs en el mismo encapsulado. Una vez finalizada la búsqueda, se comparan los siguientes aspectos en cada AO: el consumo (I_{CC-MAX}), el voltaje de offset (V_{IO-MAX}), la corriente de offset (I_{IO-MAX}) y el rechazo de modo común (CMR). En la tabla 5.16 se los comparan los AO.

Parte EEE	I_{CC-MAX} AO [mA]	V_{IO-MAX} [mV]	I_{IO-MAX} [nA]	CMR_{MIN} [dB]	Herencia
RFH484	2.9	0.3	15	72	NO
RM124AWRQMLV	3	7	100	70	SI
OP467AY/QMLV	10	0.5	100	80	SI
HS9-OP470ARH-Q	5.5	2.6	235	80	SI
OPA4277-SP	0.9	0.065	17.5	114	NO

Tabla 5.16: Comparación de AO para el circuito de acondicionamiento analógico.

Se decide utilizar el OP467AY/QMLV por tener herencia, un buen rechazo de modo común (CMR) y moderados niveles de offset (I_{IO} y V_{IO}).

En la figura 5.44 se observa el circuito diferencial.

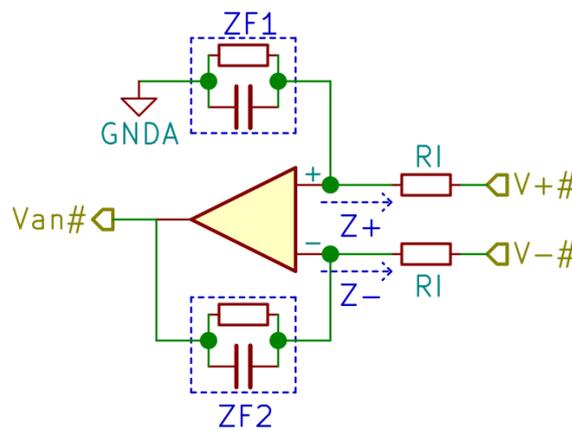


Fig. 5.44: Amplificador diferencial de la etapa de amplificación y filtro.

Este circuito tiene herencia en misiones anteriores de la CONAE y realiza las operaciones de amplificación y filtrado. La función transferencia del circuito está representada por la ecuación (5.40) siempre y cuando se cumpla las condiciones de impedancia $Z_F=Z_{F1}=Z_{F2}$ y $Z_I=Z_{IN+}=Z_{IN-}$.

$$V_O = \frac{Z_F}{Z_I} \cdot (V^+ - V^-) \tag{5.40}$$

Teniendo en cuenta que $V_T=V_A-V_B$, se plantea que $V^+=V_A$ y $V^-=V_B+Offset$. De esta forma, se obtiene como resultado la ecuación de transferencia del circuito de acondicionamiento analógico (5.39).

La condición de impedancia de entrada del circuito ($Z_I=Z_{IN+}=Z_{IN-}$) hace necesario utilizar circuitos buffer para aislar las etapas. Es deseable que las resistencias RI1 y RI2 sean lo suficientemente bajas para favorecer a la SNR y lo suficientemente altas para que las Z_O de los circuitos anteriores resulten despreciables y las corrientes generadas no sean grandes. Asumiendo que las etapas buffer tienen una $Z_{O-BUFFER} < 1$, se definen las resistencias $RI=RI1=RI2=100[\Omega]$.

La impedancia Z_F se forma por el paralelo de la resistencia R_{FS} y el capacitor C_{FS} . El valor de éstos depende de la ganancia en continua y la frecuencia de corte del filtro. En la ecuación (5.41) se observa la ecuación de transferencia del circuito considerando R_{FS} y C_{FS} .

$$\frac{V_O}{V_T} = \frac{Z_F}{Z_I} = \frac{1}{s + \frac{1}{R_{FS} \cdot C_{FS}}} \quad (5.41)$$

Para obtener la ganancia en continua se parte de la ecuación (5.41), y se considera $s \rightarrow 0$. Luego, en la ecuación (5.42) se calcula la resistencia R_{FS} . Según valores comerciales al 1[%], se forma con la combinación en serie de $R_{FS1}=12.7[\text{K}\Omega]$ y $R_{FS2}=118[\Omega]$.

$$R_{FS} = G \cdot R_I = 128,19 \cdot 100 = 12819,0[\Omega] \quad (5.42)$$

La frecuencia de corte del filtro está dada por el polo de la ecuación (5.41). En la ecuación (5.43) se calcula C_{FS} para una frecuencia de corte de 50[Hz]. Este valor supera el valor mínimo requerido y es lo suficientemente bajo como para filtrar ruido eléctrico. Se selecciona $C_{FS}=220[\text{nF}]$ teniendo en cuenta la disponibilidad en los catálogos de fabricantes.

$$C_{FS} = \frac{1}{2 \cdot \pi \cdot R_F \cdot f_C} = CF = 248,3[\text{nF}] \quad (5.43)$$

Se plantea que la señal $V^+ = V_A$ mediante la utilización de un buffer para adaptar la impedancia. En la figura 5.45 se observa el circuito buffer con esta función.

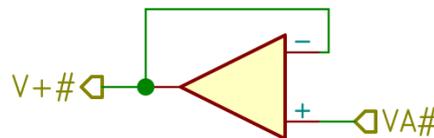


Fig. 5.45: Buffer de la etapa de amplificación y filtro.

Se plantea que la señal $V^- = V_B + \text{Offset}$. El circuito propuesto se observa en la figura 5.46 y corresponde a un buffer con offset. El valor de offset se obtiene del CI de voltaje de referencia del AD589S y luego se aplica un divisor resistivo para reducir el voltaje.

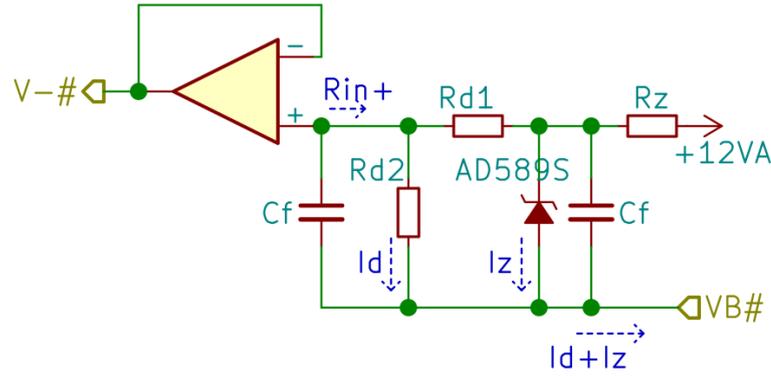


Fig. 5.46: Buffer con referencia de la etapa de amplificación y filtro.

El valor de R_Z se calcula en la ecuación (5.44) para hacer circular una corriente de polarización $I_Z = 200[\mu A]$. Se fija una corriente para el divisor resistivo de $25[\mu A]$ en un proceso iterativo con el cálculo de la SNR.

$$R_{Z2} = \frac{12[V] - V_{REF}}{I_D + I_Z} = \frac{12[V] - 1,2368[V]}{25[\mu A] + 200[\mu A]} = 47836,4[\Omega] \quad (5.44)$$

El capacitor C_{F1} se fija en $220[nF]$ y forma un filtro de primer orden de $15[Hz]$ de la alimentación del AD589S.

Las resistencias R_{D1} y R_{D2} se calculan en las ecuaciones (5.45) y (5.46). En el cálculo se asume que la corriente de fuga del AO I_{B-TYP} circula por R_{D2} , ya que presenta la menor impedancia de la malla. Teniendo en cuenta la disponibilidad en los catálogos, se forma R_{D1} con las resistencias en serie $R_{D1a}=42200[\Omega]$ y $R_{D1b}=845[\Omega]$. Por su parte, se forma a R_{D2} con las resistencias en serie $R_{D2a}=6340[\Omega]$ y $R_{D2b}=121[\Omega]$.

$$R_{D1} = \frac{V_{REF} - Offset}{I_D} = \frac{1,2368[V] - 160,60[mV]}{25[\mu A]} = 43048,0[\Omega] \quad (5.45)$$

$$R_{D2} = \frac{Offset}{I_D + I_{B-TYP}} = \frac{160,60[mV]}{25[\mu A] - 0,15[\mu A]} = 6462,8[\Omega] \quad (5.46)$$

El capacitor C_{F2} se calcula para formar un filtro de primer orden de $10[Hz]$ con la resistencia equivalente R_{IN+} . Este filtro acota el ruido en la salida del AD589S y favorece a la SNR. En la ecuación (5.47) se calcula la resistencia equivalente vista desde la entrada (+) del AO, y en la ecuación (5.48) se calcula C_{F2} .

$$R_{IN+} = R_{D2} \parallel \left(R_{D1} + \left(\frac{V_{REF}}{I_{REF}} \parallel R_z \right) \right) = 47836,4[\Omega] \quad (5.47)$$

$$C_{F2} = \frac{1}{2 \cdot \pi \cdot R_{IN+} \cdot f_C} = 2,79[\mu F] \quad (5.48)$$

Las corrientes I_Z e I_D retornan a través de la resistencia de R_G , perteneciente al circuito de excitación. Por esta resistencia circula además I_{REF} , resultando $I_{RG}=236.32[\mu A]$.

Con la finalidad de no afectar a la polarización del circuito buffer con offset, la caída de voltaje en R_G debe ser despreciable frente a V_{REF} . Por tal motivo se define una $R_G=10[\Omega]$.

5.7.3 Análisis del circuito de acondicionamiento analógico

Se analizan algunas características del circuito de acondicionamiento analógico mediante cálculos y simulaciones. En la figura 5.47 se observa el circuito de acondicionamiento analógico utilizado para la simulación. No se dispone del modelo SPICE del AD589S y se lo reemplaza con el LT1004-1.2, el cual posee características similares.

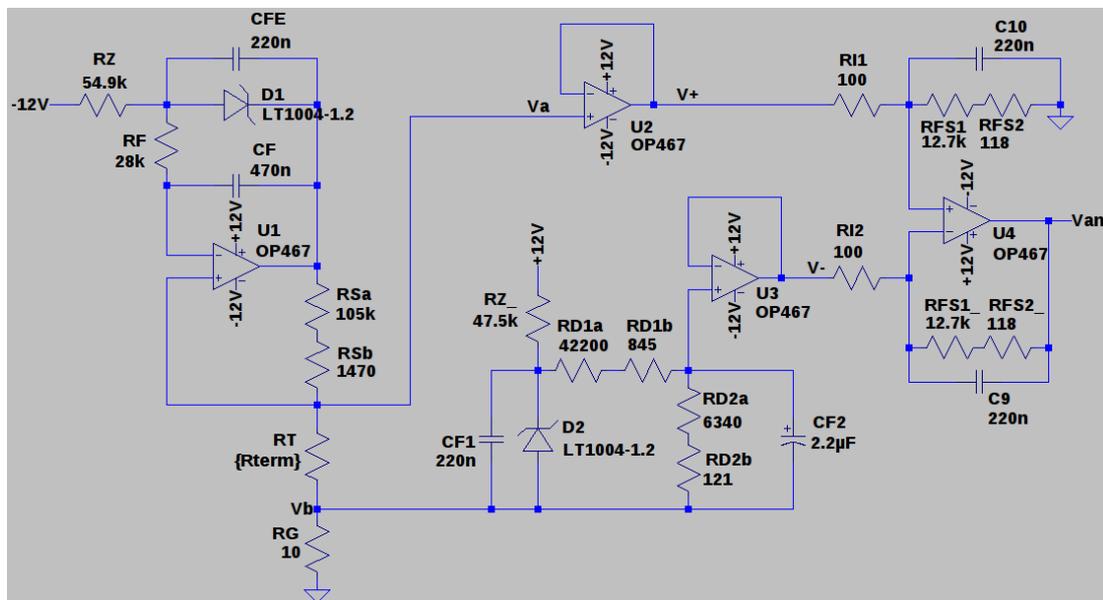


Fig. 5.47: Circuito de acondicionamiento analógico utilizado en las simulaciones.

Voltaje de salida y rango de medición de temperatura

Se realiza una simulación para un barrido de valores de R_T equivalente a las temperaturas entre $8[^\circ C]$ y $18[^\circ C]$. Se observa que la relación entre V_{AN} y R_T es lineal y la pendiente corresponde a la ganancia del circuito. En la figura 5.48 se observa el voltaje de salida en función de la resistencia del termistor.

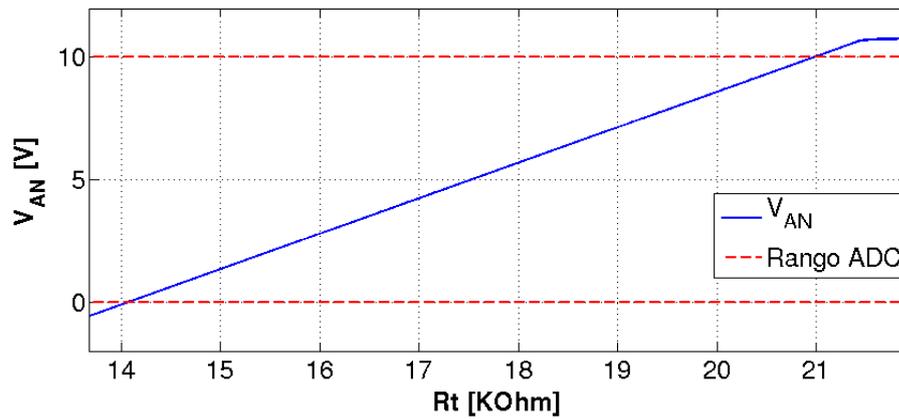


Fig. 5.48: Voltaje de salida del circuito de acond. analógico en función de la resistencia del termistor.

El rango de temperatura de medición resulta ser entre 8.91[°C] y 17.39[°C]. Esto da la pauta de que el circuito difiere de la ecuación de diseño (5.39). Además, la relación entre V_{AN} y T_C no es lineal, debido a la respuesta no lineal del termistor. En la figura 5.49 se observa el voltaje de salida en función de la temperatura del termistor. En línea de puntos se marcan las cotas del rango de entrada del ADC.

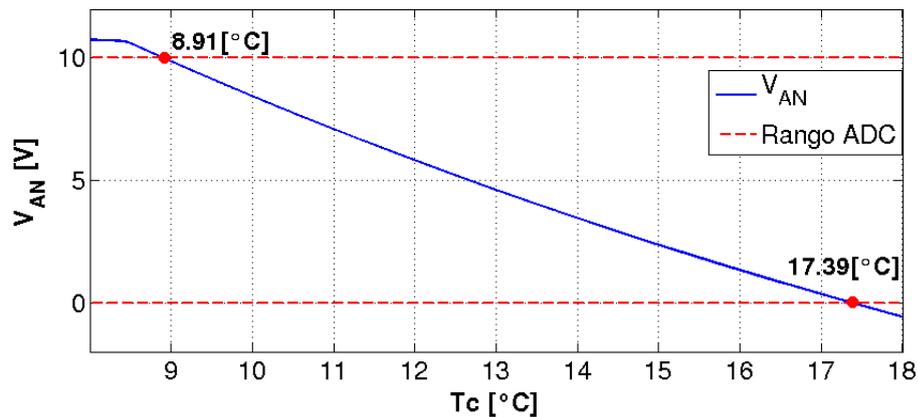


Fig. 5.49: Voltaje de salida del circuito de acondicionamiento analógico en función de la temperatura.

Respuesta temporal

Se simula la respuesta del circuito ante una entrada del tipo escalón de la resistencia del termistor. Esto no constituye un escenario real esperable, pero se analiza para determinar la respuesta en frecuencia del circuito. La simulación comienza con $R_T=14324.3[\Omega]$, equivalente a $T_C=17[^\circ\text{C}]$, y a los 10[ms] conmuta a $R_T=20884.7[\Omega]$, equivalente a $T_C=9[^\circ\text{C}]$. Este cambio provoca un incremento del voltaje de salida. En la figura 5.50 se observa el voltaje de salida de la simulación.

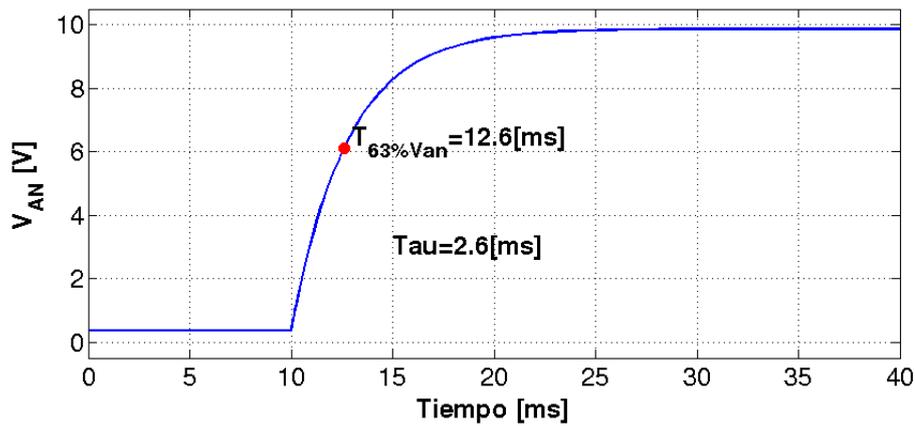


Fig. 5.50: Voltaje de salida del circuito acondicionamiento analógico ante una entrada escalón de resistencia del termistor.

Considerando que el circuito se comporta como un sistema de primer orden, se determina la constante de tiempo (τ) para calcular el ancho de banda. La constante de tiempo se obtiene cuando la señal de salida llega al 63.21 [%] de la excursión, teniendo en cuenta que la conmutación de R_T ocurre a los 10[ms], $\tau=2.6$ [ms] y la frecuencia de corte 61.21[Hz].

Atenuación a las señales de modo común

Se realiza una simulación para verificar el rechazo a las señales de modo común. Para ello, se añade al circuito una señal de modo común, colocando una fuente de voltaje en el retorno de la resistencia R_G . La amplitud de la señal se configura en 2.5[mV] y la frecuencia se configura para distintos valores. Se configura el termistor con tres valores diferentes de resistencia: $R_{T@9^{\circ}\text{C}}=20884.7[\Omega]$, $R_{T@13^{\circ}\text{C}}=17257.0[\Omega]$ y $R_{T@17^{\circ}\text{C}}=14324.3[\Omega]$. En el transcurso de la simulación, se mide la desviación del voltaje de salida y, teniendo en cuenta el voltaje de la señal de modo común, se calcula la atenuación. En la figura 5.51 se observa la atenuación obtenida en las distintas frecuencias simuladas.

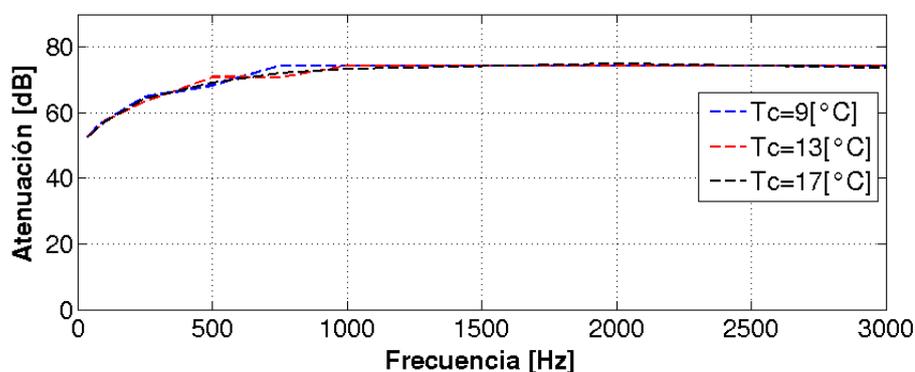


Fig. 5.51: Atenuación del circuito de acond. analógico ante señales de modo común.

Consumo del circuito de acondicionamiento analógico

En la misma simulación del análisis de la curva de salida, se relevan las corrientes de consumo de las fuentes de alimentación. A partir de éstas se calcula la potencia disipada por el circuito. Los resultados demuestran que la variación es muy baja y el valor máximo disipado es $P_{\text{Acond.Analogico}}=242.7[\text{mW}]$. Los valores máximos de corriente resultan $+I_A=11.31[\text{mA}]$ y $-I_A=8.92[\text{mA}]$. En la figura 5.52 se observa la curva de la potencia disipada en función de la resistencia del termistor.

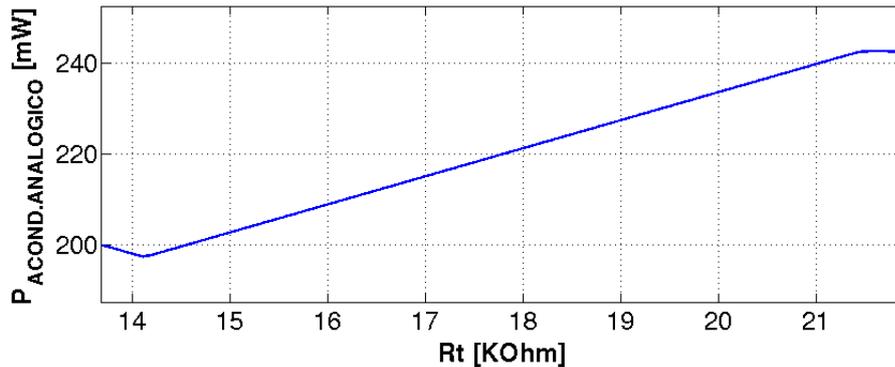


Fig. 5.52: Consumo del circuito acondicionamiento analógico en función de la resistencia del termistor.

Resolución obtenida

Se realiza una gráfica del error de temperatura introducido por la digitalización, según la respuesta del circuito de acondicionamiento analógico. La gráfica se realiza, utilizando el modelo del V_{AN} de la sección 6.5. El límite superior de la curva representa la resolución, resultando la mínima $1.66[\text{m}^\circ\text{C}]$ y la máxima de $2.60[\text{m}^\circ\text{C}]$. En la figura 5.53 se observa la gráfica del error de temperatura introducido por la digitalización.

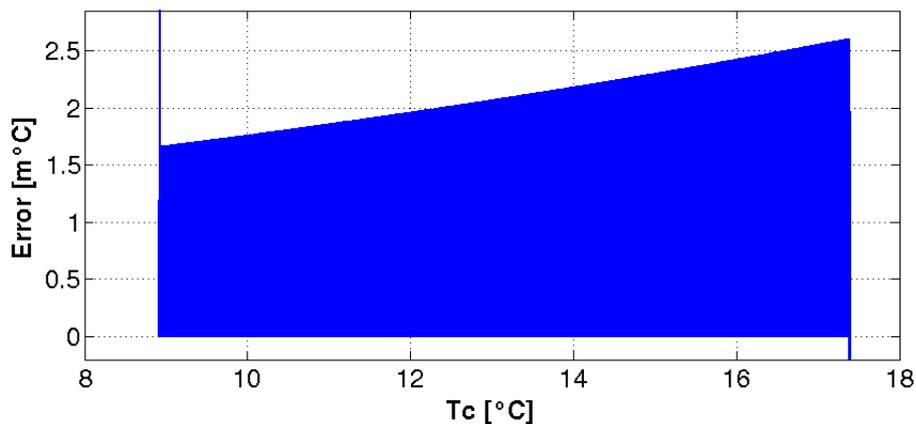


Fig. 5.53: Error introducido por la digitalización utilizando el circuito de acondicionamiento analógico.

Sensibilidad al ripple de alimentación

Se realiza una simulación en donde se monta una señal de ripple sinusoidal sobre ambas líneas de la fuente de alimentación. El ripple se suma en fase sobre las líneas de alimentación, ya que representa el peor caso, y se realiza un barrido de su voltaje. Se simula para frecuencias de ripple de 100[Hz] y 500[Hz]. El circuito se simula con un valor de resistencia del termistor equivalente a una temperatura de 9[°C], 13[°C] y 17[°C]. En las figuras 5.54 y 5.55 se observa como varía la salida según el voltaje de ripple en la alimentación.

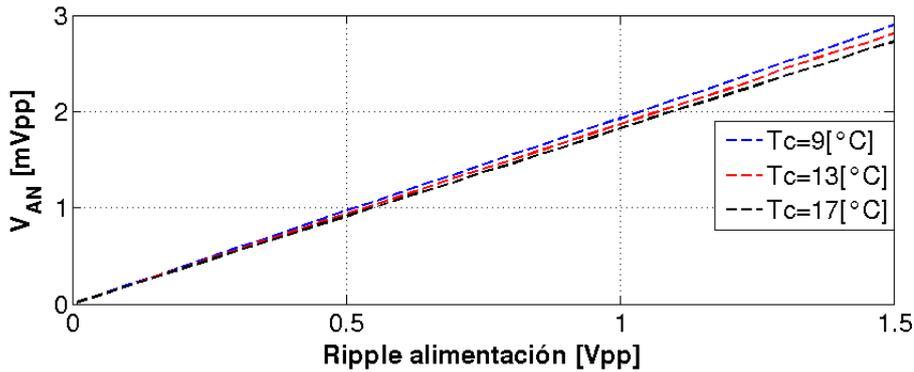


Fig. 5.54: Sensibilidad al ripple de alimentación sinusoidal de 100[Hz].

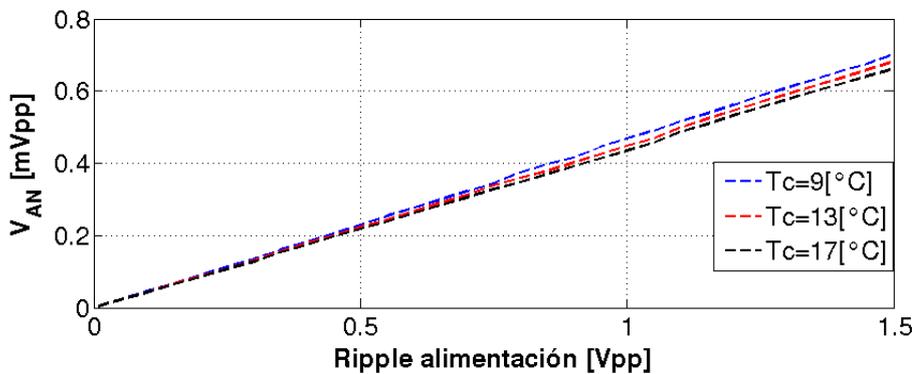


Fig. 5.55: Sensibilidad al ripple de alimentación sinusoidal de 500[Hz].

Cálculo de la SNR

Se realiza el cálculo de la SNR tomando como referencia [85] [86]. La densidad espectral de ruido de voltaje y corriente (VNSD y INSD) del AD589S y el OP467AY/QMLV se obtienen en función del ancho de banda de las figuras 5.56, 5.57 y 5.58. Todas estas gráficas son tomadas de las hojas de datos del fabricante. Los valores utilizados son $VNSD_{Z10Hz}=250[nV/\sqrt{Hz}]$, $VNSD_{AO10Hz}=10[nV/\sqrt{Hz}]$, $VNSD_{AO60Hz}=9[nV/\sqrt{Hz}]$, $INSD_{AO10Hz}=3[pA/\sqrt{Hz}]$ y $INSD_{AO60Hz}=1[pA/\sqrt{Hz}]$.

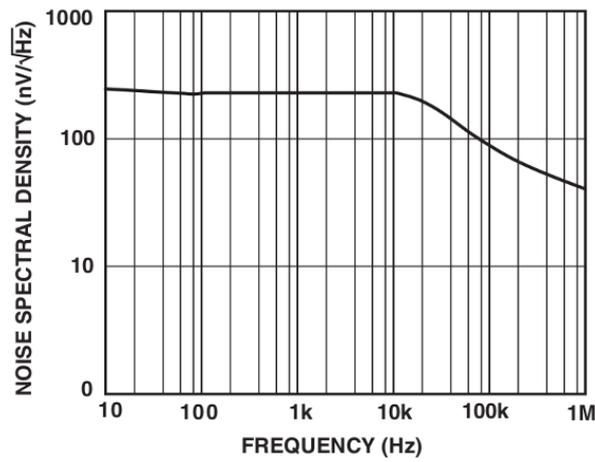


Fig. 5.56: Densidad espectral de ruido de voltaje del AD589S [84].

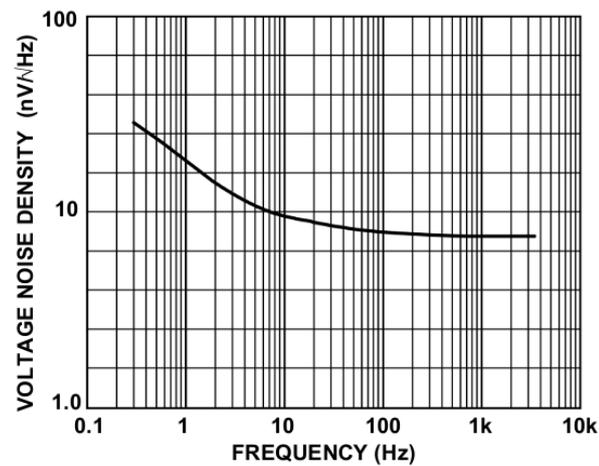


Fig. 5.57: Densidad espectral de ruido de voltaje del OP467 [80].

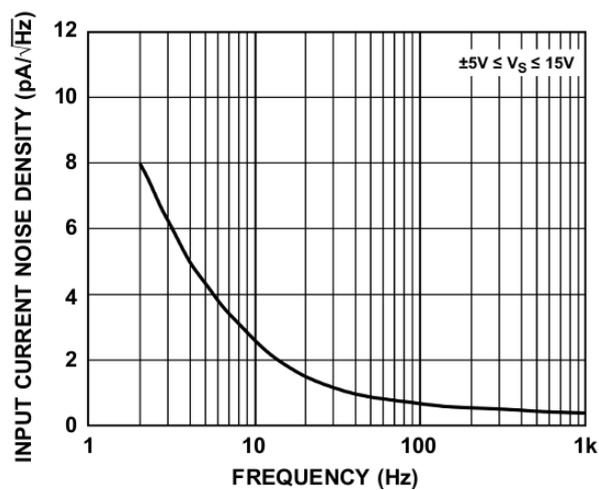


Fig. 5.58: Densidad espectral de ruido de corriente del OP467 [80].

En los cálculos se considera una temperatura promedio del circuito de $T=15[^\circ\text{C}]$. Se considera la resistencia del termistor de $R_T=17257.0[\Omega]$, lo que equivale a una

temperatura de 13[°C]. El símbolo $K=1.38^{-23}$ [J/K] es la constante de Boltzman. El valor de $BW_{ENT}=10$ [Hz] corresponde al ancho de banda según los filtros de entrada y $BW_{DIF}=62$ [Hz] corresponde al ancho de banda del circuito según el análisis de la respuesta temporal. Los valores de R_{IN+} y R_{IN-} corresponden a las resistencias equivalentes vistas desde las entradas del AO.

En la ecuación (5.49) se calcula el voltaje de ruido cuadrático promedio (Root Mean Square, RMS) a la salida del AO del circuito de excitación del termistor. En las ecuaciones (5.51), (5.52), (5.53), (5.54) y (5.55) se calcula el aporte de ruido individual de las resistencias, el AO y el AD589S.

$$EN_{EXCIT} = \sqrt{EN_{AO1}^2 + EN_{RI1-}^2 + EN_{RI1+}^2 + ET_{RI1-}^2 + ET_{RI1+}^2 + EN_{D1}^2} \quad (5.49)$$

$$= 1,136[\mu V]$$

$$EN_{AO1} = VNSD_{AO60Hz} \cdot \sqrt{BW_{AA}} = 70,866[nV] \quad (5.50)$$

$$EN_{RI1-} = INSD_{AO60Hz} \cdot \sqrt{BW_{AA}} \cdot [R_S \parallel (R_T + R_G)] = 117,140[nV] \quad (5.51)$$

$$EN_{RI1+} = INSD_{AO10Hz} \cdot \sqrt{BW_{ENT}} \cdot (R_F + R_Z) = 786,459[nV] \quad (5.52)$$

$$ET_{RI1-} = \sqrt{4 \cdot K \cdot T \cdot BW_{AA}} \cdot [R_S \parallel (R_T + R_G)] = 121,124[nV] \quad (5.53)$$

$$ET_{RI1+} = \sqrt{4 \cdot K \cdot T \cdot BW_{ENT}} \cdot (R_F + R_Z) = 114,830[nV] \quad (5.54)$$

$$EN_{D1} = VNSD_{Z10Hz} \cdot \sqrt{BW_{ENT}} = 790,569[nV] \quad (5.55)$$

El ruido de las señales V_A y V_B se calcula a partir del ruido EN_{EXCIT} en las ecuaciones (5.56) y (5.56). Estas señales de ruido se propagan a las posteriores etapas.

$$EN_{VA} = EN_{EXCIT} \cdot \frac{R_T + R_G}{R_S + R_T + R_G} = 157,230[nV] \quad (5.56)$$

$$EN_{VB} = EN_{EXCIT} \cdot \frac{R_G}{R_S + R_T + R_G} = 91,058[pV] \quad (5.57)$$

En la ecuación (5.58) se calcula el ruido total en la señal V^+ . Éste resulta del ruido

asociado a la señal V_A más el aporte del ruido del circuito buffer que se calcula en las ecuaciones (5.59), (5.60) y (5.61).

$$EN_{V^+} = \sqrt{EN_{AO2}^2 + EN_{RI2+}^2 + ET_{RI2+}^2 + EN_{VA}^2} = 241,114[nV] \quad (5.58)$$

$$EN_{AO2} = VNSD_{AO60Hz} \cdot \sqrt{BW_{AA}} = 70,866[nV] \quad (5.59)$$

$$EN_{RI2+} = INSD_{AO60Hz} \cdot \sqrt{BW_{AA}} \cdot [R_S \parallel (R_G + R_T)] = 117,140[nV] \quad (5.60)$$

$$ET_{RI2+} = \sqrt{4 \cdot K \cdot T \cdot BW_{AA} \cdot [R_S \parallel (R_G + R_T)]} = 121,124[nV] \quad (5.61)$$

En la ecuación (5.62) se calcula el ruido total en la señal V^- . Éste resulta del ruido asociado a la señal V_B , sumado al aporte del ruido del circuito buffer con offset que se calcula en las ecuaciones (5.63), (5.64), (5.65) y (5.66).

$$\begin{aligned} EN_{V^-} &= \sqrt{EN_{AO3}^2 + EN_{RI3+}^2 + ET_{RI3+}^2 + EN_{D2}^2 + EN_{VB}^2} \\ &= 141,1054[nV] \end{aligned} \quad (5.62)$$

$$EN_{AO3} = VNSD_{AO60Hz} \sqrt{BW_{AA}} = 70,866[nV] \quad (5.63)$$

$$\begin{aligned} EN_{RI3+} &= INSD_{AO10Hz} \sqrt{BW_{ENT}} \cdot [(R_{D2} + R_G) \parallel (R_{Z2} + R_{D1})] \\ &= 57,295[nV] \end{aligned} \quad (5.64)$$

$$\begin{aligned} ET_{RI3+} &= \sqrt{4 \cdot K \cdot T \cdot BW_{ENT} \cdot [(R_{D2} + R_G) \parallel (R_{Z2} + R_{D1})]} \\ &= 30,994[nV] \end{aligned} \quad (5.65)$$

$$EN_{D2} = VNSD_{Z10Hz} \sqrt{BW_{ENT}} \cdot \frac{R_{D2}}{R_{D1} + R_{D2}} = 103,177[nV] \quad (5.66)$$

En la ecuación (5.67) se calcula el ruido total de la señal de salida V_{AN} . Este resulta del ruido asociado a las señal V^+ y V^- , sumado al aporte del ruido del circuito amplificador diferencial. Este último se calcula en las ecuaciones (5.68), (5.69) y (5.70).

$$\begin{aligned}
 EN_{VO} &= G \cdot \sqrt{EN_{AO4}^2 + EN_{RIN-}^2 + EN_{RIN+}^2 + ET_{RIN-}^2 + ET_{RIN+}^2 + EN_{V+}^2 + EN_{V-}^2} \\
 &= 36,990[\mu V]
 \end{aligned} \tag{5.67}$$

$$EN_{AO4} = VNSD_{AO60Hz} \cdot \sqrt{BW_{AA}} = 70,866[nV] \tag{5.68}$$

$$\begin{aligned}
 EN_{RIN-} &= EN_{RIN+} = INSD_{AO60Hz} \sqrt{BW_{AA}} \cdot (R_{FS} \parallel R_I) \\
 &= 781,305[pV]
 \end{aligned} \tag{5.69}$$

$$ET_{RIN-} = ET_{RIN+} = \sqrt{4 \cdot K \cdot T \cdot BW_{AA} \cdot (R_{FS} \parallel R_I)} = 9,892[nV] \tag{5.70}$$

En la ecuación (5.71) se calcula el valor de SNR resultante del circuito.

$$SNR = 20 \cdot \log \left(\frac{\frac{Rango_{ADC}}{2\sqrt{2}}}{EN_{VO}} \right) = 20 \cdot \log \left(\frac{\frac{10[V]}{2\sqrt{2}}}{36,990[\mu V]} \right) = 99,6[dB] \tag{5.71}$$

5.7.4 Verificación de requerimientos del circuito de acondicionamiento analógico

Finalmente, se verifican los requerimientos de diseño del circuito de acondicionamiento analógico. Todos los requerimientos se cumplen satisfactoriamente y en la tabla 5.17 se vincula cada uno de ellos con el análisis que los verifica.

Requerimiento	Resumen	Verificación /Método
L6-TIR-CTS-ACA01	Convertir ΔR_T en ΔV_{AN}	✓ Simulación (Sección 5.7.3)
L6-TIR-CTS-ACA02	Contener el rango de V_{AN} de 0[V] a 10[V]	✓ Simulación (Sección 5.7.3)
L6-TIR-CTS-ACA03	Señal V_{AN} acorde al rango de temperatura entre 9[°C] y 17[°C]	✓ Simulación (Sección 5.7.3)
L6-TIR-CTS-ACA04	V_{AN} debe variar 2.44[mV] ante un ΔT_C de 3[m°C] o menor	✓ Simulación (Sección 5.7.3)
L6-TIR-CTS-ACA05	La SNR debe ser mayor a 72.2[dB]	✓ Análisis (Sección 5.7.3)
<i>Continúa en la siguiente página</i>		

Requerimiento	Resumen	Verificación /Método
L6-TIR-CTS-ACA06	El máximo autocalentamiento del termistor debe ser 3[m°C]	✓Análisis (Sección 5.7.1)
L6-TIR-CTS-ACA07	La respuesta en frecuencia debe ser mayor a 10[Hz].	✓Simulación (Sección 5.7.3)
L6-TIR-CTS-ACA08	Calidad de partes EEE	✓Análisis (Sección 5.2)

Tabla 5.17: Verificación de requerimientos del circuito driver.

5.8 Circuito digital

El circuito digital contiene los controladores PI y los generadores de PWM. Además, coordina el funcionamiento del circuito SEL&DIG, configura la temperatura de los sensores y la secuencia de encendido. También, añade una función para apagar en forma individual el control térmico de un sensor en particular. Esto es útil en el caso que ocurra una falla irreversible de algún circuito del control térmico. Se realiza un análisis de cada función, se proponen circuitos y se selecciona el más apropiado.

5.8.1 Alcance del análisis del circuito digital

Las funciones llevadas a cabo por el circuito digital se implementan con hardware programable dentro de una FPGA. Este trabajo de tesis analiza el circuito digital desde su arquitectura y la implementación con lógica discreta, sin embargo no se analiza el Lenguaje de Descripción de Hardware (Hardware Description Language, HDL). Asimismo, los circuitos de lógica discreta no consideran los efectos relacionados a los retardos de propagación.

El hardware periférico, necesario para el funcionamiento de la FPGA, tampoco se analiza. Es decir, no se tiene en cuenta el análisis de memorias volátiles, memorias no volátiles, fuentes de reloj y la alimentación de bancos de entrada/salida.

El vínculo del circuito digital con otros circuitos digitales del instrumento TIR, no se considera en este trabajo. La configuración del circuito digital se realiza tomando información de registros de memoria sin analizar de que forma se deposita allí la información.

Por estos motivos, la FPGA se trata como un dispositivo genérico sin importar el modelo a utilizar.

5.8.2 Arquitectura interna del circuito digital

En la figura 5.59 se observa la arquitectura del circuito digital. El funcionamiento se basa en que todos los controladores realizan el cálculo, pero solo el indicado traslada la información hacia el generador de PWM.

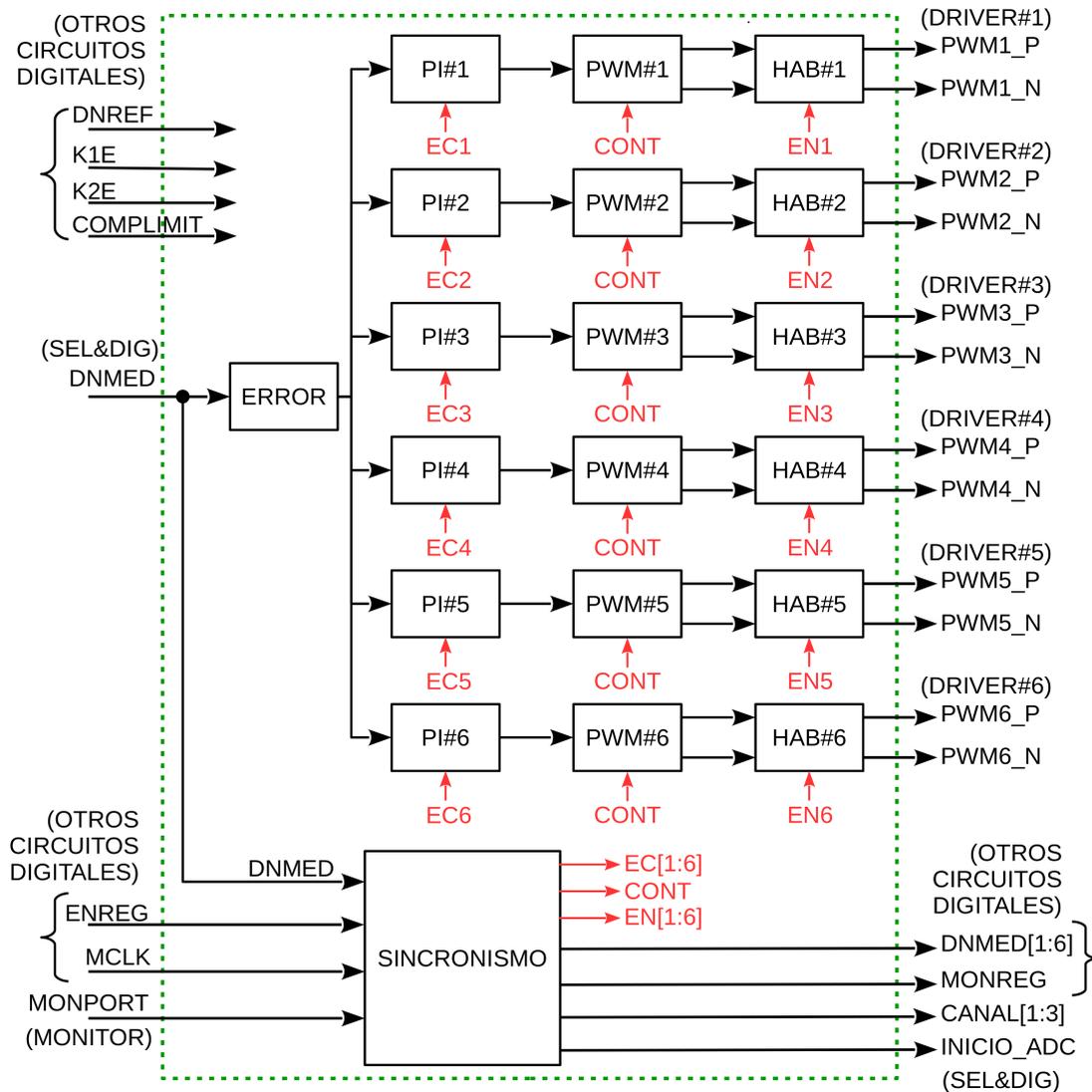


Fig. 5.59: Arquitectura del circuito digital.

5.8.3 Etapa de habilitación

Esta etapa habilita las señales de salida del generador de PWM. Su funcionamiento es necesario para la secuencia de encendido y para apagar en forma individual el control térmico de un sensor.

Según el análisis de la sección 5.3.2, cuando las señales de manejo del driver PWM_P y PWM_N tienen el mismo nivel lógico (ambos "0" o "1"), el efecto sobre módulo Peltier es nulo. El circuito de habilitación pone en nivel lógico "0" ambas señales de salida si no está habilitado el control térmico.

En la figura 5.60, se observa un circuito de la etapa de habilitación. El circuito digital cuenta con seis circuitos de habilitación.

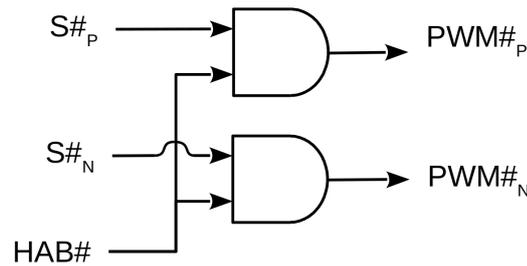


Fig. 5.60: Etapa de habilitación del circuito digital.

5.8.4 Etapa de generación de PWM

Esta etapa genera las señales de control del circuito driver (PWM_P y PWM_N). El DC es la diferencia entre las señales PWM_P y PWM_N , y puede variar entre $-100[\%]$ y $100[\%]$.

Se utiliza el modulador de ancho de pulso diferencial de la figura 5.61. Su funcionamiento se basa en un contador ascendente/descendente que opera de forma continua y dos comparadores que dan origen a ambas señales. El valor de comparación es complementario según el módulo del contador. El contador es común a todos los generadores de PWM y es suministrado por la etapa de sincronismo.

El controlador PI, entrega en su salida, un valor de comparación con signo. El contador ascendente/descendente y los comparadores también operan considerando el signo. Es por ello que, el valor de comparación, se niega con la operación de complemento A2.

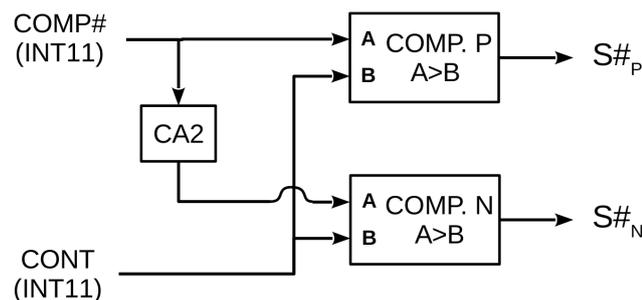


Fig. 5.61: Etapa de generación de PWM del circuito digital.

Según el requerimiento de frecuencia y resolución (L6-TIR-CTS-DIG04) las señales de PWM salida deben tener una frecuencia de $f_{PWM}=25[\text{KHz}]$ y se debe obtener una resolución $Res_{DC}<0.192[\%]$. Estos valores afectan al módulo del contador ascendente/descendente y su frecuencia de operación. En un proceso iterativo con la implementación del circuito contador, se decide utilizar una $Res_{DC}=0.16[\%]$. El rango del contador se calcula en la ecuación (5.72) y resulta $1250[\text{Cuentas Digitales (CD)}]$, por lo tanto se requiere un contador de $11[\text{bits}]$. En la ecuación (5.73) se calcula el

período del contador y resulta de 16[ns], en consecuencia el contador debe operar a 62.5[MHz].

$$Rango\ contador = \frac{Rango_{DC}}{Res_{DC}} = \frac{200[\%]}{0,16[\%]} = 1250[CD] \quad (5.72)$$

$$T_{CONTADOR} = \frac{1}{f_{PWM}} \cdot \frac{1}{2 \cdot Rango\ contador} = \frac{1}{25[KHz]} \cdot \frac{1}{2 \cdot 1250} = 16[ns] \quad (5.73)$$

El contador debe ser simétrico, por lo tanto los límites son $\pm 625[CD]$ (interpretado con signo). En la figura (5.62) se observan las señales del generador de PWM para un valor de COMP=400[CD]. Las líneas punteadas representan los valores de comparación. La señal “Sal Dif.” representa la diferencia entre las señales S#_P y S#_N. La forma de onda de esta señal es la que aplica el driver al módulo Peltier con el filtro. Se observa que “Sal Dif.” tiene el doble de la frecuencia que las señales S#_P y S#_N.

Cuando el controlador PI actualiza el valor de COMP puede darse que, durante un período de T_{PWM} , las señales S#_P y S#_N sean erróneas. Esto se debe a que la actualización de COMP no esta sincronizada con el comparador. De todos modos, el efecto en el control térmico es despreciable, ya que es un transitorio de corta duración.

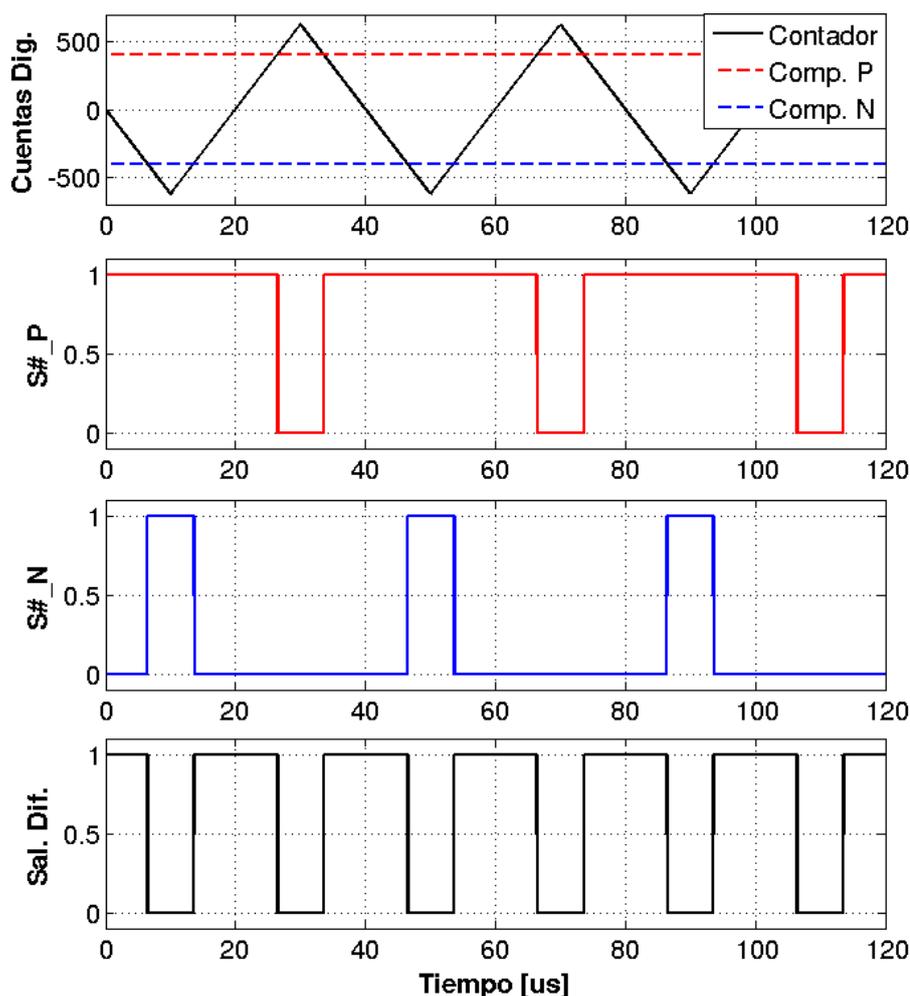


Fig. 5.62: Funcionamiento de la etapa de generación de PWM.

5.8.5 Etapa de cálculo de error

Esta etapa calcula la diferencia entre las cuentas digitales medidas (DN_{MED}) y las cuentas digitales de referencia (DN_{REF}). El resultado son cuentas digitales que representan el error de temperatura del control térmico. Los valores de DN_{REF} y DN_{MED} son enteros de 12[Bits] sin signo, mientras que la señal de salida DN_{ERROR} es un entero de 13[Bits] con signo. En la figura 5.63 se observa la etapa de cálculo de error.

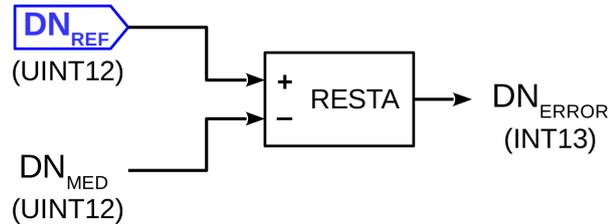


Fig. 5.63: Etapa de cálculo de error del circuito digital.

El valor de DN_{REF} se almacena en un registro de memoria y configura la temperatura de estabilización del control térmico. Para obtener un valor adecuado de DN_{REF} según T_{REF} , se realiza un proceso de transformación de las señales, comenzando por la temperatura de estabilización de los sensores, luego la resistencia del termistor, el voltaje de salida del circuito de acondicionamiento analógico y finalmente el valor digitalizado. Para ello, se utilizan las ecuaciones del modelo del termistor (3.27, 3.25 y 3.26). También se utilizan, en un proceso iterativo con el capítulo 6, la ecuación del modelo del circuito de acondicionamiento analógico (6.5) y la ecuación del modelo del circuito SEL&DIG (6.4). En las expresiones de (5.74), se sintetiza cómo pasar del valor de temperatura $T_{REF}[K]$ al valor de cuentas digitales $DN_{REF}[CD]$.

$$\begin{aligned}
 A &= 1,136 \cdot 10^{-3} \\
 B &= 2,330 \cdot 10^{-4} \\
 C &= 9,133 \cdot 10^{-8} \\
 x &= \frac{1}{C} \left(A - \frac{1}{T_{REF}} \right) \\
 y &= \sqrt{\left(\frac{B}{3C} \right)^3 + \left(\frac{x}{2} \right)^2} \\
 R_T &= e \left(\sqrt[3]{y - \frac{x}{2}} - \sqrt[3]{y + \frac{x}{2}} \right) \\
 V_{AN} &= 1,449413 \cdot 10^{-3} [V/\Omega] \cdot R_T - 20,3900110 [V] \\
 DN_{REF} &= \left\lfloor \frac{V_{AN} \cdot 4096}{10[V]} \right\rfloor
 \end{aligned} \tag{5.74}$$

En la tabla 5.18 se observan los valores de referencia para las temperaturas requeridas (L6-TIR-CTS-DIG07).

T_{REF} [°C]	DN_{REF} [CD]
10	3464
11	2912
12	2389
13	1893
14	1423
15	977
16	553

Tabla 5.18: Cuentas digitales de referencia según la temperatura de estabilización.

5.8.6 Etapa de controlador PI

Esta etapa se refiere al controlador PI como un circuito digital. Tiene diferencias respecto del controlador PI del simulador para elaboración de requerimientos. La entrada al controlador es un error de cuentas digitales (DN_{ERROR}) y no un error de temperatura (T_{ERROR}). Por otra parte la salida son las cuentas digitales (COMP) que ingresan a la etapa de generación de PWM. En consecuencia, se deben recalcular los coeficientes K_p y K_i .

En la figura 5.64 se observa el controlador PI del simulador para elaboración de requerimientos y en la figura 5.65 el controlador PI del circuito digital.

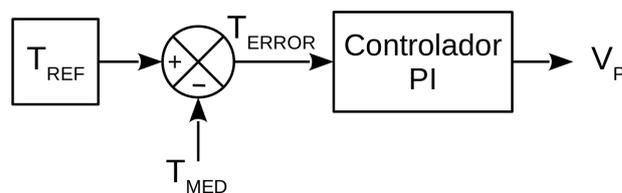


Fig. 5.64: Controlador PI del simulador para elaboración de requerimientos.

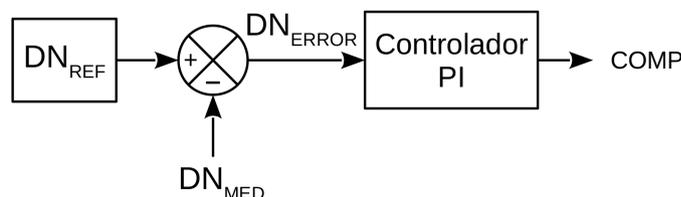


Fig. 5.65: Controlador PI del circuito digital.

Para corregir el cambio de variable en la señal de error se multiplica a los coeficientes por $\Delta T/\Delta DN$. De esta forma, se convierte el error de cuentas digitales (CD) en error de temperatura (K). El valor de $\Delta T/\Delta DN$ se corresponde con la

resolución. La resolución no es constante y, según el análisis de la sección 5.7.3, varía entre 1,66[m°C] y 2,6[m°C]. Se toma el valor medio de resolución resultando $\Delta T/\Delta DN = -2,13[\text{m}^\circ\text{C}/\text{Bit}]$. El signo negativo se debe a que las cuentas disminuyen a medida que crece la temperatura.

Para corregir el cambio de variable en la señal de salida se multiplica a los coeficientes por $\Delta COMP/\Delta V_p$. En un proceso iterativo con las secciones 6.6 y 6.1 se obtiene la función $COMP=f(V_p)$ y luego se la deriva en la ecuación (5.75).

$$\begin{aligned}\frac{\Delta COMP}{\Delta V_p} &= \frac{d}{dCOMP} \left(\frac{625[CD]}{100[\%]} \cdot \frac{V_p - 0,4913 \cdot V_\alpha}{0,0261[V/\%]} \right) \\ &= 239,464 \left[\frac{CD}{V} \right]\end{aligned}\quad (5.75)$$

Los coeficientes utilizados en el controlador PI del simulador para elaboración de requerimientos son $K_p = -2,616$ y $K_I = -0,506$. En las ecuaciones (5.76) y (5.77) se calculan los nuevos coeficientes, los cuales se renombran como K_{Pn} y K_{In} .

$$K_{Pn} = K_p \cdot \frac{\Delta T}{\Delta DN} \cdot \frac{\Delta COMP}{\Delta V_p} = 1,334 \quad (5.76)$$

$$K_{In} = K_I \cdot \frac{\Delta T}{\Delta DN} \cdot \frac{\Delta COMP}{\Delta V_p} = 0,258 \quad (5.77)$$

También es necesario recalcular las cotas del limitador. Según los requerimientos, el valor límite debe ser de $\pm 2[V]$. Para ello, en la ecuación (5.78) se calcula el valor del limitador en cuentas digitales.

$$\begin{aligned}COMP_{LIMIT} &= V_{LIMIT} \cdot \frac{\Delta COMP}{\Delta V_p} \\ &= \pm 2[V] \cdot 239,464 \left[\frac{CD}{V} \right] = \pm 479[CD]\end{aligned}\quad (5.78)$$

Cuando se trata de controladores digitales, es posible transformar la ecuación de control en formato paralelo a formato incremental en función del período temporal de las muestras [60] [61]. En la ecuación (5.79) se observa la ecuación de transferencia del controlador PI en formato incremental. En las ecuaciones (5.80) y (5.81) se calculan los coeficientes $K1$ y $K2$.

$$PI(z) = \frac{K1 + K2 \cdot z^{-1}}{1 - z^{-1}} \quad (5.79)$$

$$K1 = K_{Pn} + \frac{K_{In} \cdot T_S}{2} = 1,345 \quad (5.80)$$

$$K2 = -K_{Pn} + \frac{K_{In} \cdot T_S}{2} = -1,322 \quad (5.81)$$

A partir de la ecuación (5.79) se aplican las técnicas de implementación de filtros digitales mediante realización directa 1 y realización directa 2. En las figuras 5.66 y

5.67 se observan ambas versiones del controlador. A diferencia de un filtro digital, se les añade el antisaturador. Con la finalidad de comparar los controladores, en la figura 5.68 se observa el controlador en formato paralelo implementado como circuito digital. Se aclara que el integrador se forma a partir de elementos más básicos para comprender mejor el impacto en la implementación.

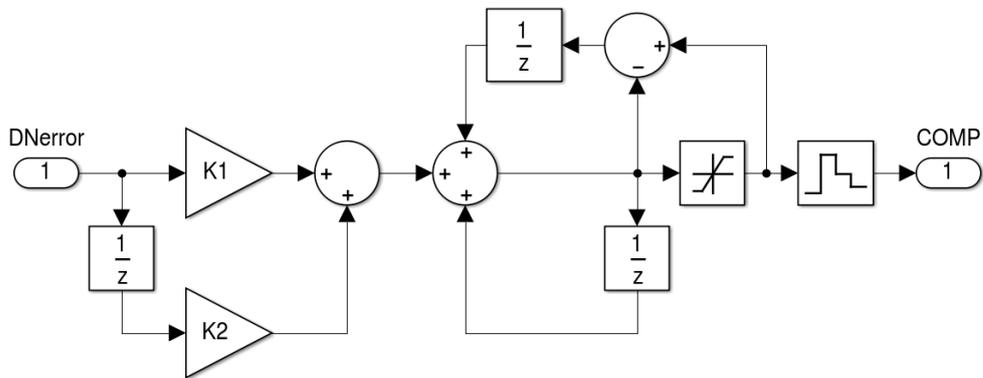


Fig. 5.66: Controlador PI digital implementado en realización directa 1.

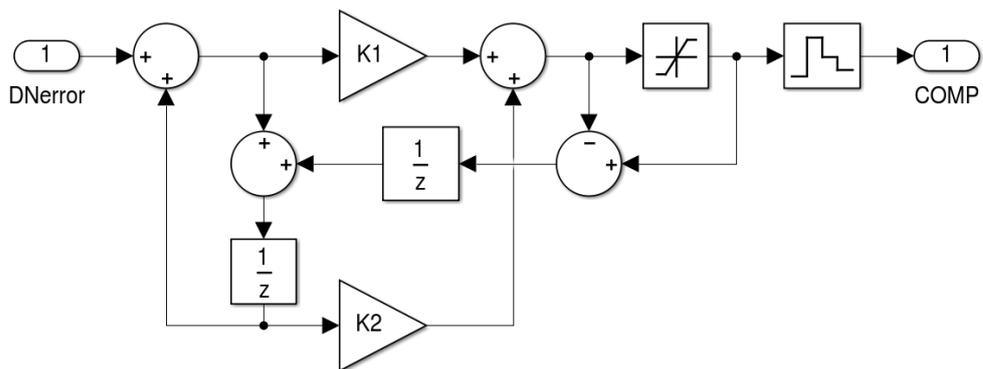


Fig. 5.67: Controlador PI digital implementado en realización directa 2.

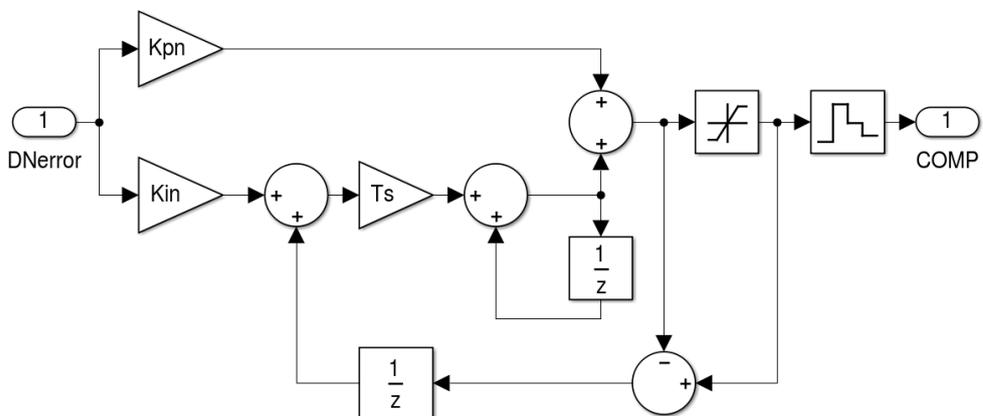


Fig. 5.68: Controlador PI digital en formato paralelo.

En la tabla 5.19 se comparan los controladores en formato paralelo, realización directa 1 y realización directa 2. Los parámetros a comparar son: la cantidad de

operaciones matemáticas (suma, resta y multiplicación), la cantidad de registros de memoria y el máximo valor numérico, en el peor caso, que toma el controlador en alguno de sus nodos. Esto último es útil para el análisis del tipo de dato, el cual se verifica mediante una simulación. En un proceso iterativo, se utiliza el simulador de evaluación de desempeño de la sección 7.1 en el escenario de encendido en frío, ya que representa el peor caso del valor en nodos.

Controlador	Suma/ Resta	Mult.	Registros memoria	Max. Valor Nodo	Antisaturador
Paralelo	4	3	2	-4725,0	SI
R. Directa1	4	2	3	-4770,2	SI
R. Directa2	4	2	2	-38385	Parcial

Tabla 5.19: Comparación de los controladores PI digitales.

Todos los controladores tienen la misma cantidad de sumas/restas, excepto la realización directa 1 y 2 que tienen una multiplicación menos. Esto es una notable diferencia en recursos si se tiene en cuenta que son seis los controladores. Debido a la naturaleza de la realización directa 2, el integrador no está aislado en una etapa, y en consecuencia, el antisaturador no actúa con total eficiencia. Según los resultados de la simulación, introduce una perturbación transitoria que provoca un sobre pico de $0.2[^\circ\text{C}]$ incrementando la agresividad luego de salir de la saturación. De todos modos, esto no resulta un inconveniente para el control térmico. En todos los casos de simulación, el valor de la máxima CD corresponde al inicio, en donde se tiene un error proporcional grande y los integradores toman un valor nominal partiendo de su condición inicial 0. Si bien la realización directa 2 requiere guardar una variable menos, tiene más posibilidades de desborde. Teniendo en cuenta que la realización directa 2 implica realizar cálculos con una mayor cantidad de bits, se decide utilizar el controlador PI basado en realización directa 1.

Otro aspecto a tener en cuenta es la precisión del cálculo, es decir, cuantos bits se asignan para realizar las operaciones. Esto impacta directamente en la complejidad del circuito y los recursos necesarios de la FPGA.

El valor de los coeficientes es fraccionario y existen dos tipos de datos para operar con números fraccionarios: el punto flotante y el punto fijo. El primero ajusta la cantidad de bits necesarios para obtener la máxima precisión de cálculo, pero su implementación es muy costosa en recursos. El segundo asigna una cantidad fija de bits a la parte entera y la fraccionaria, y su implementación es sencilla.

Se decide utilizar el tipo de dato de punto fijo para optimizar los recursos de la FPGA. Se debe calcular cuidadosamente la cantidad de bits a asignar a la mantisa (parte entera) y la parte fraccionaria. Si se asigna una cantidad de bits insuficiente a la mantisa

puede provocar un desborde, de la parte proporcional o integral, provocando un evento transitorio en la salida del controlador PI. Luego del transitorio, el control térmico sigue funcionando normalmente. Si se asigna una cantidad de bits insuficiente en la parte fraccionaria, se introduce un error de estado estacionario. Esto provoca que el control térmico no opere correctamente.

Se comienza por determinar la cantidad de bits de la mantisa. Para ello, se analiza el valor entero tomando el máximo valor de cuenta de la tabla 5.19. En la ecuación (5.82) se calcula la mínima cantidad de bits para la mantisa. Como los números tienen signo, se toma el valor absoluto del máximo valor de cuenta y se lo multiplica por dos.

$$NM_{MIN} = \left\lceil \frac{\log(Max\ Cuenta \cdot 2)}{\log(2)} \right\rceil = \left\lceil \frac{\log(9540)}{\log(2)} \right\rceil = \lceil 13,21 \rceil = 14 \quad (5.82)$$

La cantidad de bits de la parte fraccionaria está condicionada por el integrador [60]. Por consiguiente, la mínima cantidad de bits de la parte fraccionaria depende de los coeficientes del controlador y de la frecuencia de muestreo. La ecuación 5.83 representa la condición necesaria para que el integrador funcione adecuadamente y en la ecuación (5.84) se calculan los bits necesarios en esta aplicación.

$$K_{In} \cdot T_S \geq 2^{-NF} \quad (5.83)$$

$$NF_{MIN} = \left\lceil \frac{-\log(K_{In} \cdot T_S)}{\log(2)} \right\rceil = \left\lceil \frac{-\log(0,258 \cdot 90[ms])}{\log(2)} \right\rceil = \lceil 5,42 \rceil = 6 \quad (5.84)$$

Se decide tomar un margen para que el sistema sea flexible y pueda utilizarse con otros valores de sintonización. Para ello, se toman NM=15[bits] para la mantisa y NF=7[bits] para la parte fraccionaria. Una mantisa de 15[bits] permite operar al controlador sin desborde con enteros de hasta 16384[Cuentas]. Una parte fraccionaria de 7[bits] permite discernir valores fraccionarios de 0,0078125[cuentas]. Considerando el tiempo de muestreo utilizado ($T_S=90[ms]$), se pueden interpretar cambios de K_{In} de 0,078[cuentas].

Las operaciones se realizan con números enteros en la FPGA. Para operar con valores enteros y realizar las operaciones matemáticas con la precisión de punto fijo, se debe realizar una nueva transformación de los coeficientes, el valor del limitador y seleccionar los bits adecuados en la salida. Se corre la coma para hacer entero a K1 y K2, esto es equivalente a multiplicar por 2^{NF} . Luego, se toman los bits deseados en la salida, considerando que los 15 Bits Más Significativos (Most Significant Bits, MSB) corresponden a la parte entera y los 7 Bits Menos Significativos (Less Significant Bits, LSB) corresponden a la parte fraccionaria. En las ecuaciones (5.85) y (5.86) se obtienen los coeficientes que se utilizan para la implementación en la FPGA. En la ecuación (5.87) se calcula el valor del limitador.

$$K1_e = \lfloor K1 \cdot 2^{NF} \rfloor = \lfloor K1 \cdot 128 \rfloor = 172 \quad (5.85)$$

$$K2_e = \lfloor K2 \cdot 2^{NF} \rfloor = \lfloor K2 \cdot 128 \rfloor = -170 \quad (5.86)$$

$$\begin{aligned} COMP_{LIM_e} &= \lfloor \pm COMP_{LIMIT} \cdot 2^{NF} \rfloor \\ &= \lfloor \pm COMP_{LIMIT} \cdot 128 \rfloor \\ &= \pm 61312 \end{aligned} \quad (5.87)$$

En la figura 5.69 se observa el controlador implementado con lógica digital. Se realiza un nuevo cálculo cuando ocurre un flanco de subida en la señal de sincronismo EC. En esta situación se actualizan los registros de memoria (o latch).

Todas las operaciones de suma y multiplicación del controlador se realizan con números de 22[bits]. No obstante, las interfaces de entrada y salida no tienen el mismo tipo de dato. Es por ello que se requiere de las operaciones CAST, que realizan un ajuste del tipo de dato. Estas operaciones rellenan el número con ceros, o bien desprecian la parte fraccionaria.

La señal DN_{ERROR} es un número digital de 13[bits], y se convierte en número digital de 22[bits], por medio de CAST1. En la salida, la operación CAST2 toma los 11[bits] LSB de la mantisa. El valor del limitador ($COMP_{LIMIT}$) se almacena en un registro de memoria, para que pueda modificarse en caso de ser necesario. Es un número de 10[bit] y se convierte en un número de 22[bits], mediante la operación CAST3.

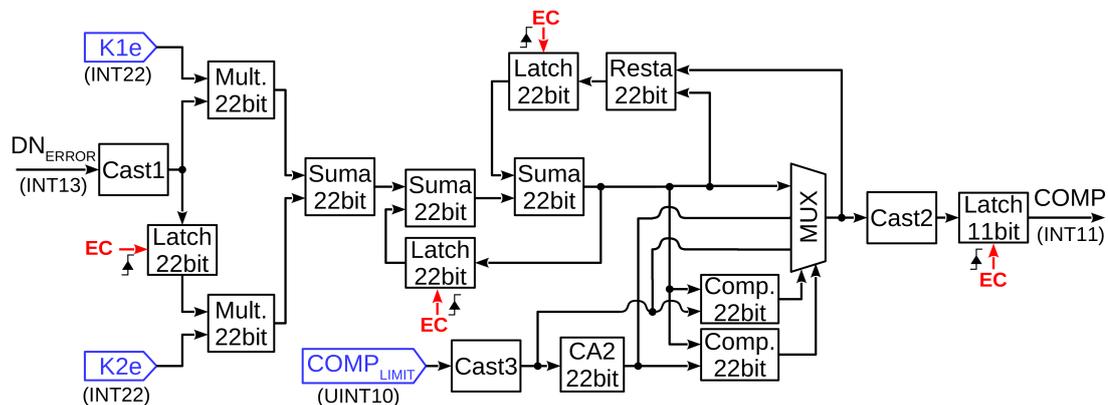


Fig. 5.69: Etapa de controlador PI del circuito digital.

5.8.7 Etapa de sincronismo

La etapa de sincronismo se encarga de coordinar el funcionamiento del circuito digital. Las funciones que realiza esta etapa son:

- Gestionar el encendido/apagado del control térmico.

- Generar la secuencia de encendido.
- Gestionar el apagado permanente del control térmico de un sensor individual.
- Manejar el circuito SEL&DIG para muestrear las señales analógicas.
- Indicar a la etapa controlador PI cuándo debe actualizar su salida.
- Almacenar el último valor de temperatura de los sensores.
- Generar una cuenta ascendente/descendente para la etapa de generación de PWM.
- Distribuir una señal de reloj para el funcionamiento de todas las funciones mencionadas.

En la figura 5.70 se observa el circuito completo de la etapa de sincronismo. Esta se separa en bloques según la función que cumplen.

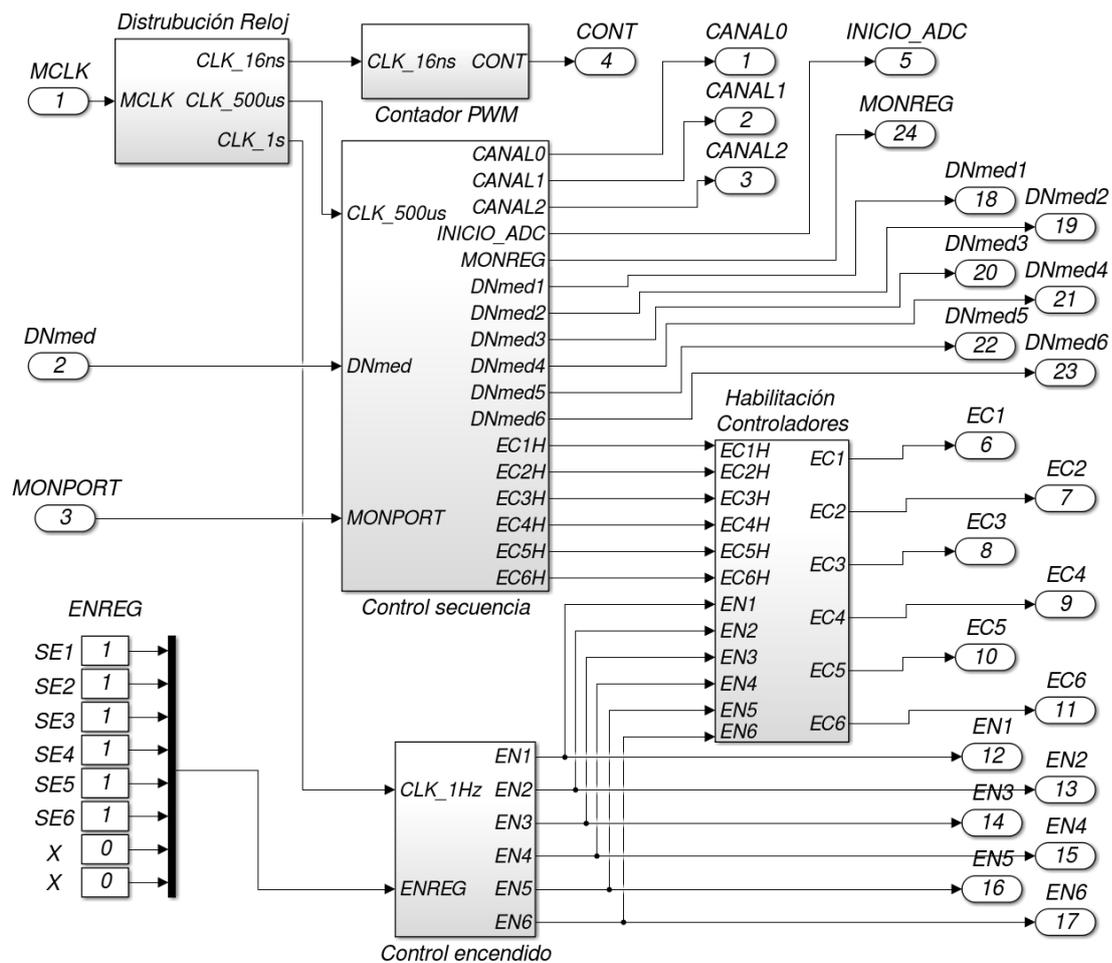


Fig. 5.70: Etapa de sincronismo del circuito digital.

En la figura 5.71 se observa el circuito del contador de PWM. El contador ascendente/descendente debe tomar valores entre -625[CD] y 625[CD]. Para ello, se

utiliza un contador de 11 bits con un circuito de control auxiliar que maneja la dirección de la cuenta, ascendente o descendente. Este último está formado por dos comparadores y un flip-flop S-R. El valor de comparación se fija en 625[CD] y 1423[CD]. Este último valor es equivalente a -625[CD] cuando se interpreta como un número con signo. En la figura 5.72 se observa una gráfica de los números interpretados con y sin signo.

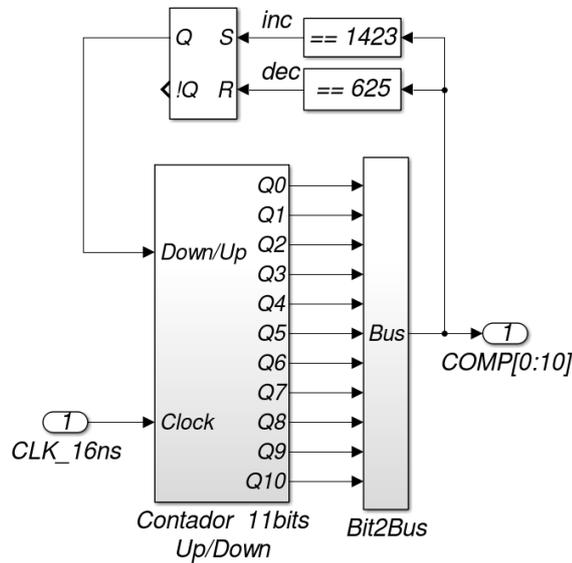


Fig. 5.71: Bloque contador PWM de la etapa de sincronismo del circuito digital.

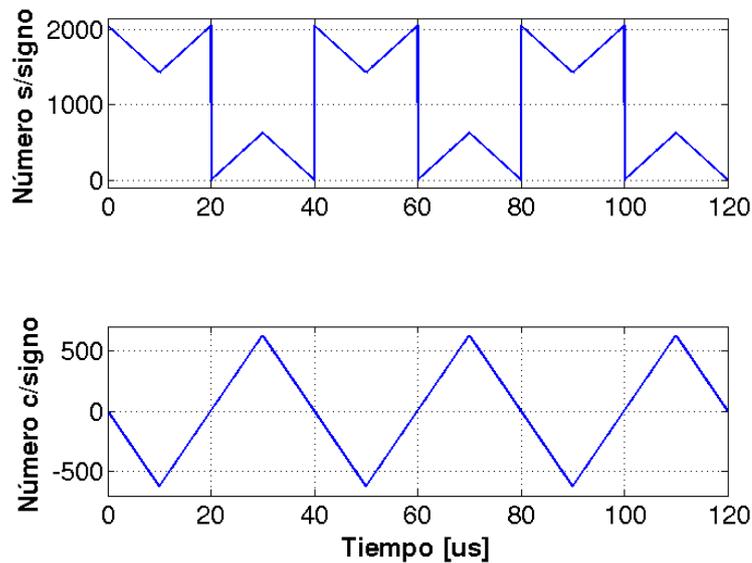


Fig. 5.72: Cuentas digitales del contador de PWM.

En la figura 5.73 se observa el circuito digital del bloque de control de encendido. Éste apaga en forma individual el control térmico de algún sensor en caso de fallas y en forma temporal durante la secuencia de encendido.

El apagado individual se controla con el registro de memoria de ENREG. En la figura 5.74 se observa el registro de control de encendido. Un “1” lógico representa el estado encendido y un “0” lógico representa el estado apagado.

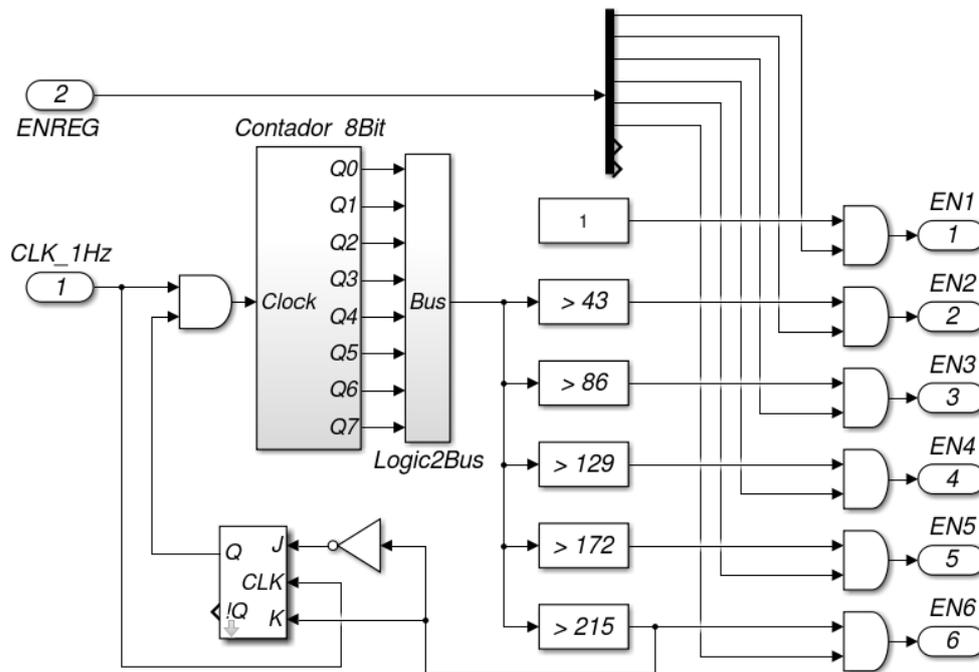


Fig. 5.73: Bloque de encendido de la etapa de sincronismo del circuito digital.

b7	b6	b5	b4	b3	b2	b1	b0
X	X	SE6	SE5	SE4	SE3	SE2	SE1

Fig. 5.74: Registro de control de encendido individual del control térmico.

La secuencia de encendido se realiza con un contador de 8[Bits] y sucesivos comparadores que habilitan las salidas cada 43[s]. Cuando la cuenta supera el último valor de comparación, un circuito basado en un flip-flop detiene al contador. La secuencia de encendido sólo funciona una vez que se energiza el instrumento. Una vez concluida la secuencia de encendido, el contador detiene su cuenta por la acción de un circuito auxiliar basado en un flip-flop.

En la figura 5.75 se observa el circuito digital del bloque control de secuencia. Este bloque controla la digitalización, el almacenamiento de valor medido, el almacenamiento del estado del circuito monitor y la ejecución del controlador PI. Su funcionamiento se basa en un contador de 4[bits] de módulo 30 con un reloj de 500[μ s] que opera de forma cíclica. Esto resulta en un reinicio cada 15[ms]. La secuencia de adquisición se da con tres comparadores. La salida de cada comparador es un pulso de duración de 500[μ s]. En cada reinicio del contador de módulo 30, se incrementa el contador de módulo 6 en una unidad. Este último contador indica a que sensor corresponde la adquisición actual. De esta forma, se tiene un período de muestreo de 90[ms] por cada sensor.

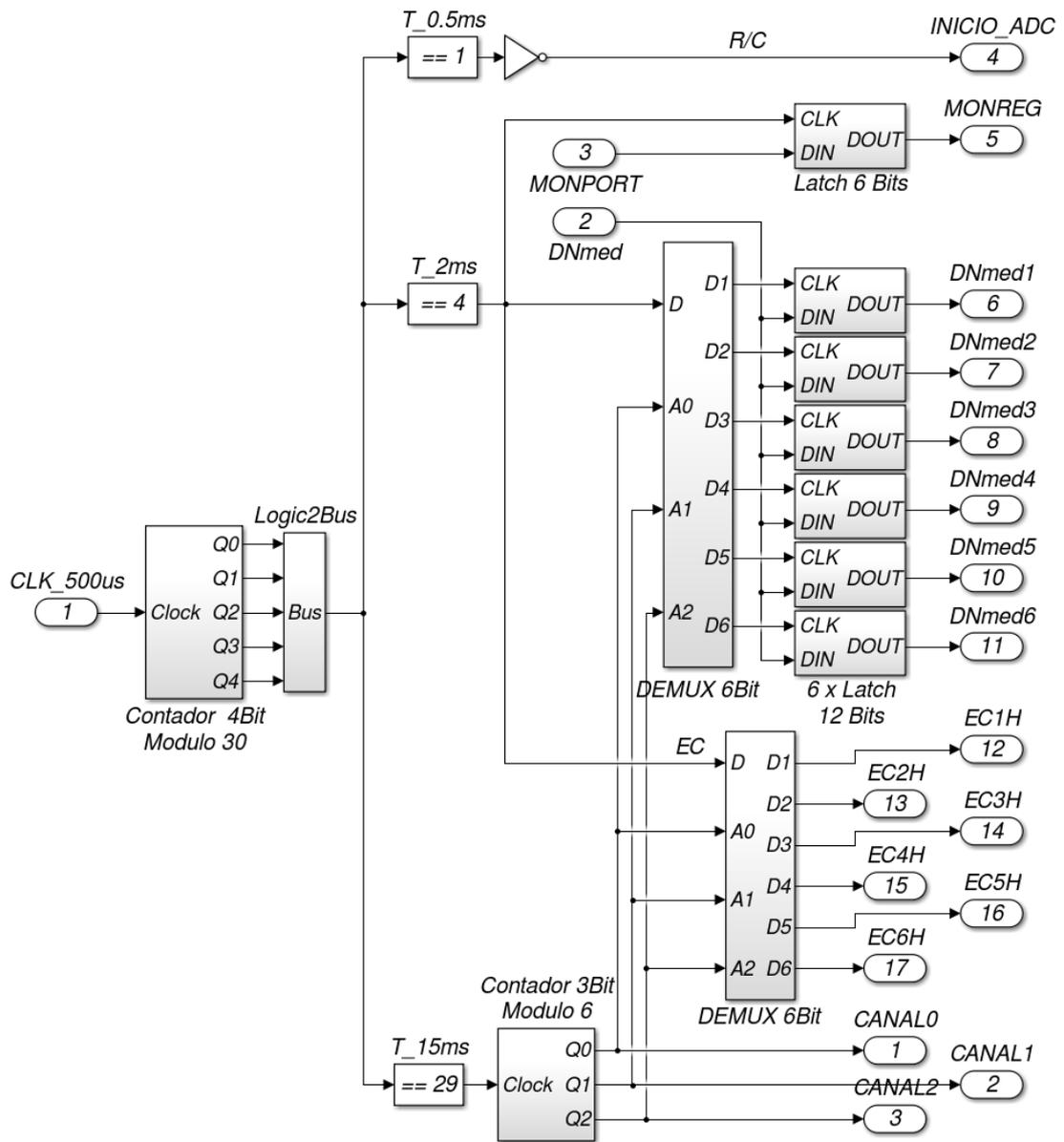


Fig. 5.75: Bloque de control de secuencia de la etapa de sincronismo del circuito digital.

En la figura 5.76 se observa el número digital de contador, la dirección del canal y cada una de las salidas de los comparadores.

En la figura 5.77 se observa el circuito del bloque de habilitación de los controladores. Durante la secuencia de encendido transcurre un tiempo en donde el driver no actúa sobre el módulo Peltier. Si los controladores PI funcionan durante este lapso de tiempo, el término integral se incrementa exageradamente a causa de que el error no disminuye. En consecuencia, para evitar un desborde de los acumuladores, se deshabilita a los controladores PI mientras su respectivo control térmico esté apagado.

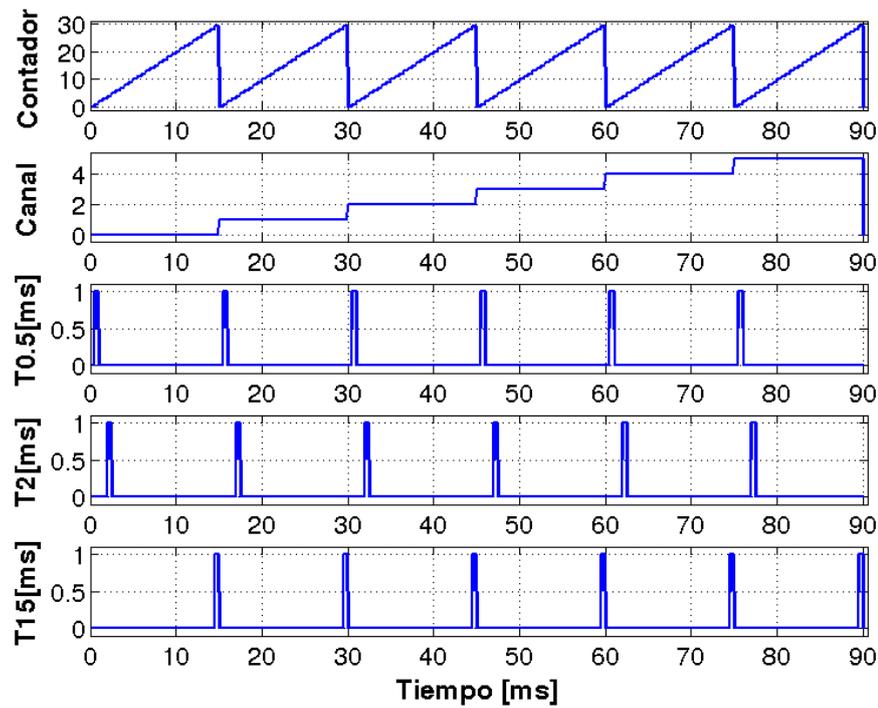


Fig. 5.76: Señales internas del circuito de control de secuencia.

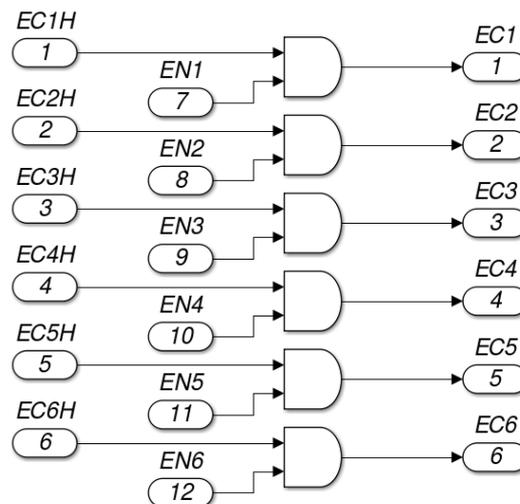


Fig. 5.77: Bloque de habilitación de la etapa de sincronismo del circuito digital.

El bloque de distribución de reloj se abastece de un reloj primario de período 16[ns] (frecuencia 62.5[MHz]) y con dos contadores se obtienen las señales de período 500[μ s] y 1[s]. Se utiliza la señal de reloj de 500[μ s] para generar la señal de 1[s], de esta forma el contador resulta más pequeño. En las ecuaciones (5.88) y (5.89) se calcula el módulo y los bits necesarios del contador utilizado para obtener el reloj de 500[μ s], y en las ecuaciones (5.90) y (5.91) se calcula el módulo y los bits necesarios del contador utilizado para obtener el reloj de 1[s].

$$Mod_{C1} = \frac{500[\mu s]}{16[ns]} = 31250 \quad (5.88)$$

$$N_{C1} = \left\lceil \frac{\log(\text{Mod}_{C1})}{\log(2)} \right\rceil = \lceil 14,93 \rceil = 15 \quad (5.89)$$

$$\text{Mod}_{C2} = \frac{1[s]}{500[\mu s]} = 2000 \quad (5.90)$$

$$N_{C2} = \left\lceil \frac{\log(\text{Mod}_{C2})}{\log(2)} \right\rceil = \lceil 10,96 \rceil = 11 \quad (5.91)$$

En la figura 5.78 se observa el bloque de distribución de reloj.

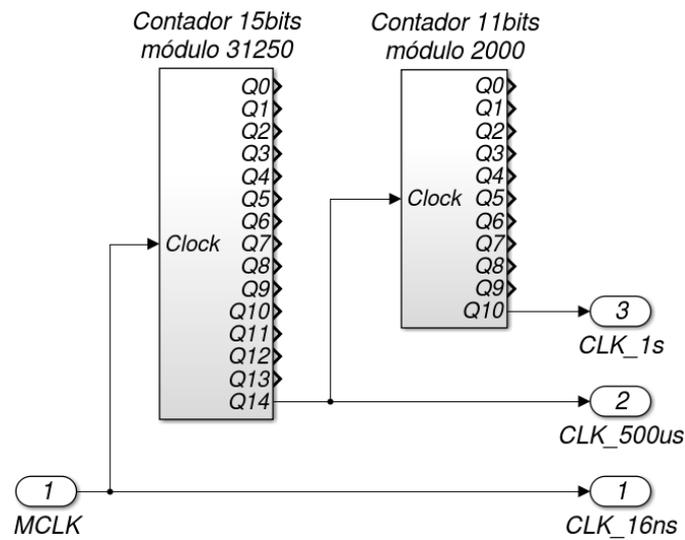


Fig. 5.78: Bloque de distribución de reloj de la etapa de sincronismo del circuito digital.

5.8.8 Análisis del circuito digital

Se analiza el funcionamiento del circuito digital con los resultados de simulación. Los resultados son tenidos en cuenta para la verificación de los requerimientos y el modelado.

Resolución de las señales de PWM

Se realiza una simulación de la etapa de generación de PWM con un valor de COMP=10 y otra COMP=11. Para COMP=10, el flanco de subida resulta en 0.347[μs] y el flanco de bajada en 0.667[μs], resultando un ancho de pulso de 0.320[μs] y un DC=1.6[%]. Para COMP=11, el flanco de subida resulta en 0.331[μs] y el flanco de bajada en 0.683[μs], resultando un ancho de pulso de 0.352[μs] y un DC=1.76[%]. Por lo tanto el incremento de una cuenta en COMP aumenta en un 0.16[%] el ancho de pulso. En la figura 5.79 se observa el ciclo útil de la señal diferencial del PWM de ambas simulaciones.

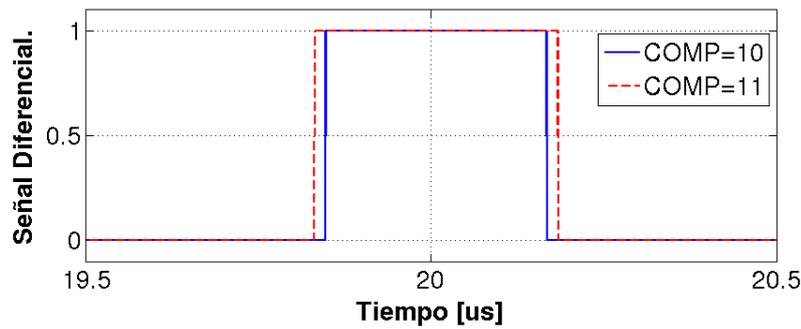


Fig. 5.79: Análisis de resolución de la etapa de generación de PWM del circuito digital.

Señales del PWM diferencial

Se realizan simulaciones de la etapa de generación de PWM para obtener un DC diferencial de $DC=15[\%]$ y $DC=-15[\%]$. Las señales $S\#_P$ y $S\#_N$ tienen un período de $40[\mu s]$ que corresponde a $25[\text{KHz}]$, mientras que la señal diferencial tiene un período de $20[\mu s]$ que corresponde a $50[\text{KHz}]$. Se observa que para el $DC=15[\%]$ el valor medio de la señal de la señal es positivo, y para $DC=-15[\%]$ es negativo. En las figuras 5.80 y 5.81 se observan las señales de salida de la etapa de generación de PWM ($S\#_P$ y $S\#_N$) y la resultante diferencial.

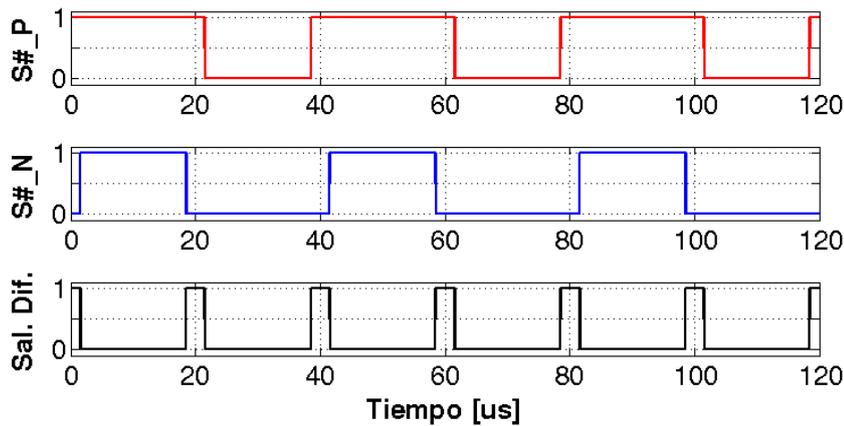


Fig. 5.80: Señales de PWM para un $DC=15[\%]$.

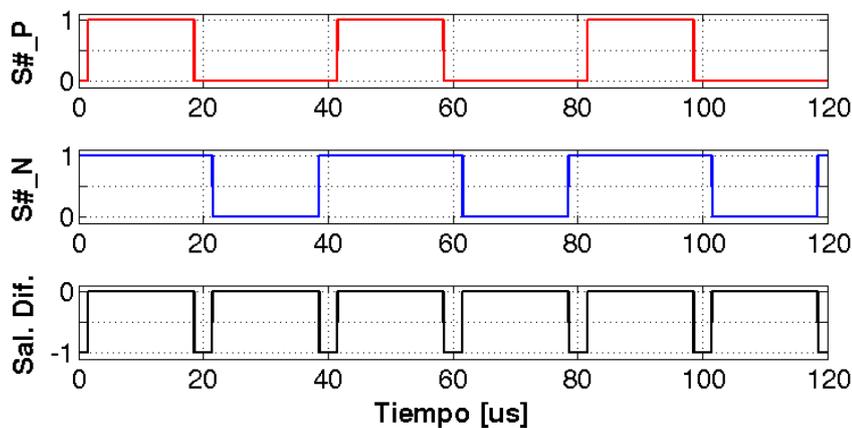


Fig. 5.81: Señales de PWM para un $DC=-15[\%]$.

Secuencia de encendido

Se realiza una simulación del bloque de control de encendido. Se observa que, ni bien se energiza el instrumento, se habilita el control térmico del sensor 1 y, luego, cada 43[s] se encienden los restantes. En la figura 5.82 se observan las señales de salida del bloque de control de encendido EN[1:6] durante una secuencia de encendido.

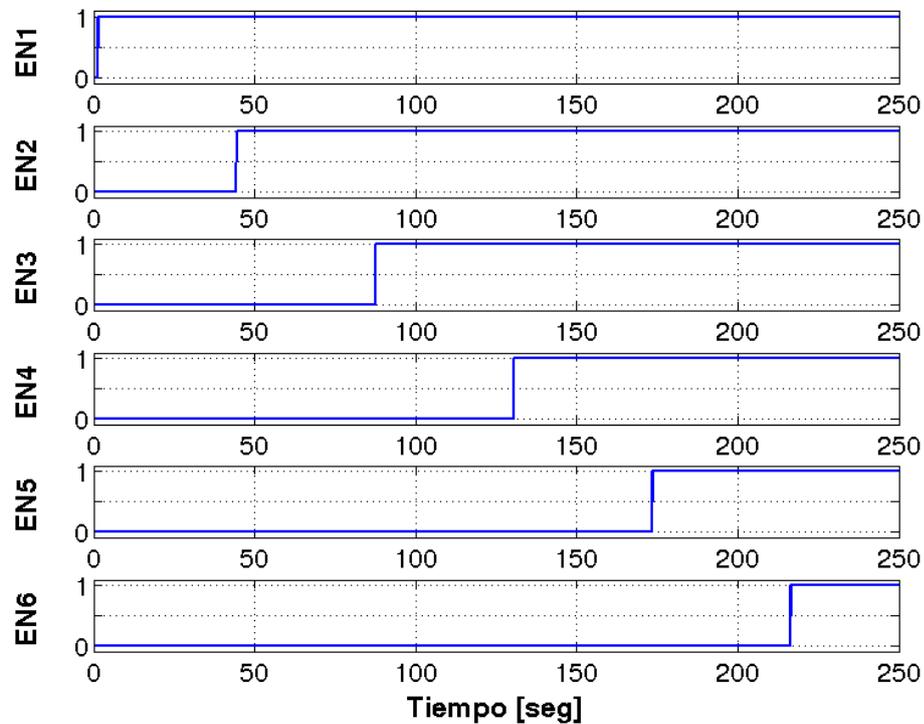


Fig. 5.82: Señales de habilitación durante la secuencia de encendido.

Tiempo de muestreo

Se realiza una simulación del bloque de control de secuencia. Se observa que la adquisición de cada canal analógico y la actualización del correspondiente controlador PI se realiza cada 90[ms]. En la figura 5.83 se observa la dirección del canal analógico, la señal de inicio de conversión y las señales de actualización de los controladores PI. Se aclara que el inicio de la gráfica es a los 300[s], momento en el cual la secuencia de encendido ha concluido.

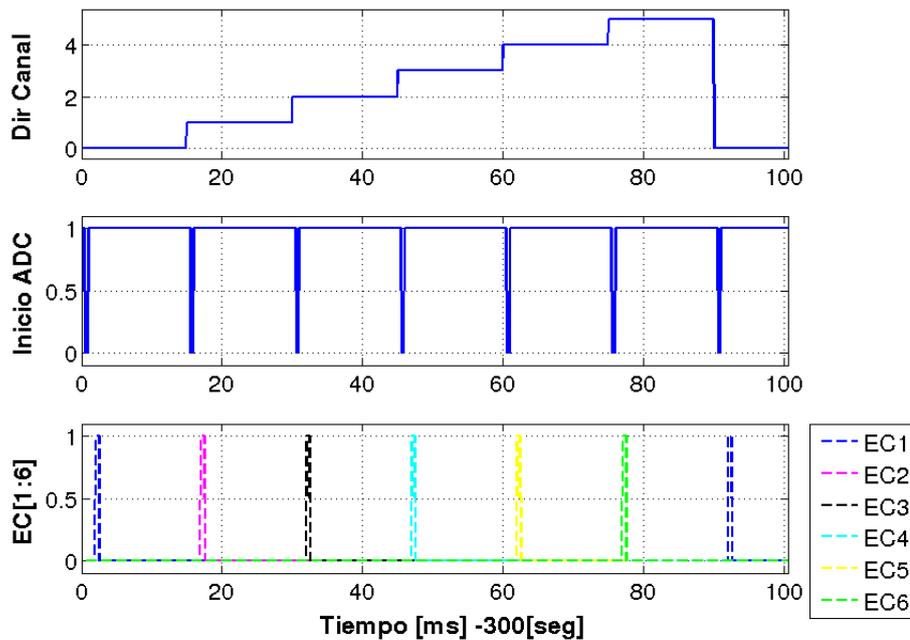


Fig. 5.83: Señales de inicio de conversión y actualización del controlador PI.

Interfaces del circuito digital

Se analizan las interfaces del circuito digital. En la tabla 5.20 se describen las interfaces que vinculan al circuito digital con otros circuitos del control térmico. Por lo tanto son interfaces que requieren un terminal de la FPGA para su ingreso o egreso. Según este análisis, se requieren 34 terminales de la FPGA para el control térmico. En la tabla 5.21 se describen las interfaces que vinculan al circuito digital con otros circuitos digitales del instrumento dentro de la FPGA.

Interfaz	Terminales	Dirección	Descripción
PWM#_P	6	Salida	Señales de control del circuito driver.
PWM#_N	6	Salida	Señales de control del circuito driver.
CANAL[1:3]	3	Salida	Selección del canal analógico del circuito SEL&DIG (A0 A1 y A2).
INICIO_ADC	1	Salida	Control de digitalización del circuito SEL&DIG.
DNMED	12	Entrada	Cuentas digitales de la digitalización del circuito SEL&DIG.
MONPORT	6	Entrada	Estado de la alimentación de los circuitos drivers.

Tabla 5.20: Interfaces del circuito digital externas a la FPGA.

Interfaz	Bits	Cantidad	Dirección	Descripción
DNREF	12	1	Entrada	Valor digital de estabilización de temperatura.
K1E	22	1	Entrada	Coeficiente de configuración del control PI.
K2E	22	1	Entrada	Coeficiente de configuración del control PI.
COMPLIMIT	10	1	Entrada	Limitador del voltaje aplicado al Peltier.
ENREG	8	1	Entrada	Registro de control de encendido individual del control térmico de los sensores.
DNMED#	12	6	Salida	Registros de las cuentas digitales correspondiente a la temperatura de los sensores .
MONREG	1	1	Salida	Registro de estado de la alimentación de los driver.
MCLK	1	1	Entrada	Señal de reloj maestro para sincronismo.

Tabla 5.21: Interfaces del circuito digital internas a la FPGA.

Recursos utilizados por el circuito digital

Se realiza un conteo de los recursos utilizados de cada etapa del circuito digital, y luego se calcula el total. Debido a la gran diversidad de elementos utilizados, los recursos se agrupan por categoría y tamaño. En la tabla 5.22 se observa un resumen de los recursos utilizados.

Recursos	Habilitación	Generación de PWM	Cálculo de error	Controlador PI	Sincronismo	Total
Contadores 1 a 4 bits	–	–	–	–	2	2
Contadores 5 a 8 bits	–	–	–	–	1	1
Contadores 9 y 12 bits	–	–	–	–	2	2
Contadores 13 y 15 bits	–	–	–	–	1	1
Sumador /Restador	–	–	6	24	–	30
<i>Continúa en la siguiente página</i>						

Recursos	Habilitación	Generación de PWM	Cálculo de error	Controlador PI	Sincronismo	Total
Multiplicación 22 bits	–	–	–	12	–	12
Comparadores	–	12	–	12	10	34
DEMUX	–	–	–	–	2	2
MUX	–	–	–	6	–	6
Compuertas lógicas	12	–	–	–	14	26
Complemento A2	–	6	–	6	–	12
Latch 6 a 12 bits	–	–	–	6	7	13
Latch 22 bits	–	–	–	18	–	18
Flip-Flop	–	–	–	–	2	2

Tabla 5.22: Recursos utilizados en el circuito digital.

5.8.9 Verificación de requerimientos del circuito digital

Para concluir el análisis del circuito digital, se verifican los requerimientos de diseño. Todos los requerimientos se cumplen satisfactoriamente y en la tabla 5.23 se vincula cada uno de ellos con el análisis que los verifica.

Requerimiento	Resumen	Verificación /Método
L6-TIR-CTS-DIG01	Debe haber un controlador PI por cada sensor.	✓ Análisis (Sección 5.8.2)
L6-TIR-CTS-DIG02	Tomar una muestra de temperatura de cada sensor cada 90[ms].	✓ Simulación (Sección 5.8.8)
L6-TIR-CTS-DIG03	Actualizar el controlador PI por cada adquisición.	✓ Análisis (Sección 5.8.8)
L6-TIR-CTS-DIG04	Señales de PWM de Frec=25[KHz] y DC<0.192[%]	✓ Simulación (Sección 5.8.8)
L6-TIR-CTS-DIG05	Entregar el valor de la temperatura medida	✓ Análisis (Sección 5.8.7)
L6-TIR-CTS-DIG06	Secuencia de encendido con intervalos de 43[s]	✓ Simulación (Sección 5.8.8)
L6-TIR-CTS-DIG07	Configurar la temperatura de estabilización entre 10[°C] y 16[°C]	✓ Análisis (Sección 5.8.5)
L6-TIR-CTS-DIG08	Dejar en un registro la información del circuito monitor.	✓ Análisis (Sección 5.8.7)

Tabla 5.23: Verificación de requerimientos del circuito digital.

5.9 Circuito completo

A partir de los circuitos seleccionados, se elabora el circuito esquemático resultante.

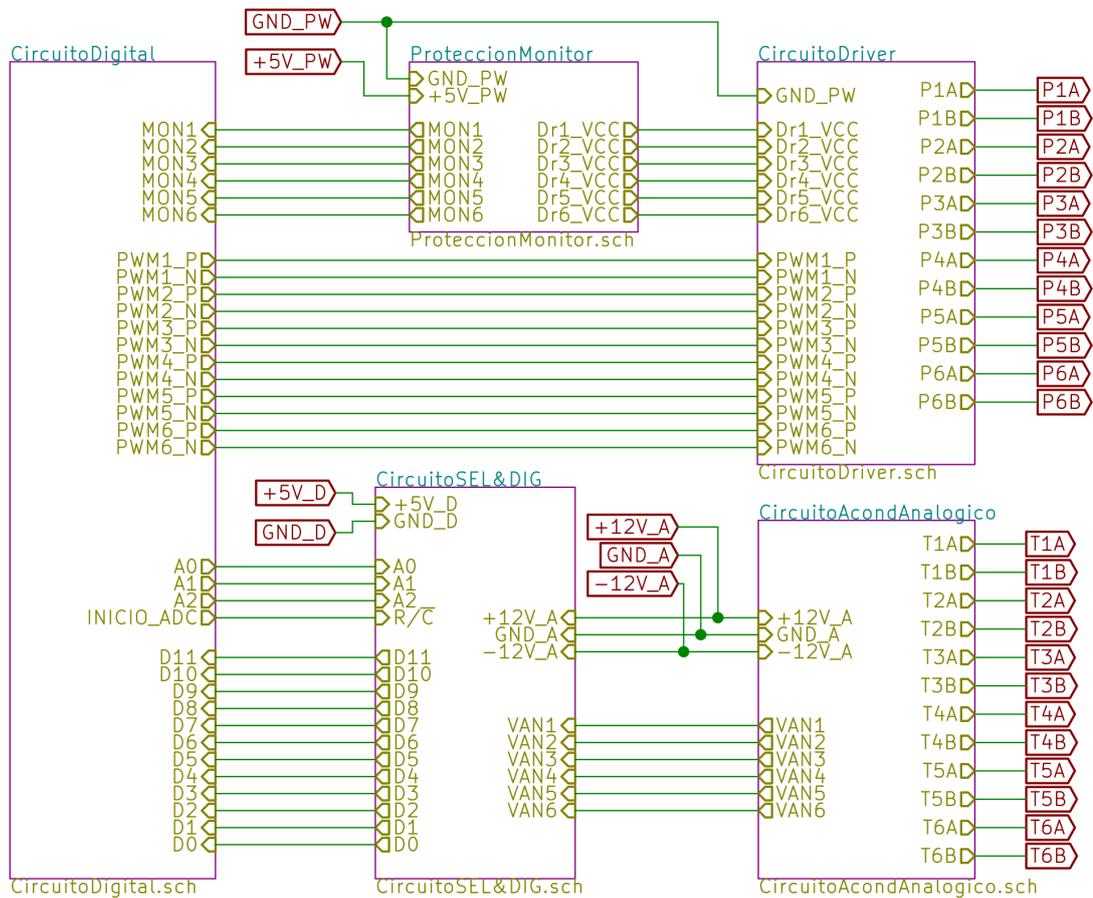


Fig. 5.84: Circuito esquemático completo.

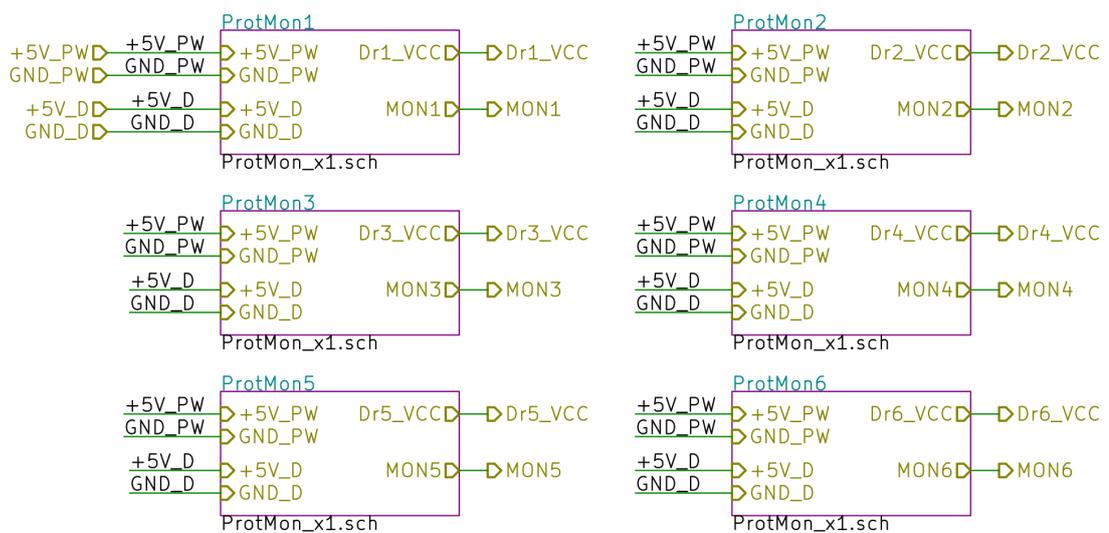


Fig. 5.85: Conjunto de seis circuitos de protección y monitor.

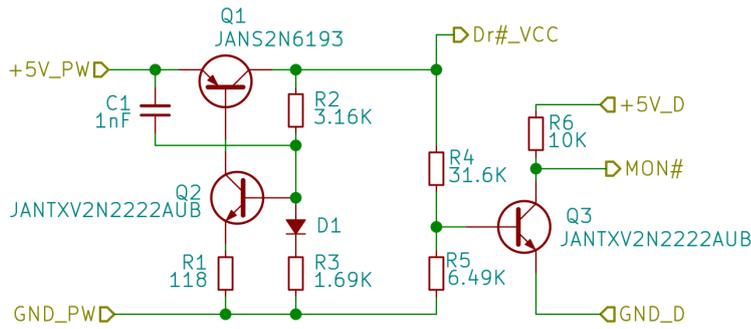


Fig. 5.86: Circuitos de protección y monitor individuales.

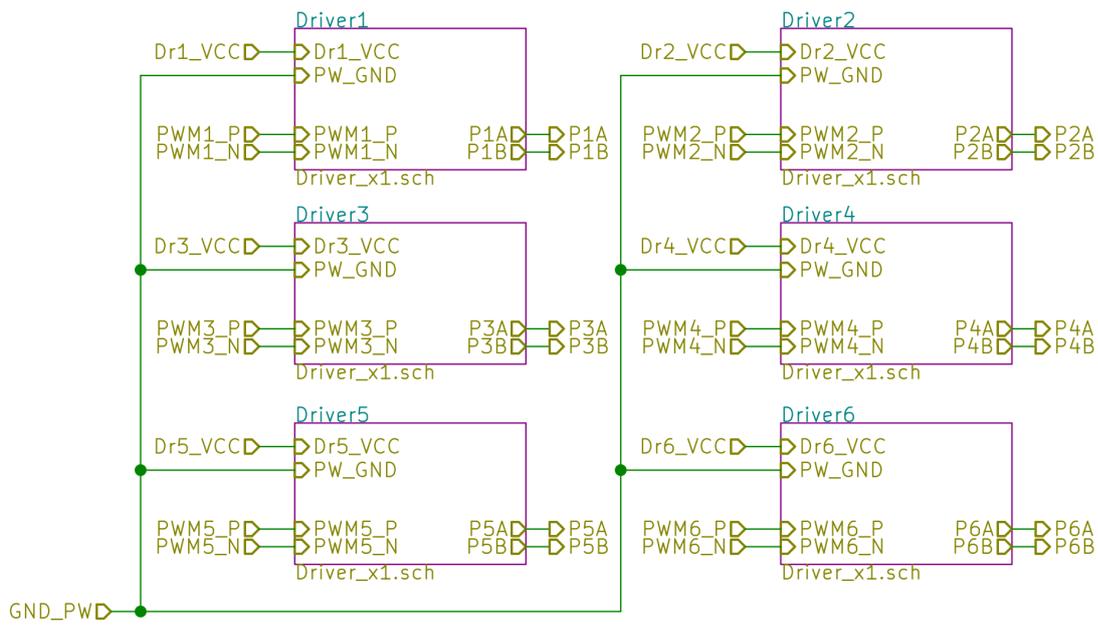


Fig. 5.87: Conjunto de seis circuitos driver.

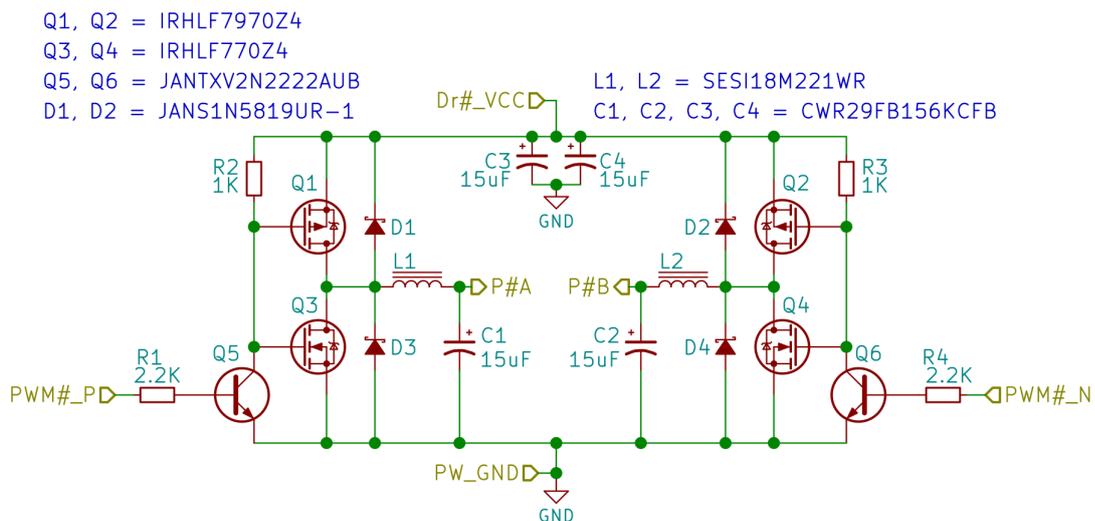


Fig. 5.88: Circuito driver individual.

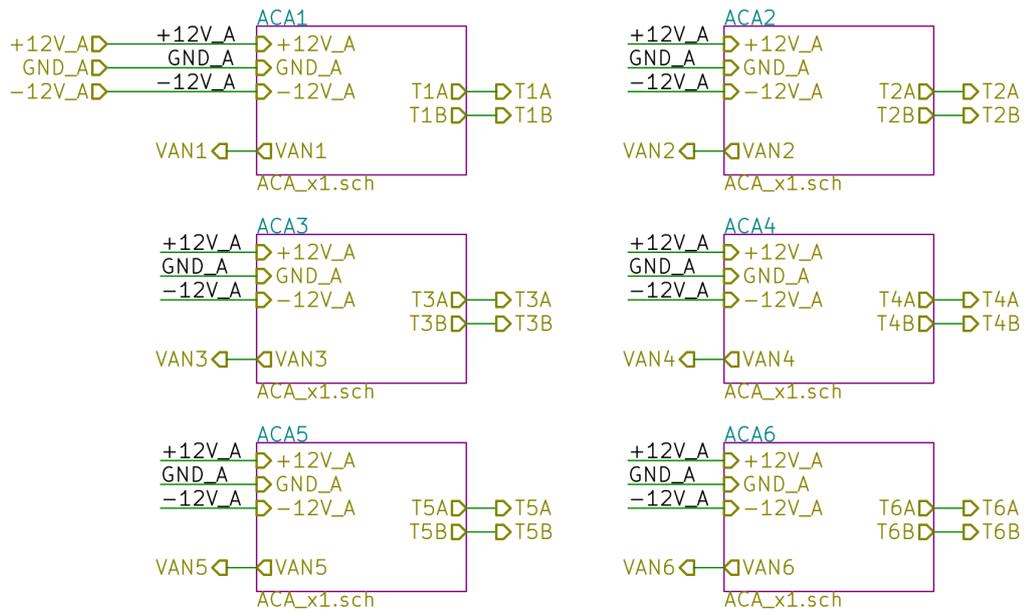


Fig. 5.89: Conjunto de seis circuitos analógicos.

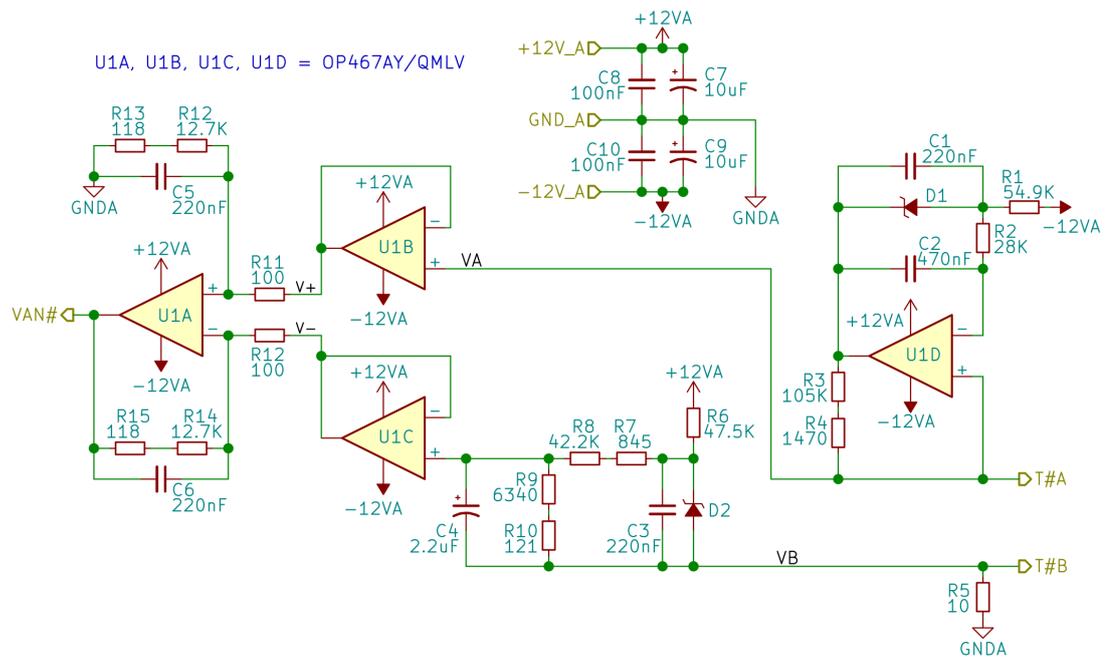


Fig. 5.90: Circuito de acondicionamiento analógico individual.

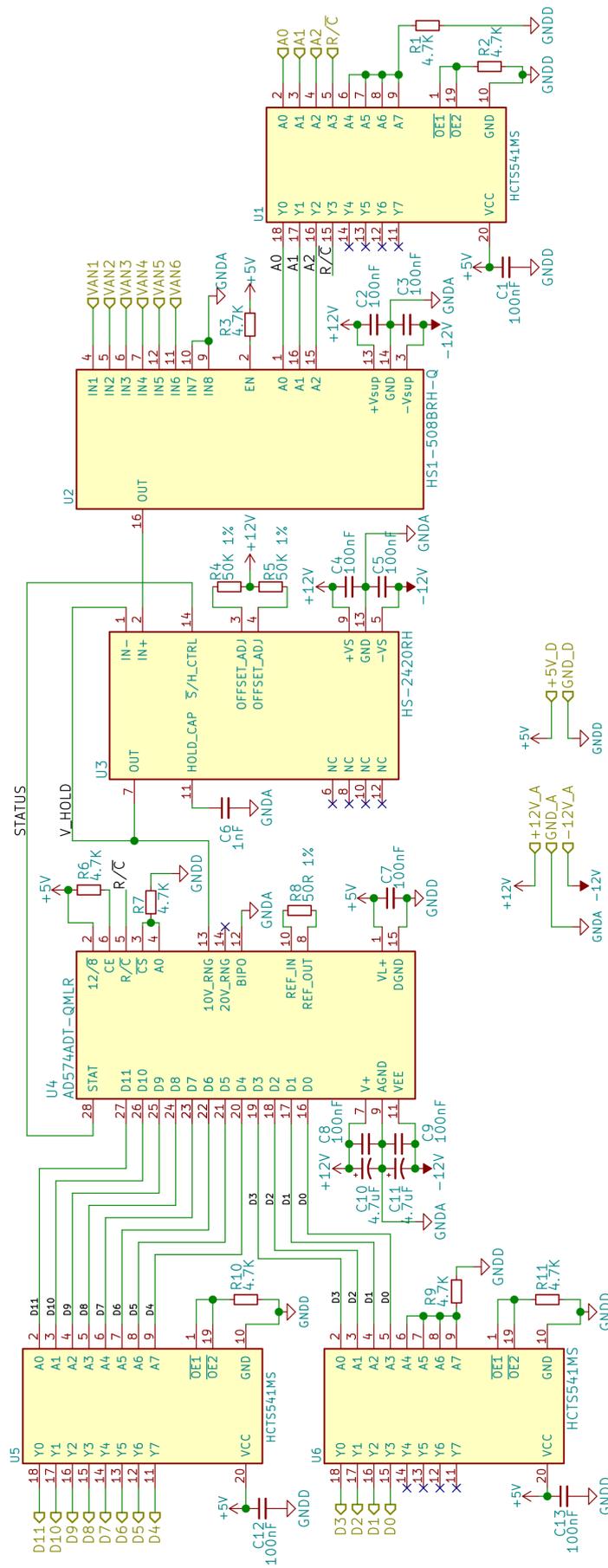


Fig. 5.91: Circuito SEL&DIG.

Modelado de circuitos

Se disponen de todos los circuitos, seleccionados en el capítulo anterior, que forman al sistema de control térmico. Sin embargo, para verificar el rendimiento del sistema, es necesario introducir el comportamiento de los circuitos en el simulador.

En este capítulo se elaboran modelos matemáticos que representan el funcionamiento de los circuitos. Con éstos se construyen, a su vez, subsistemas de Simulink para que sean compatibles con el simulador. Luego, se utilizan para realizar la evaluación de desempeño del control térmico.

6.1 Modelado del circuito driver

Se modela el voltaje de salida del circuito driver en función del DC y V_α . Para ello, se toma información de las simulaciones realizadas en la sección 5.3.6. El modelado se realiza con la herramienta CFTOOL de Matlab y resulta en la ecuación (6.1). Se comienza por obtener una ecuación del voltaje de salida en función de DC considerando el $V_\alpha=0$. Luego, se obtiene una ecuación del voltaje de salida en función de V_α considerando un DC=0. El modelo calcula el valor de estado estacionario del voltaje de salida del driver. No se tiene en cuenta la respuesta en frecuencia, ya que por ser superior a 100[Hz] resulta despreciable para el lazo de control.

$$V_p = 0,0261 \left[\frac{V}{\%} \right] \cdot DC + 0,4913 \left[\frac{V}{V} \right] \cdot V_\alpha \quad (6.1)$$

En la figura 6.1 se observa el error de voltaje del modelo respecto del valor obtenido en el análisis de la sección 5.3.6.

Para utilizar el modelo en el simulador, se elabora el subsistema de Simulink de la figura 6.2. El retentor de orden cero es necesario para que la salida se actualice acorde al tiempo de muestreo.

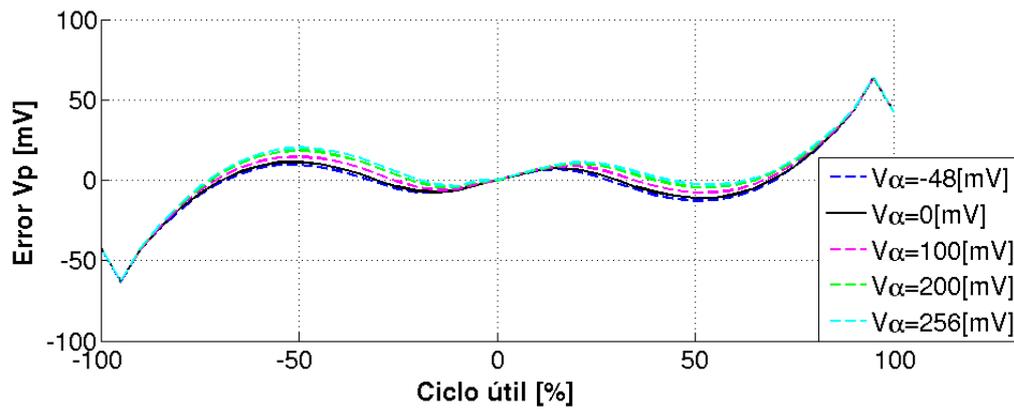


Fig. 6.1: Error del modelo de voltaje de salida del circuito driver.

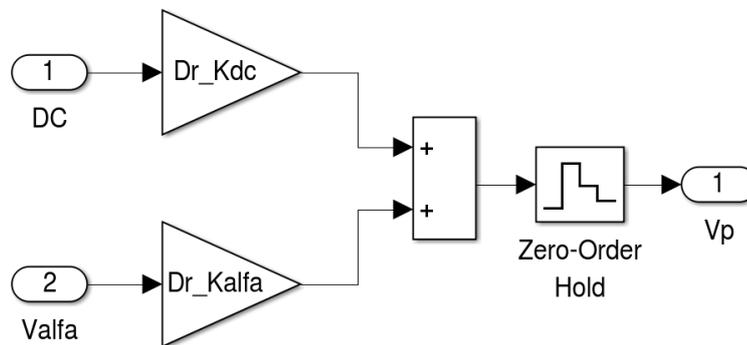


Fig. 6.2: Subsistema del modelo del circuito driver.

También se elabora un modelo de consumo del circuito driver. Se considera, según los análisis de la sección 5.3.5, que el consumo del driver en el escenario frío es $P_{\text{DRIVER-FRÍO}}=492[\text{mW}]$ y en el escenario caliente $P_{\text{DRIVER-CAL}}=657[\text{mW}]$. En el caso del escenario de encendido en frío, resulta conveniente modelar la eficiencia del circuito en función del voltaje de salida. El modelo se realiza con la herramienta CFTOOL y resulta en la ecuación (6.2), en la que los coeficientes corresponden a (6.3). En la elaboración de este modelo se considera que $V_{\alpha}=0[\text{V}]$.

$$Eff[\%] = \sum_{n=0}^5 a_n \sin(b_n \cdot V_P + c_n) \quad (6.2)$$

$$\begin{array}{lll} a_1 = 54,490 & b_1 = 0,648 & c_1 = 1,571 \\ a_2 = 44,960 & b_2 = 1,345 & c_2 = -1,571 \\ a_3 = 1,586 & b_3 = 5,655 & c_3 = -1,571 \\ a_4 = 7,769 & b_4 = 3,500 & c_4 = -1,571 \\ a_5 = 0,235 & b_5 = 7,904 & c_5 = -1,57 \end{array} \quad (6.3)$$

En la figura 6.3 se observa el error del modelo de eficiencia del circuito driver. El error de modelado se mantiene por debajo de 1[%], entre -2.2[V] y -0.3[V], y entre 0.3[V] y 2.2[V]. Este rango es el más importante para la evaluación del consumo.

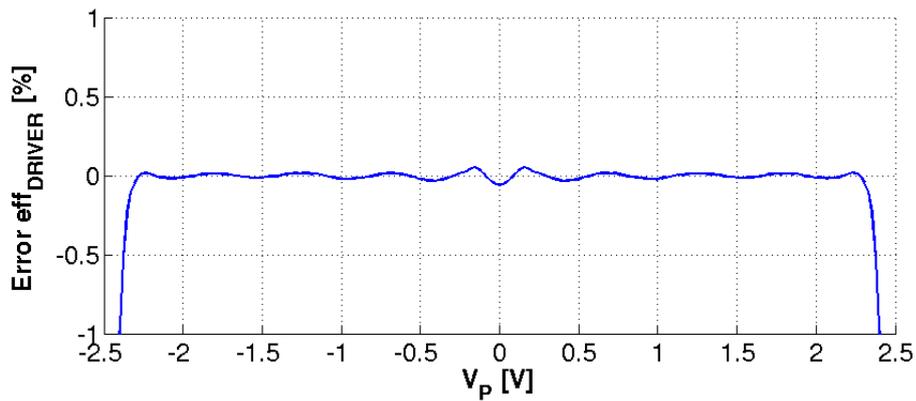


Fig. 6.3: Error del modelo de eficiencia del circuito driver.

6.2 Modelado del circuito de protección

El simulador no contempla casos de fallas, y es por esta razón que no se realiza un modelo del funcionamiento del circuito de protección. Sin embargo, es necesario tenerlo en cuenta para la evaluación de consumo.

Se considera que este circuito tiene una eficiencia constante $\text{eff}_{\text{PROTECCION}}=93[\%]$, teniendo en cuenta los análisis de la sección 5.4. En dicho análisis se asegura que la eficiencia es superior al 93 [%], entre 0.2[A] y 1[A]. En términos de potencia, este rango comprende los valores de disipación más significativos. Por debajo de 0.2[A] el modelo incrementa el error introducido. El máximo valor de error de consumo es 60[mW]. En la figura 6.4 se observa el error del modelo de eficiencia del circuito de protección.

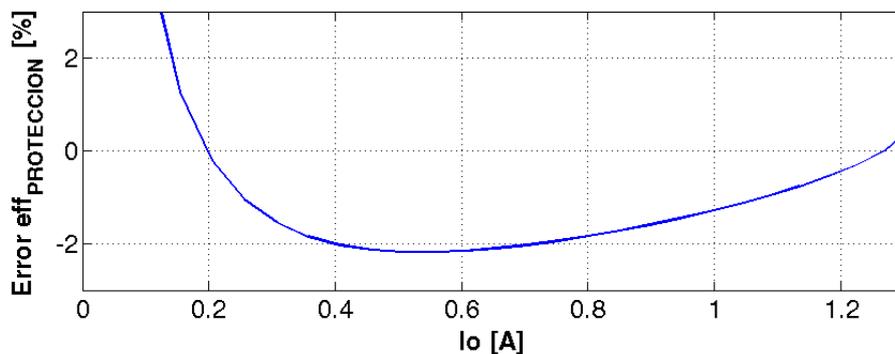


Fig. 6.4: Error del modelo de eficiencia del circuito de protección.

6.3 Modelado del circuito monitor

El funcionamiento del circuito monitor, al igual que el circuito de protección, no se tiene en cuenta en el simulador debido a que sólo actúa en caso de fallas.

El consumo de este circuito se considera constante por lo que se toma el peor caso según el análisis realizado en la sección 5.5. El valor resulta de $P_{\text{MON}}=3.3[\text{mW}]$.

6.4 Modelado del circuito de SEL&DIG

Se modela el resultado de la digitalización del circuito SEL&DIG en función del voltaje de entrada. El modelo considera un funcionamiento ideal del ADC. En la ecuación (6.4) se observa la expresión matemática del modelo en donde DN_{MED} es el número digital disponible en las señales D0-D11 y V_{AN} es el voltaje del canal analógico seleccionado. El valor de $V_{BIT}=2.4412[mV]$, el cual se calcula en la sección 5.6.3.

$$DN_{MED} = \begin{cases} 0 & \text{Si } V_{AN} < 0[V] \\ \left\lfloor \frac{V_{AN}}{V_{BIT}} \right\rfloor & \text{Si } 0[V] < V_{AN} < 10[V] \\ 4095 & \text{Si } V_{AN} > 10[V] \end{cases} \quad (6.4)$$

En la figura 6.5 se observa el modelo como un subsistema de Simulink. A diferencia de la ecuación (6.4), el modelo en Simulink incluye la etapa de muestreo y retención. El bloque de muestreo y retención considera como condición inicial un voltaje acorde a la temperatura inicial configurada por el escenario de simulación.

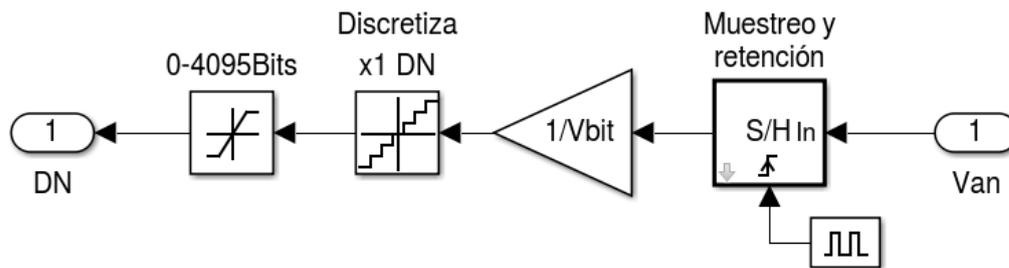


Fig. 6.5: Subsistema del modelo del circuito SEL&DIG

El consumo del circuito SEL&DIG se considera constante, siendo el consumo digital $P_{D-SEL\&DIG}=211[mW]$, el consumo analógico $P_{A-SEL\&DIG}=582[mW]$ y el consumo total $P_{SEL\&DIG}=793[mW]$.

6.5 Modelado del circuito de acondicionamiento analógico

Se modela el comportamiento del voltaje de salida del circuito de acondicionamiento analógico en función de la resistencia del termistor. Se toman como base las simulaciones realizadas en la sección 5.7.3. El modelo se realiza con la herramienta CFTOOL de Matlab y resulta en la ecuación (6.5), en donde $K_{AA}=1.449413 \cdot 10^{-3}[V/\Omega]$ y $C_{AA}=20.3900110[V]$. El ajuste de la ecuación se realiza con los datos comprendidos en el rango de voltaje de entrada del ADC, es decir, entre 0V y 10V.

$$V_{AN} = K_{AA} \cdot R_T - C_{AA} \tag{6.5}$$

En la figura 6.6 se observa el error del modelo de voltaje de salida del circuito de acondicionamiento analógico. El máximo valor de error del modelo para el rango de voltaje de salida (V_{AN}) entre 0[V] y 10[V] resulta de 0.93[mV].

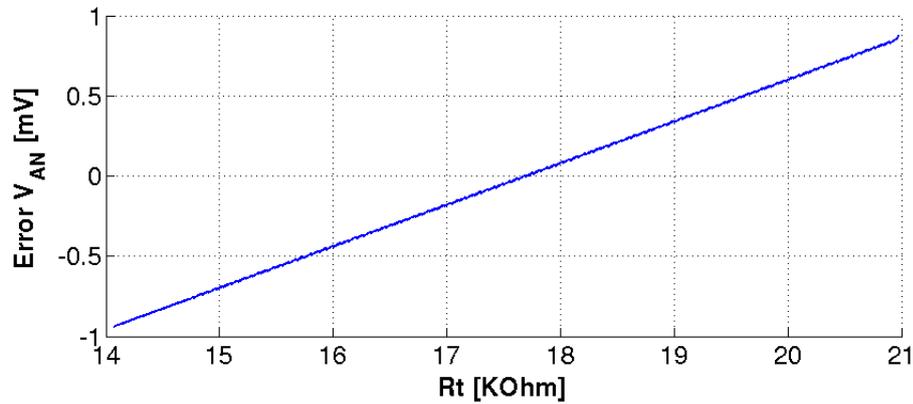


Fig. 6.6: Error del modelo de voltaje de salida del circuito de acond. analógico.

Se elabora un subsistema en Simulink en base a la ecuación de modelado y se incorpora ruido en la salida. La amplitud del ruido (V_n) se configura con un voltaje pico a pico de 1[mV]. Este valor es conservativo según el análisis del SNR y la atenuación de señales de modo común. La respuesta en frecuencia no se tiene en cuenta, ya que resulta despreciable en comparación con los polos del circuito termoelectrico. Su incorporación no afecta al normal funcionamiento del lazo de control. Además, para que el filtro surta efecto en el simulador, se debe configurar el paso de simulación a un valor muy pequeño, del orden de los 250[us], lo cual que las simulaciones sean exageradamente lentas. En la figura 6.7 se observa el subsistema de Simulink del circuito de acondicionamiento analógico.

También se incluye el efecto de autocalentamiento del termistor. Para ello, se calcula la potencia disipada según la resistencia del termistor y se divide por el factor de autocalentamiento. En la ecuación 6.6 se observa la ecuación del modelo de autocalentamiento y en la figura 6.8 se observa el subsistema de Simulink.

$$\Delta T = \frac{I_{REF}^2 \cdot R_T}{K_{DISIP}} = \frac{11,32[uA] \cdot R_T}{1[mW/^\circ C]} \tag{6.6}$$

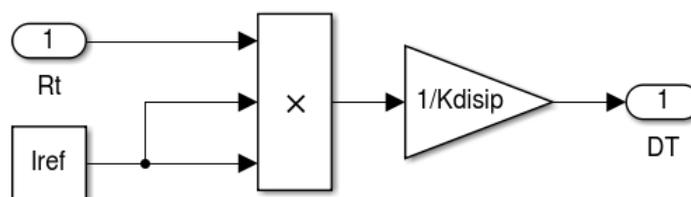


Fig. 6.8: Subsistema del modelo de autocalentamiento del termistor.

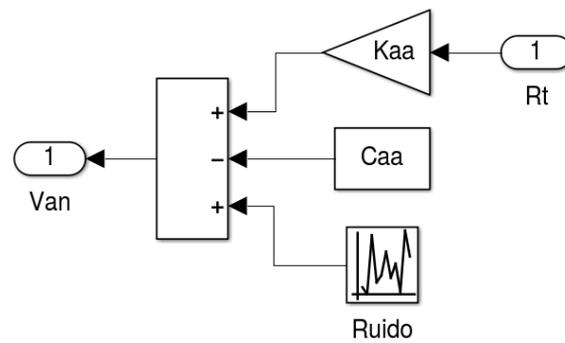


Fig. 6.7: Subsistema del modelo del circuito de acond. analógico.

El consumo del circuito de acondicionamiento analógico se considera constante para todos los escenarios, de valor $P_{\text{AcondAnalógico}}=243[\text{mW}]$.

6.6 Modelado del circuito digital

Se modelan las etapas de cálculo de error, controlador PI y generación de PWM. La etapa de habilitación no se modela porque el simulador opera sólo con un sensor. La etapa de sincronismo tampoco se modela, debido a que en el simulador, los modelos se sincronizan con el período de muestreo.

La etapa de cálculo de error se modela en Simulink con una operación resta en la que se tiene en cuenta el tipo de datos. El software Simulink sólo permite algunos tipos de datos, por lo que se configuran las entradas y las salidas como enteros con signo de 16[bits] (int16). En la figura 6.9 se observa el subsistema de Simulink de la etapa de cálculo de error del circuito digital.

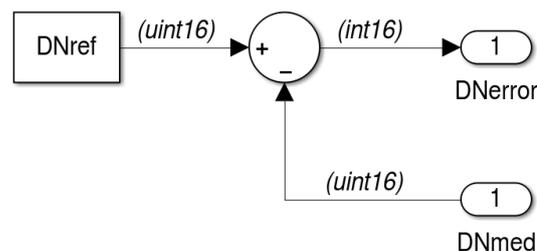


Fig. 6.9: Subsistema de la etapa de cálculo de error del circuito digital.

La etapa de controlador PI se modela teniendo en cuenta los tipos de datos de las operaciones, según los análisis de la sección 5.8. El modelo utiliza tipos de datos enteros con signo de 32[bits] para las operaciones matemáticas. En el caso de la salida se utiliza 16[bits]. La salida se divide por un factor de 128 que es equivalente a despreciar la parte fraccionaria. En la figura 6.10 se observa el subsistema de Simulink de la etapa de controlador PI del circuito digital.

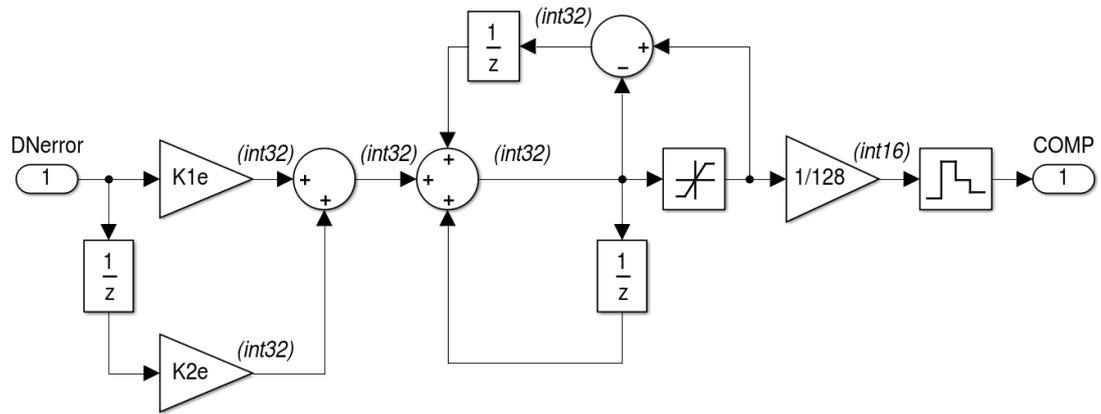


Fig. 6.10: Subsistema de la etapa de controlador PI del circuito digital.

La etapa de generación de PWM se modela con una ecuación para obtener el DC. La ecuación (6.7) de obtiene a partir del análisis de la sección 5.8. Luego, se elabora el subsistema de Simulink, el cual se observa en la figura 6.11.

$$DC[\%] = \frac{COMP}{625} \cdot 100 \tag{6.7}$$

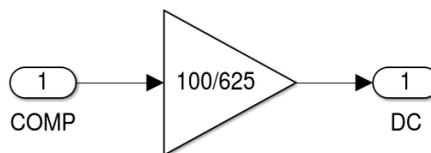


Fig. 6.11: Subsistema de la etapa de generación de PWM del circuito digital.

Evaluación de desempeño

En esta instancia, se dispone de los subsistemas en Simulink construidos en base a los modelos de los circuitos del control térmico. Los subsistemas representan un comportamiento aproximado de los circuitos.

En este capítulo se incorporan al simulador los subsistemas de los circuitos. El análisis de los resultados de simulación permite la verificación de los requerimientos del sistema de control térmico. También se realiza un análisis del consumo para cada escenario, teniendo en cuenta los modelos de consumo de los circuitos.

7.1 Actualización del simulador

Se actualiza el simulador para la elaboración de requerimientos con los modelos realizados en el capítulo 6. Éste se denomina “simulador completo” y se observa en la figura 7.1.

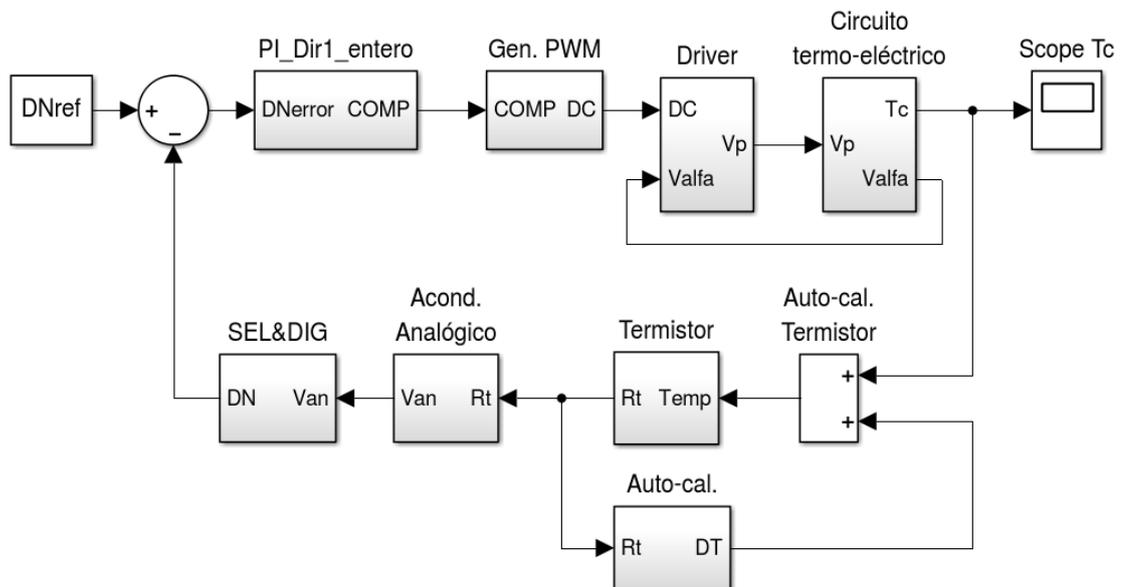


Fig. 7.1: Simulador completo para evaluación de rendimiento.

7.2 Análisis de rendimiento

Se realiza un análisis de desempeño con el simulador completo. En la tabla 7.1 se observan los resultados.

τ_s [s]	M_p [m°C]	$\varepsilon_{SS-FRIO}$ [m°C]	ε_{SS-CAL} [m°C]	ε_{PESC} [m°C]	ε_{PRAM} [m°C]
65,4	2,76	2,19	3,29	9,80	9,08

$I_{p_{MAX-ENC}}$ [A]	$I_{p_{SS-FRIO}}$ [A]	$I_{p_{SS-CAL}}$ [A]	$V_{p_{SS-FRIO}}$ [V]	$V_{p_{SS-CAL}}$ [V]
-0,99	0,207	0,422	0,371	1,113

Tabla 7.1: Rendimiento del control térmico en el simulador completo.

7.3 Análisis de consumo de potencia

Se realiza un análisis de consumo para los escenarios frío, caliente y de encendido en frío. Para ello, se registran las señales V_p y V_α del simulador. Además, se utiliza el modelo del módulo Peltier y los modelos de consumo y eficiencia de los circuitos elaborados en el capítulo 6.

Es importante aclarar que el circuito digital está exento del análisis de consumo, ya que no se considera el hardware relacionado a la FPGA y sus periféricos.

7.3.1 Consumo en el escenario frío

Se realiza una simulación en el escenario frío y se registran $V_p=371[mV]$ y $V_\alpha=-48[mV]$ en régimen estacionario. Con la ecuación (3.1) se calcula I_p y luego con la ecuación (7.1) se calcula $P_{PELTIER}$.

$$P_{PELTIER} = V_p \cdot I_p \quad (7.1)$$

El consumo del driver se toma de la tabla 5.4. El valor de P_{DRIVER} relevado, se obtiene de una simulación del circuito driver con una carga eléctrica representativa al módulo Peltier en el escenario en cuestión.

El consumo del circuito de protección se calcula con las ecuaciones (7.2) y (7.3). La eficiencia del circuito de protección ($eff_{PROTECCION}$) se modela como una constante en la sección 6.2.

$$P_{(PROTECCION+DRIVER+PELTIER)} = \frac{P_{DRIVER} + P_{PELTIER}}{eff_{PROTECCION}} \quad (7.2)$$

$$P_{PROTECCION} = P_{(PROTECCION+DRIVER+PELTIER)} - (P_{DRIVER} + P_{PELTIER}) \quad (7.3)$$

Se considera que el circuito monitor, acondicionamiento analógico y SEL&DIG tienen un consumo constante según el análisis realizado en las secciones 6.3, 6.5 y 6.4.

En la tabla 7.2 se calcula el consumo total del control térmico para el escenario frío.

Circuito / Elemento	Consumo escenario frío	
	x1 sensor [mW]	x6 sensores [mW]
Driver	492	2952
Protección	43	257
Monitor	3	18
SEL&DIG	–	793
Acondicionamiento Analógico	243	1458
Módulo Peltier	77	462
Total	–	5940

Tabla 7.2: Análisis de consumo en el escenario frío.

7.3.2 Consumo en el escenario caliente

Se realiza una simulación en el escenario caliente y se registran $V_p=1,113[V]$ y $V_\alpha=256[mV]$ en régimen estacionario. El cálculo de consumo se realiza de la misma forma que el análisis anterior.

En la tabla 7.3 se calcula el consumo total del control térmico para el escenario caliente.

Circuito / Elemento	Consumo escenario caliente	
	x1 sensor [mW]	x6 sensores [mW]
Driver	657	3942
Protección	85	509
Monitor	3	18
SEL&DIG	–	793
Acondicionamiento Analógico	243	1458
Módulo Peltier	470	2820
Total	–	9540

Tabla 7.3: Análisis de consumo en el escenario caliente.

7.3.3 Consumo en el escenario de encendido en frío

Se realiza una simulación en el escenario de encendido en frío y se registra la curva de V_P y V_α . Con las ecuaciones (3.1) y (7.1) se calcula la curva de $P_{PELTIER}$.

Se replica la información de $P_{PELTIER}$ y V_P para cada sensor y se los desplaza entre sí cada 43[s]. Esto equivale a realizar la secuencia de encendido que lleva a cabo el circuito digital. De esta forma se obtiene el valor de $P_{PELTIER}$ y V_P de los seis sensores.

La potencia disipada por el circuito driver se calcula con las ecuaciones (7.4) y (7.5). Es importante mencionar que la eficiencia del circuito driver es una función de V_P ($eff_{DRIVER} = f(V_P)$).

$$P_{(DRIVER+PELTIER)} = \frac{P_{PELTIER}}{eff_{DRIVER}} \quad (7.4)$$

$$P_{DRIVER} = P_{(DRIVER+PELTIER)} - P_{PELTIER} \quad (7.5)$$

La potencia disipada por el circuito de protección se calcula igual que en los análisis de escenario frío y caliente, mediante las ecuaciones (7.2) y (7.3).

El valor de máximo consumo del control térmico en este escenario resulta de 8.35[W]. En la figura 7.2 se observa la curva de consumo.

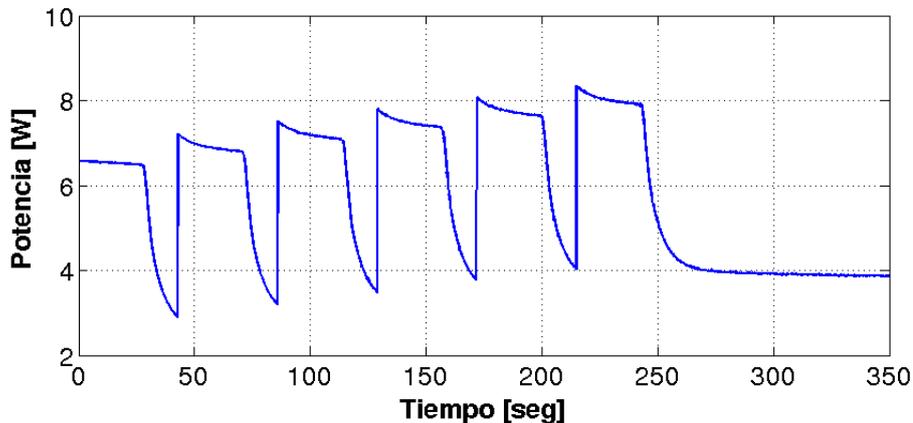


Fig. 7.2: Consumo del control térmico en el escenario de encendido en frío.

En la figura 7.3 se observa, por separado, el consumo de los módulos Peltier y los circuitos.

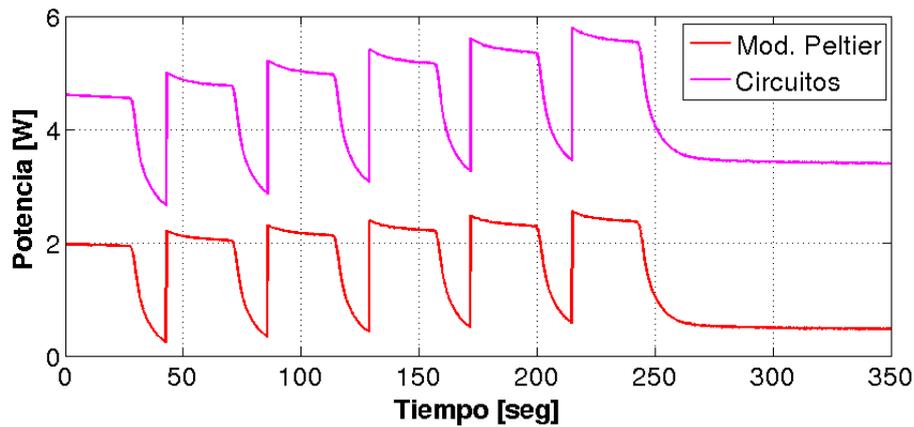


Fig. 7.3: Consumo de los circuitos y los módulos Peltier en el escenario de encendido en frío.

7.4 Análisis de la alimentación

Se realiza un análisis del consumo de corriente de las fuentes de alimentación del control térmico. Dichas fuentes de alimentación son tres: la de potencia, la digital y la analógica.

Respecto a la alimentación de potencia, suministra 5[V] y energiza al circuito de protección. En forma indirecta también energiza al circuitos driver y el módulos Peltier. En base a los resultados de consumo de la sección 7.3, esta fuente de alimentación tiene su mayor consumo en el escenario caliente. En la ecuación (7.6) se calcula la corriente que se debe suministrar en este escenario.

$$\begin{aligned}
 I_{+5V_PW-MAX} &= \frac{P_{PROTECCION} + P_{DRIVER} + P_{PELTIER}}{5[V]} \\
 &= \frac{509[mW] + 3942[mW] + 2820[W]}{5[V]} \quad (7.6) \\
 &= 1,45[A]
 \end{aligned}$$

En cuanto a la alimentación digital, suministra 5[V] y es importante que sea regulada y que no contenga armónicos de alta frecuencia para un correcto funcionamiento del ADC. Por este motivo, se la separa de la alimentación de potencia. Esta fuente de alimentación energiza al circuito SEL&DIG y al circuito monitor. El consumo de ambos circuitos se considera constante según el análisis realizado en 6.4 y 6.3. En la ecuación 7.7 se calcula la corriente que debe suministrar la alimentación digital.

$$\begin{aligned}
 I_{+5V_D} &= \frac{P_{D-SEL&DIG} + P_{MONITOR}}{5[V]} \\
 &= \frac{211[mW] + 18[mW]}{5[V]} \quad (7.7) \\
 &= 46[mA]
 \end{aligned}$$

La alimentación analógica es una fuente partida de $\pm 12[V]$ y energiza al circuito SEL&DIG y al circuito de acondicionamiento analógico. El consumo de ambos circuitos se considera constante según el análisis realizado en 6.4 y 6.5. En base a los análisis de consumo de ambos circuitos, se calcula la corriente que debe suministrar la alimentación analógica en las ecuaciones (7.8) y (7.9).

$$\begin{aligned} I_{+12V_A} &= I_{(SEL\&DIG)} + I_{(ACONDANALOGICO)} \\ &= 13,1[mA] + 11,3[mA] = 24,4[mA] \end{aligned} \quad (7.8)$$

$$\begin{aligned} -I_{-12V_A} &= -I_{(SEL\&DIG)} + -I_{(ACONDANALOGICO)} \\ &= 35,4[mA] + 8,9[mA] = 44,3[mA] \end{aligned} \quad (7.9)$$

7.5 Tiempo de establecimiento térmico

Se realiza un análisis de tiempo de establecimiento térmico de todos los sensores. Para ello, se analiza una simulación en el escenario de encendido en frío y se registra el valor de temperatura del sensor (T_C). Luego, teniendo en cuenta la secuencia de encendido, la curva se desplaza temporalmente para cada uno de los sensores. El tiempo de establecimiento térmico resulta 280.4[s]. En la figura 7.4 se observa la temperatura de los seis sensores durante el escenario de encendido en frío. La figura 7.5 es una ampliación de la figura anterior en el momento del establecimiento térmico.

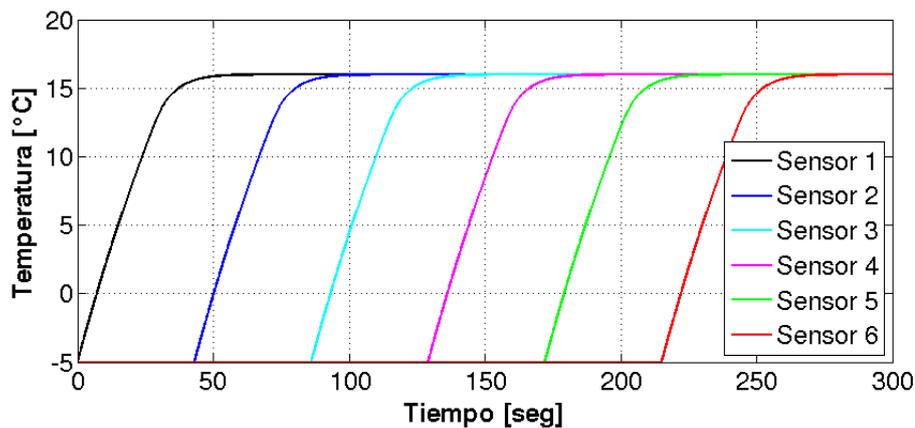


Fig. 7.4: Curva del tiempo de establecimiento de los sensores.

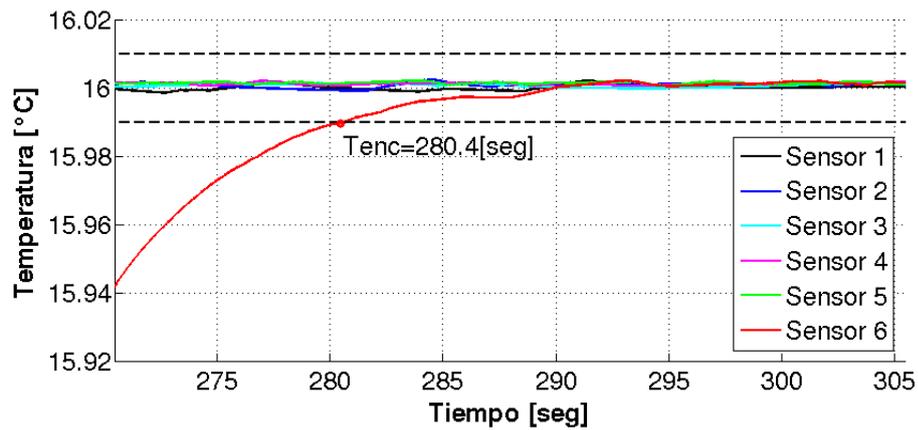


Fig. 7.5: Curva ampliada del tiempo de establecimiento de los sensores.

7.6 Verificación de requerimientos del control térmico

En la tabla 7.4 se verifican los requerimientos del control térmico.

Requerimiento	Resumen	Verificación /Método
L5-TIR-CTS01	Estabilizar seis sensores	✓ Análisis (Sección 7.5)
L5-TIR-CTS02	Error menor a 10[m°C].	✓ Simulación (Sección 7.2)
L5-TIR-CTS03	Consumo menor a 12[W]	✓ Análisis (Sección 7.3)
L5-TIR-CTS04	Temperatura de estabilización entre 10[°C] y 16[°C]	✓ Análisis (Sección 5.8.5)
L5-TIR-CTS05	Tiempo de establecimiento menor a 6[min].	✓ Simulación (Sección 7.5)
L5-TIR-CTS06	Suministrar el valor de temperatura de los sensores.	✓ Análisis (Sección 5.8.7)
L5-TIR-CTS07	Configuración del control térmico.	✓ Análisis (Sección 5.8.2)
L5-TIR-CTS08	Calidad de partes EEE	✓ Análisis (Sección 5.2)

Tabla 7.4: Requerimientos del control térmico de los sensores.

Conclusiones y trabajos futuros

8.1 Conclusiones

En la presente tesis, se realizó un análisis de la electrónica necesaria para el control térmico de los sensores del instrumento TIR del satélite SABIA-Mar. Como parte del análisis, se postularon alternativas de diseño para los circuitos electrónicos. En cada caso se evaluaron los beneficios y las desventajas, y se aplicaron criterios para seleccionar el más conveniente. Se tuvieron en cuenta aspectos como el error de temperatura, el tiempo de establecimiento térmico, el consumo eléctrico, la calidad de las partes EEEs utilizadas y la herencia de misiones satelitales anteriores.

Como resultado del análisis y la selección de circuitos, se elabora un propuesta de la electrónica de un control térmico que cumple con los requerimientos del instrumento TIR. Las principales cualidades de la propuesta y de los requisitos del instrumento TIR son:

- El error de temperatura estimado resultó menor a $4[m^{\circ}C]$, siendo el requerido menor a $10[m^{\circ}C]$.
- El consumo eléctrico estimado resultó ser menor a $9,6[W]$, siendo el requerido menor a $12[W]$.
- El tiempo de establecimiento térmico estimado resultó menor a $5[min]$, siendo el requerido menor a $6[min]$.
- La temperatura de los sensores es configurable para cualquier valor entre $10[^{\circ}C]$ y $16[^{\circ}C]$, siendo el requerido entre $10[^{\circ}C]$ y $16[^{\circ}C]$ en intervalos de $1[^{\circ}C]$.
- Todas las partes EEEs de los circuitos cumplen con las normas de calidad espacial requeridas por el proyecto SABIA-Mar.

Se caracterizaron los efectos de los parámetros de diseño de los circuitos electrónicos en el rendimiento del control térmico. Se analizaron controladores para el lazo de control, los métodos de sintonización del mismo, la resolución de excitación del Peltier, el rango de voltaje de excitación, el ripple de la señal de excitación, la resolución

de la medición de temperatura, el rango de medición de temperatura, la precisión de cálculo y la frecuencia de muestreo. Esto permite evaluar rápidamente el impacto de un cambio de requerimientos, o bien adaptar el control propuesto para otros instrumentos con necesidades similares.

El simulador resultó ser una herramienta importante en el desarrollo de este trabajo. Permitió definir los requerimientos para los circuitos y realizar el análisis de rendimiento del control térmico. Además, resultó útil para la sintonización de los coeficientes del controlador. Por estas razones, el simulador permitiría reducir los ensayos experimentales del instrumento ensamblado, resultando en una disminución del tiempo de desarrollo. El simulador también podría utilizarse para otro tipo de aplicaciones basadas en módulos Peltier. Los procedimientos de desarrollo, el modelado e incluso los circuitos electrónicos podrían ser utilizados en otros sistemas de control.

El trabajo realizado cumple con la filosofía de diseño basada en la derivación de requerimientos. Esta metodología de trabajo es acorde a la mayoría de las agencias espaciales y empresas del sector espacial. Esto permite que el trabajo realizado pueda tomarse como base para instrumentos o componentes que requieran de un control térmico en donde se utilice un módulo Peltier.

8.2 Trabajos futuros

El simulador del control térmico es una herramienta importante para el análisis realizado en esta tesis. Para su desarrollo se modelaron circuitos térmicos, eléctricos y electrónicos. No obstante, es importante tener en cuenta que muchos parámetros fueron estimados debido a que no se contó con información actualizada. El modelo fue realizado en base a bibliografía tomada de investigaciones vinculadas con el sensor IRL512 y otras investigaciones de temáticas similares.

Es recomendable actualizar los modelos de los circuitos térmicos con información fehaciente del fabricante del IRL512. Otra opción es ajustar y validar el modelo con ensayos de laboratorio. Para ello, se debe contar con el instrumento ensamblado, o bien con un modelo térmico equivalente. En cualquiera de los casos mencionados, se deben ajustar los modelos y actualizar el simulador.

Con la información que se presenta en el anexo B, se puede estimar cómo afecta al rendimiento del control térmico ante el cambio de alguno de los parámetros de los modelos. Si el modelo ajustado difiere en los parámetros más sensibles, es probable que varíe significativamente el rendimiento y no se cumplan los requerimientos del control térmico. En tal caso, se debe re-sintonizar el lazo de control y actualizar los coeficientes del controlador PID.

Los circuitos analógicos requieren ser alimentados por distintas fuentes de alimentación. En este trabajo se evaluaron los voltajes y las corrientes necesarias. No obstante, falta realizar un análisis del ripple admitido por los circuitos.

Con respecto a los circuitos digitales, en este trabajo se realizó un análisis sobre una arquitectura a nivel lógico. Para que el diseño esté completo, resta traducirlo en HDL. Además, se deben aplicar técnicas para sistemas tolerantes a fallas como triples votadores y métodos de corrección de error. También resta definir cómo es el vínculo con el resto de los circuitos digitales del instrumento, con el que se comparten interfaces.

Anexos

Curvas de simulación

Las imágenes que se observan a continuación, muestran el comportamiento de algunas variables durante la simulación para los escenarios de encendido en frío, frío y caliente. Se utiliza el simulador completo para las simulaciones.

A.1 Curvas en el escenario de encendido en frío

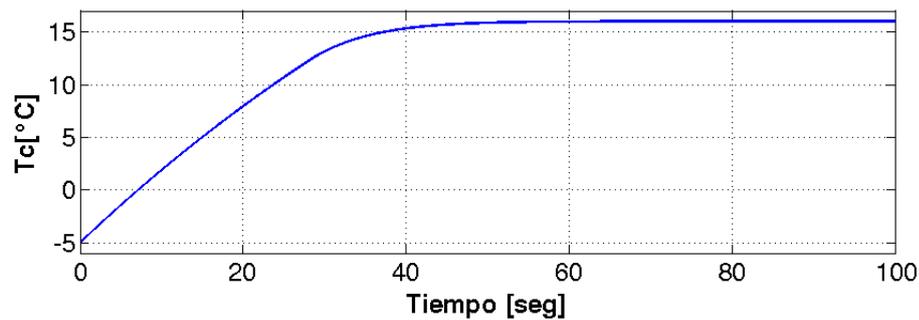


Fig. A.1: Temperatura del sensor en el escenario de encendido en frío.

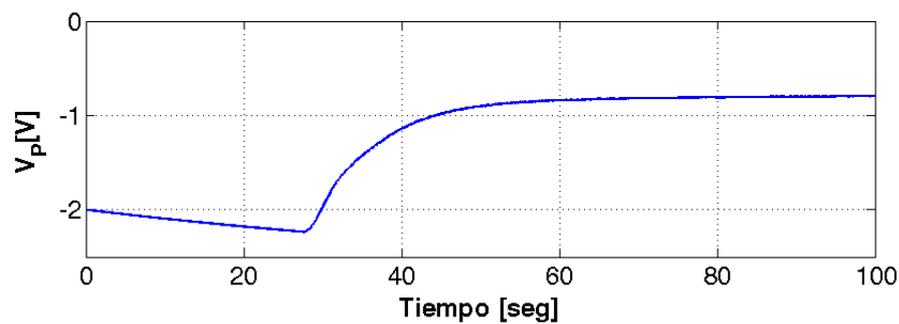


Fig. A.2: Voltaje del módulo Peltier en el escenario de encendido en frío.

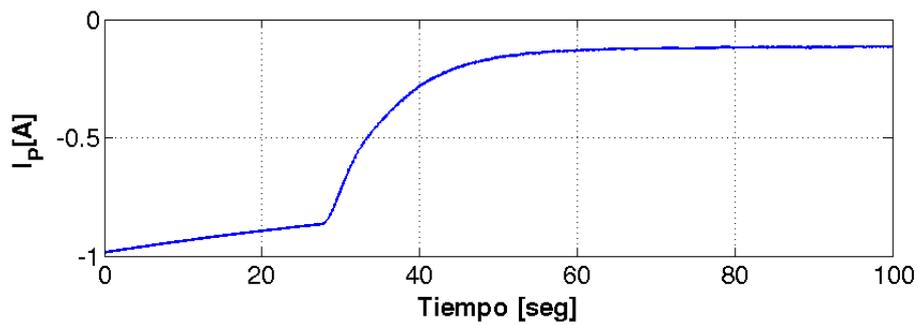


Fig. A.3: Corriente eléctrica suministrada al módulo Peltier en el escenario de encendido en frío.

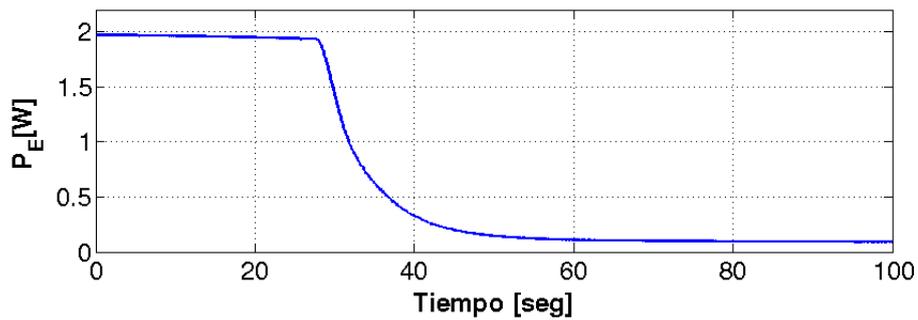


Fig. A.4: Potencia eléctrica consumida por el módulo Peltier en el escenario de encendido en frío.

A.2 Curvas en el escenario frío

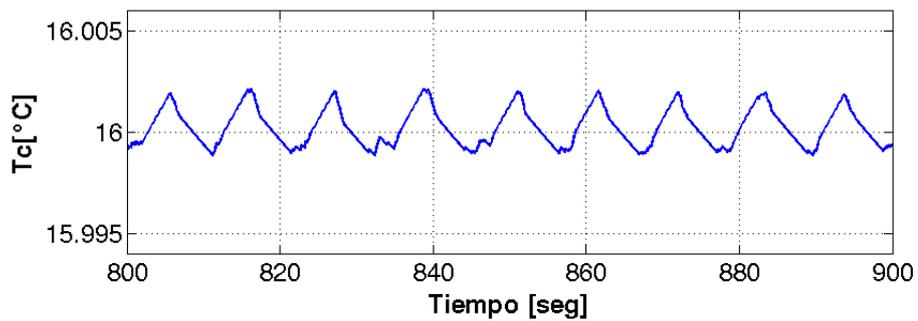


Fig. A.5: Temperatura del sensor en el escenario frío.

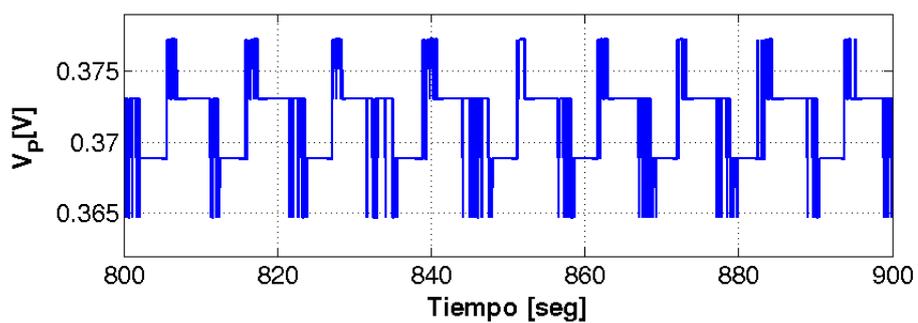


Fig. A.6: Voltaje del módulo Peltier en el escenario frío.

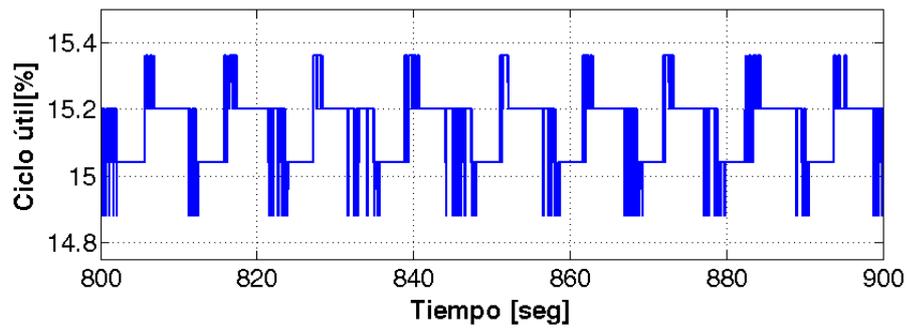


Fig. A.7: Ciclo útil del driver en el escenario frío.

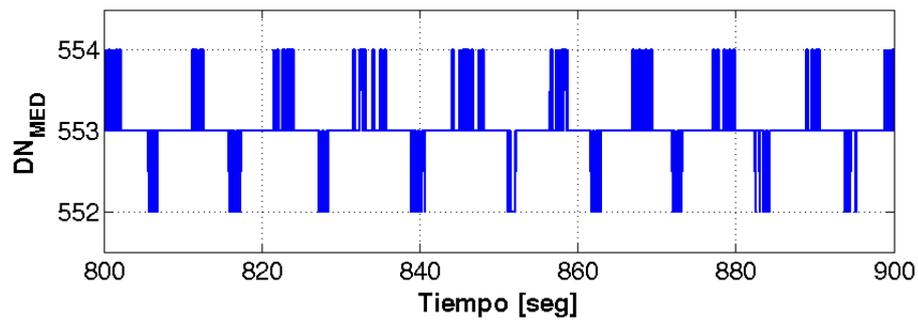


Fig. A.8: Resultado de la digitalización en el escenario frío.

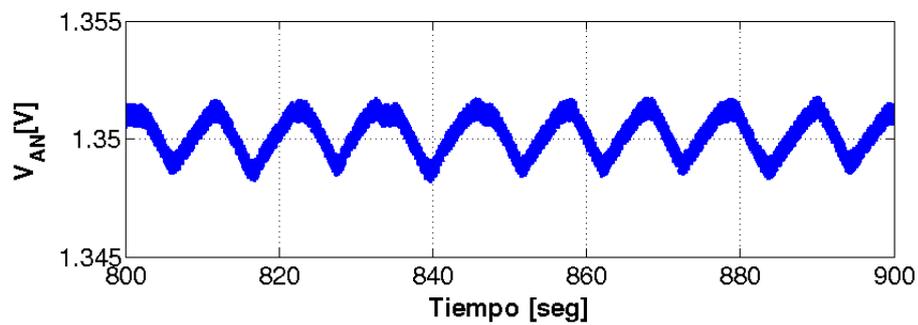


Fig. A.9: Señal analógica de entrada al circuito SEL&DIG en el escenario frío.

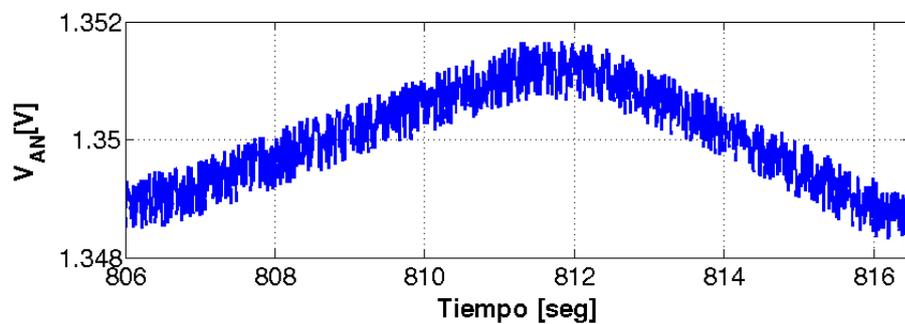


Fig. A.10: Ampliación de la señal analógica de entrada al circuito SEL&DIG en el escenario frío.

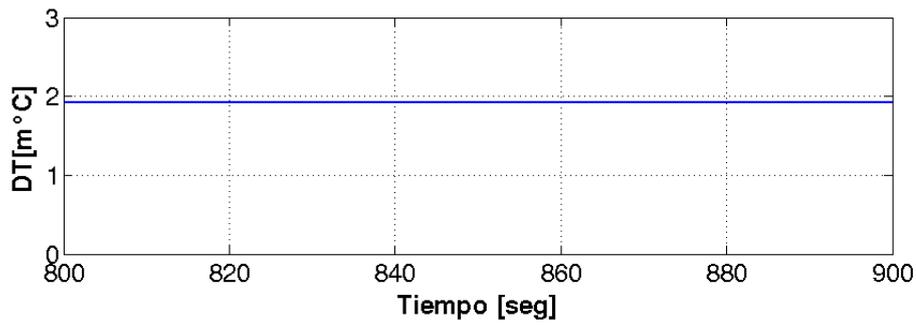


Fig. A.11: Autocalentamiento del termistor por en el escenario frío.

A.3 Curvas en el escenario caliente

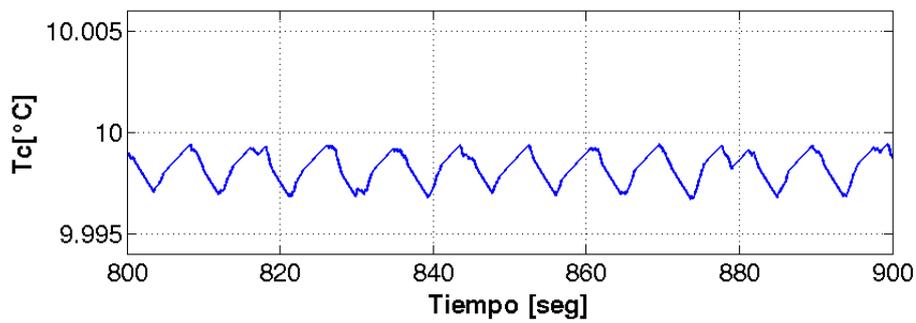


Fig. A.12: Temperatura del sensor en el escenario caliente.

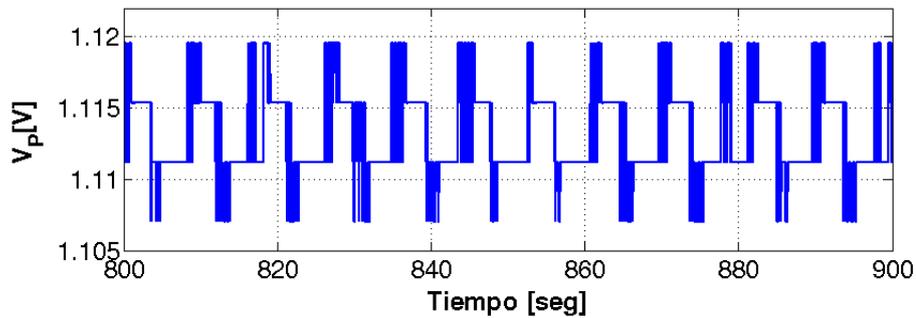


Fig. A.13: Voltaje del módulo Peltier en el escenario de caliente.

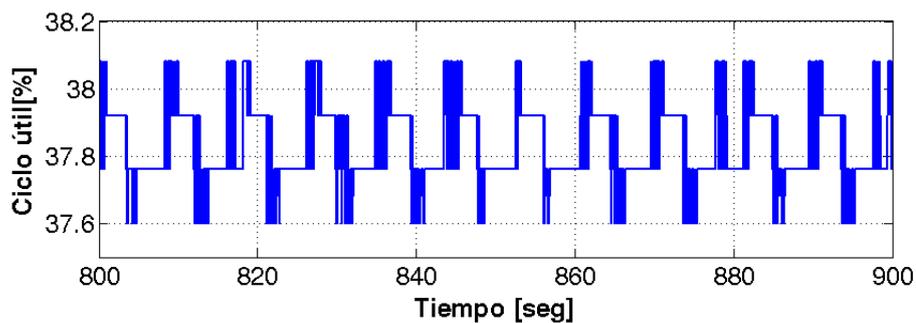


Fig. A.14: Ciclo útil del driver en el escenario caliente.

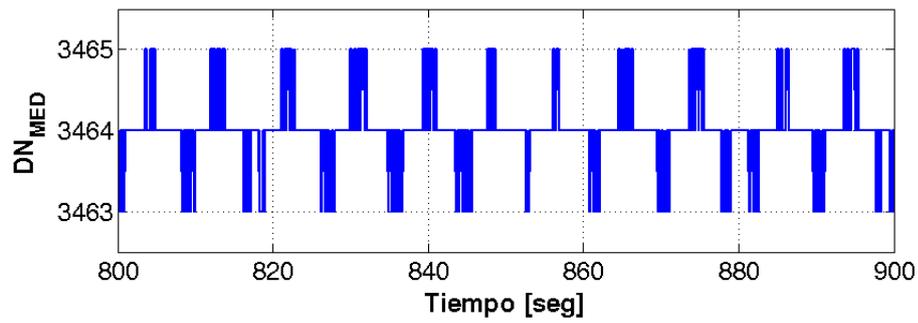


Fig. A.15: Resultado de la digitalización en el escenario caliente.

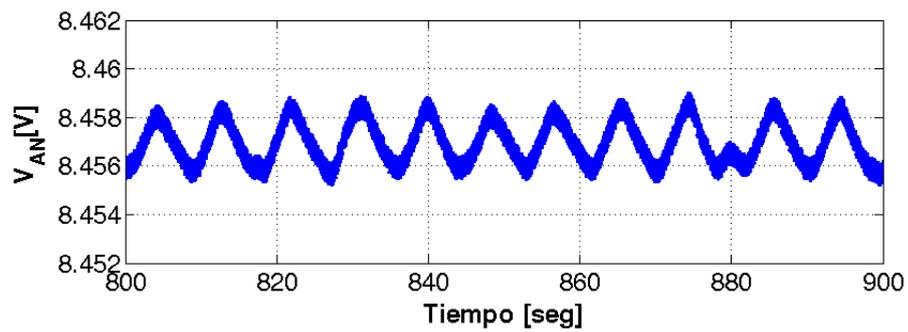


Fig. A.16: Señal analógica de entrada al circuito SEL&DIG en el escenario caliente.

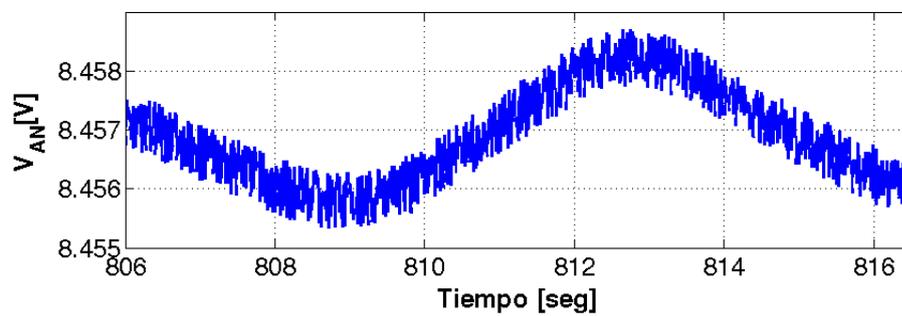


Fig. A.17: Ampliación de la señal analógica de entrada al circuito SEL&DIG en el escenario caliente.

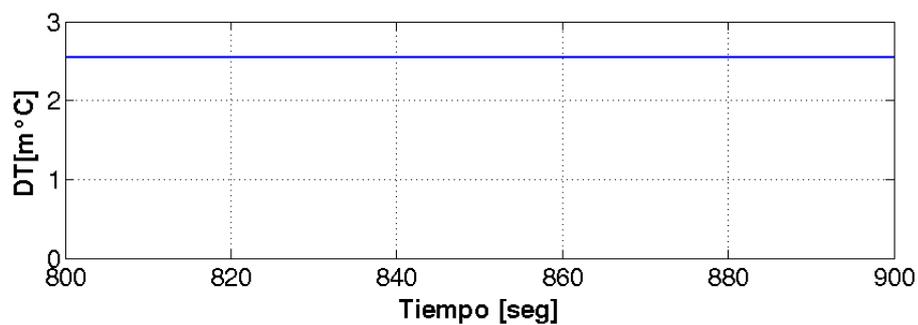


Fig. A.18: Autocalentamiento del termistor por en el escenario caliente.

Análisis de sensibilidad

En el desarrollo del simulador se han realizado diversos modelos. Algunos parámetros de estos modelos fueron estimados por falta de información. Es por ello que se procede a realizar un análisis de sensibilidad de los parámetros estimados. Este análisis consiste en modificar los valores estimados y verificar el efecto en el rendimiento del control térmico. Se utiliza el simulador completo para las simulaciones. En la tabla B.1 se observa el análisis de sensibilidad. Se incluye en la fila superior el rendimiento sin alterar ningún parámetro a fin de comparar los resultados.

Condiciones	τ_s [seg]	M_P [m°C]	$\epsilon_{SS-FRIO}$ [m°C]	ϵ_{SS-CAL} [m°C]	ϵ_{PESC} [m°C]	ϵ_{PRAM} [m°C]
Valores Predeterminados	65,4	2,76	2,19	3,29	9,80	9,08
$C_{INT} + 20\%$ 16,12[J/K]	69,0	2,98	2,29	3,28	9,72	8,96
$C_{INT} - 20\%$ 10,75[J/K]	62,0	2,89	2,47	3,49	10,45	9,30
$C_{EXT} + 20\%$ 166,55[J/K]	65,7	2,49	2,33	3,33	9,63	7,33
$C_{EXT} - 20\%$ 111,03[J/K]	65,2	3,28	2,19	3,30	10,36	9,81
$R_{PINOUT} + 20\%$ 132,46[K/W]	65,2	2,44	2,48	3,48	9,15	9,14
$R_{PINOUT} - 20\%$ 88,31[K/W]	65,6	2,65	1,92	2,61	11,42	9,58
$Q_{CI} + 20\%$ 2,17[W]	64,0	2,58	2,58	3,31	9,80	9,33
$Q_{CI} - 20\%$ 1,44[W]	66,8	2,92	2,22	2,50	9,34	8,83
$\tau_T + 20\%$ 1,2[seg]	65,4	2,83	2,41	3,46	10,12	9,54
$\tau_T - 20\%$ 0,8[seg]	65,0	2,43	2,06	3,33	9,54	9,09
<i>Continúa en la siguiente página</i>						

Condiciones	τ_s [seg]	M_p [m°C]	$\epsilon_{SS-FRIO}$ [m°C]	ϵ_{SS-CAL} [m°C]	ϵ_{PESC} [m°C]	ϵ_{PRAM} [m°C]
$V_\eta + 20\%$ 1,2[mV]	65,3	2,62	2,19	3,37	9,93	9,03
$V_\eta - 20\%$ 0,8[mV]	65,4	2,41	2,26	3,48	9,76	9,13

Tabla B.1: Análisis de sensibilidad.

Referencias

- [1] CONAE, “SABIA-Mar: Introducción.” Disponible: www.conae.gov.ar/index.php/espanol/introduccion-sace. Accesado: 19 de Agosto de 2016.
- [2] S. Torrusio, *Proyecto SABIA-Mar*. CONAE, 2015.
- [3] D. Caruso, *SABIA-Mar1 Schedule*. CONAE, 2016.
- [4] INVAP, “SABIA-Mar.” Disponible: <http://www.invap.com.ar/es/espacial-y-gobierno/proyectos-espaciales/sabia-mar.html>. Accesado: 7 de Abril de 2017.
- [5] CONAE, “SABIA-Mar: Instrumentos.” Disponible: www.conae.gov.ar/index.php/espanol/instrumentos. Accesado: 19 de Agosto de 2016.
- [6] S. Cañete, *SB-100202-LI-00100-A SABIA-Mar product list*. CONAE, 2016.
- [7] CONAE, “SABIA-Mar: Objetivos.” Disponible: www.conae.gov.ar/index.php/espanol/misiones-satelitales/sabiamar/objetivos. Accesado: 19 de Agosto de 2016.
- [8] “Plan Espacial Nacional, Argentina en el espacio.” Actualización 2010 - 2015.
- [9] MINCyT, “Programa Pampa Azul.” Disponible: www.mincyt.gov.ar/accion/pampa-azul-9926. Accesado: 19 de Agosto de 2016.
- [10] MINCyT, “Es ley el fomento a la investigación del Mar Argentino.” Disponible: www.mincyt.gov.ar/noticias/es-ley-el-fomento-a-la-investigacion-del-mar-argentino-11314. Accesado: 22 de Agosto de 2016.
- [11] “Ley PROMAR 27167.” Sancionada el 29 de Julio del 2015, Promulgada de Hecho el 1 de Setiembre del 2015. Congreso de la Nación Argentina.
- [12] P. Fernandez, *0965-PMRV-2TCEM-001-A TIR optics box mechanical preliminary design*. INVAP, 2016.
- [13] M. Salibe, *TIR-ST1-000070-PL-R00 Diseño preliminar del instrumento TIR Satélite SABIA-Mar*. IAR, 2015.
- [14] P. Fernandez, *0965-pmrv-2tciem-002-A TIR electronics box mechanical preliminary design*. INVAP, 2016.
- [15] P. Fluxa, *TIR-ST1-000050-SRS-R01 - TIR L4 Requirements*. CONAE, 2015.
- [16] M. Kalemkarian, *Algorithm Theoretical Basis Document for Sea Surface Temperature with the TIR camera v1.1*. CONAE, 2016.
- [17] A. Rogalski, *Infrared Detectors, Second Edition*. CRC Press, 2010.
- [18] A. Daniels, *Field Guide to Infrared Systems, Detectors, and FPAs, Second Edition (SPIE Field Guide Vol. FG15) (Spie Field Guides)*. SPIE Press, 2010.

- [19] E. Dereniak and D. Boreman, *Infrared Detectors and Systems*. CRC PRESS, 1996.
- [20] P. Kruse, *Uncooled Thermal Imaging Arrays, Systems, and Applications (SPIE Tutorial Texts in Optical Engineering Vol. TT51)*. SPIE Publications, 2001.
- [21] *Spacecraft Thermal Control Handbook, Volume II: Cryogenics (Aerospace Press)*. AIAA (American Institute of Aeronautics & Astronautics), second edition ed., 2003.
- [22] D. Rowe, *CRC Handbook of Thermoelectrics*. CRC Press, 1995.
- [23] B. Oelrich, A. Crastes, *et al.*, “Low-cost mid-wave IR microsatellite imager concept based on uncooled technology,” in *Sensors, Systems, and Next-Generation Satellites VIII*, SPIE-Intl Soc Optical Eng, 2004.
- [24] H. Tsao, K. Maschhoff, *et al.*, “A space instrument application of an uncooled infrared microbolometer array,” in *2000 IEEE Aerospace Conference*, Institute of Electrical & Electronics Engineers (IEEE), 2000.
- [25] C. Schueler and S. Silverman, “The Thermal Emission Imaging System (THEMIS) for the Mars 2001 Odyssey Mission,” in *2001 Mars Odyssey*, Springer Science Business Media, 2004.
- [26] G. Corlay, M. Arnolfo, *et al.*, “The infrared imaging radiometer for picasso-cena,” 2005.
- [27] J. Morales de los Ríos and M. Rodríguez Frías, “The infrared camera onboard JEM-EUSO,” *Experimental Astronomy*, 2014.
- [28] T. Okada, T. Fukuhara, and S. Tanaka, “Thermal-Infrared Imager TIR on Hayabusa2 for Observation of Asteroid,” *46th Lunar and Planetary Science Conference, USRA*, 2015.
- [29] CONAE, “Instrumentos a bordo de la misión SAC-D / Aquarius.” Disponible: www.conae.gov.ar/satelites/sac-d-instrum.html. Accesado: 19 de Agosto de 2016.
- [30] J. Gauvin and F. Chateaufneuf and others, “Design of the SAC-d/NIRST camera module,” in *Infrared Spaceborne Remote Sensing and Instrumentation XV*, SPIE-Intl Soc Optical Eng, 2007.
- [31] H. Marraco and L. N. Phong, “NIRST: a satellite-based IR instrument for fire and sea surface temperature measurement,” in *Non-Intrusive Inspection Technologies*, SPIE-Intl Soc Optical Eng, 2006.
- [32] A. Zumarraga, *SACD-NRST-ID-NTEC001 - Control Térmico del ROIC*. CRUX, 2007.
- [33] “MAX1978/MAX1979 Integrated Temperature Controllers for Peltier Modules,” Datasheet, Maxim Integrated, 2010.
- [34] M. Salibe, *TIR-ST1-000010-PR-R02- TIR Electronic Conceptual Design*. IAR, 2015.
- [35] “IRL512,” Datasheet, INO, 2012. INO-2709-SPE-003.
- [36] J. Gauvin, *INO 050115 PM-1 NIRST Camera design and manufacturing*. INO, 2006.
- [37] L. N. Phong and W. Zheng, “Canadian microbolometer technology for future space missions,” *Proceedings of the 29th Symposium of the European Association of Remote Sensing Laboratories, IOS*, 2010.
- [38] T. Pope, C. Alain, *et al.*, “Performance of a 512x3 pixel microbolometer detector for space imaging applications,” in *2005 International Conference on MEMS, NANO and Smart Systems*, Institute of Electrical & Electronics Engineers (IEEE), 2005.

- [39] Align Sourcing, *ATTC0017 Thermoelectric Control*.
- [40] TE Technology, *Instruction Manual for Model TC-720 and Model TC-720 OEM Thermoelectric Cooler Temperature Controller*, 2016.
- [41] Meerstetter Engineering GmbH, *Thermoelectric Cooling Temperature Controller*, 2017.
- [42] Maroto, Oscar and Diez-Merino and others, "Design of the Front End Electronics for the Infrared Camera of JEM-EUSO, and manufacturing and verification of the prototype model," *Proc. SPIE*, 2014.
- [43] M. Cerocchi, *SB-030500-PL-00100-B EEE Parts Control Plan*. CONAE, 2015.
- [44] Serratti, *REL- POWER - New Avionic - Without TCS - DRAFF 15062016*. CONAE, 2016.
- [45] Dave Akin, "Akin's Laws of Spacecraft Design." Disponible: http://spacecraft.ssl.umd.edu/akins_laws.html. Accesado: 15 de Mayo de 2017.
- [46] J. Bazzo, J. Silva, *et al.*, "Digital control system using a thermoelectric cell for temperature electronic devices testing," in *2010 First IEEE Latin American Symposium on Circuits and Systems (LASCAS)*, 2010.
- [47] Stanford Research Systems Inc, "Thermistor Calculator V1.1." Disponible: <http://www.ino.ca/en/examples/radiometric-packaging/>. Accesado: 15 de Abril de 2017.
- [48] S. Lineykin and S. Ben-Yaakov, "Analysis of thermoelectric coolers by a spice-compatible equivalent-circuit model," *IEEE Power Electronics Letters*, 2005.
- [49] D. Mitrani, J. Tome, *et al.*, "Methodology for extracting thermoelectric module parameters," *IEEE Transactions on Instrumentation and Measurement*, 2005.
- [50] J. A. Chavez, J. A. Ortega, *et al.*, "Spice model of thermoelectric elements including thermal effects," in *Proceedings of the 17th IEEE Instrumentation and Measurement Technology Conference*, May 2000.
- [51] S. G. Blanco, L. N. Phong, *et al.*, "Design, manufacturing, and qualification of an uncooled microbolometer focal plane array based radiometric package for space applications," in *Journal of Micro/Nanolithography, MEMS, and MOEMS*, 2010.
- [52] A. Zamboni, *TEC Power Estimation*. INVAP, 2016.
- [53] VISHAY, *NTC Thermistors*, 2012. Document Number: 29053.
- [54] INO, "Radiometric packaging." Disponible: <http://www.thinksrs.com/downloads/programs/Therm%20Calc/NTCCalibrator/NTCCalculator.htm>. Accesado: 17 de Abril de 2017.
- [55] A. Zamboni, *ModeloOrbitalPreliminar*. INVAP, 2016.
- [56] A. Zamboni, *0965-PMRI-2ECOT-001-A Diseño y análisis térmico preliminar del frontend del instrumento TIR*. INVAP, 2016.
- [57] Mathworks, "PID Controller, Discrete PID Controller." Disponible: <http://www.mathworks.com/help/simulink/slref/pidcontroller.html>. Accesado: 21 de Abril de 2017.
- [58] C. Bohn and D. P. Atherton, "An analysis package comparing pid anti-windup strategies," *IEEE Control Systems*, 1995.
- [59] S. Kumar and R. Negi, "A comparative study of PID tuning methods using anti-windup controller," in *2012 2nd International Conference on Power, Control and Embedded Systems*, 2012.

- [60] K. J. Astrom and T. Hagglund, *PID Controllers: Theory, Design and Tuning*. Instrument Society of America (ISA), second edition ed., 1995.
- [61] A. Visioli, *Practical PID Control*. Springer-Verlag London, first edition ed., 2006.
- [62] K. Ogata, *Ingenieria de Control Moderna (Spanish Edition)*. Prentice Hall, tercera edición ed., 1999.
- [63] K. Ogata, *Sistemas de Control En Tiempo Discreto (Spanish Edition)*. Prentice Hall, segunda edición ed., 2000.
- [64] J. C. Vaschetti, *Apuntes de asignatura Control Digital de la Maestría en Control Automático*, 2014.
- [65] Roni Peer, "Digital 8 Bit library for use with Simulink." Disponible: <https://www.mathworks.com/matlabcentral/fileexchange/34215-digital-8-bit-library-for-use-with-simulink?requestedDomain=www.mathworks.com>. Accesado: 1 de Junio de 2017.
- [66] VISHAY, *QPL MIL-PRF-55342 Qualified Thin Film Resistor, Surface Mount Chip*, 2016.
- [67] VISHAY, *Standard Electronic Decade Value Tables*, 2006.
- [68] KEMET, *CERAMIC CHIP/MIL-PRF-123*.
- [69] KEMET, *Tantalum Surface Mount Capacitors - Space Grade*, 2015.
- [70] EXXELIA, *SMD Power Inductors*, 2016.
- [71] MICROSEMI, *High Reliability Radiation Hardened Semiconductors*, 2011. Rectifiers and Diodes , BiPolar Transistors , Power MOSFETs.
- [72] International Rectifier, *RAD-Hard MOSFETs and ICs Product Selection Guide*, 2016.
- [73] Analog Devices, *Space Qualified Parts List*, 2016.
- [74] Intersil, *Space Products*, 2016. FPGA Power Solutions, Switching Regulators, LDOs, CAN Transceivers, Multiplexers, Temperature Sensors, Voltage References.
- [75] ST, *Aerospace and Hi-rel ESCC, JANS and QML products*, 2014. Rectifiers and Diodes , BiPolar Transistors , Power MOSFETs.
- [76] Texas Instruments, *TI Space Products*, 2016. Innovating your space solution with leading edge radiation hardened and assured products.
- [77] D. M. Alter, *Thermoelectric Cooler Control Using a TMS320F2812 DSP and a DRV592 Power Amplifier*. Texas Instruments, 2003. Document Number: SPRA873.
- [78] "Radiation Hardened 8 Channel CMOS Analog Multiplexers with Overvoltage Protection," Datasheet, Intersil, 2011. FN4824.3.
- [79] "HS-508BRH, HS-508BEH Radiation Hardened Fast Sample and Hold," Datasheet, Intersil, 2015. FN8727.0.
- [80] "AD574: Complete 12-Bit A/D Converter," Datasheet, Analog Devices. REV B.
- [81] D. Sheehan and M. Smith, "Bandwidth, OFF Isolation and Crosstalk Performance of the ADG5XXA Multiplexer Series," Application Note, Analog Devices. AN-250.
- [82] Analog Devices, "Utilities: Switch/Mux Settling-time Calculator." Disponible: <http://www.analog.com/en/design-center/interactive-design-tools/settle.html#relatedInformation>. Accesado: 10 de Junio de 2017.

- [83] "HCTS541MS: Radiation Hardened Non-Inverting Octal Buffer/Line Driver, Three-State," Datasheet, Intersil, 1995. 518630.
- [84] "AD589: 2-Terminal IC 1.2V Reference," Datasheet, Analog Devices, 2004. C00532-0-2/04(C).
- [85] A. Rich, "Noise Calculations in Op Amp Circuits," Design Note, Linear Technology. 09/88/15-conv.
- [86] B. C. Baker, "Matching the noise performance of the operational amplifier to the ADC," Design Note, Texas Instruments, 2006. SLYT237.