

Informe de Proyecto Final: Banco de pruebas para múltiples interfaces de comunicación

Alumno: *Caspe, Franco* **LU:** 17343

Profesores: *Mg. Guillermo Friedrich*
Ing. Adrián Laiuppa

INDICE DE CONTENIDOS

1.	Presentación del proyecto.....	3
2.	Diseño de Hardware.....	4
2.1	Diseño de la placa madre	6
2.1.1	Traslado de soluciones desde la versión anterior.....	6
2.1.2	Especificaciones del hardware en base a los requerimientos	6
2.1.3	Consideraciones para el diseño de un PCB que admita una FPGA.	7
2.1.4	Consideraciones para la disposición de pines en base a los requerimientos (pin planning)...12	
2.1.5	Diseño del sistema de distribución de potencia.....	13
2.1.6	Consideraciones para el montaje de la Daughter Board	18
2.1.7	Determinación de los tamaños finales de BPRUEBA04 y Daughter Board	19
2.1.8	Disposición de capas y trazado de las pistas.	21
2.2	Diseño de la Daughter Board.....	21
3	Soldado del BGA	24
3.1	Consideraciones preliminares	24
3.2	Proceso de soldado.....	27
4	Construcción del prototipo	32
5	Codificación del hardware para la FPGA.....	35
6	Prueba de validación	37
7	Avances posteriores.....	39
8	Conclusión.....	41
9	Referencias	42

1. Presentación del proyecto

Una de las ramas del PROGRAMA DE INVESTIGACIÓN Y DESARROLLO PARA LA DEFENSA del Ministerio de Defensa, se centra en la extensión de la vida útil de los destructores y corbetas, que poseen un sistema de comando y control, funcional, pero de más de 30 años de antigüedad.

En una ocasión se solicitó un presupuesto por una serie de repuestos electrónicos cuya falta significaba un cuello de botella en el normal desenvolvimiento de las unidades navales. Sin embargo, el elevado presupuesto que se informó para la construcción de los mismos, dio lugar a la posibilidad de apostar por un desarrollo local, de coste menor por unidad, con materiales disponibles libremente en el mercado internacional, y cuyos resultados podían ser extendidos hacia el reemplazo de otros repuestos navales de similar aplicación e importancia. En este marco, el programa PIDDEF 08/12 diseñó un Banco de Pruebas que tiene la capacidad de simular distintos periféricos del sistema de comando y control de la flota.

Esta plataforma preexistente, permite que un microcontrolador STM32F4 programado convenientemente para simular un periférico, sea interconectado a la red de sensores y computadores del barco a través de una tarjeta de red que posibilita el enlace físico, denominada ICI. Esta tarjeta fue rediseñada también enteramente por personal de la Armada y la Universidad hace 7 años, integrando su circuito digital dentro de una FPGA, evitando el uso de tecnología antigua, es decir, arreglos de compuertas y circuitos MSI. Sin embargo, la mayoría de los elementos que componen el sistema de comando y control cuentan con dos o más interfaces de conexión. Antes de comenzar el proyecto, el diseño del Banco de Pruebas se encontraba en la versión 3.

Es natural pensar que se intenta ahora desarrollar un hardware que permita simular periféricos que necesitan múltiples ICIs para conectarse al sistema del barco. A diferencia del diseño anterior, en que una tarjeta ICI se conectaba en un zócalo del banco de pruebas, este desarrollo busca incluir en la placa madre la sección de firmware y las unidades de red.

Para facilitar la escalabilidad del proyecto, se seleccionó nuevamente una FPGA, ahora con mayor capacidad de implementación, como entorno sobre el cual codificar el hardware de las interfaces de comunicación.

El objetivo de este proyecto es entonces el desarrollo de una plataforma para simulación de periféricos con interfaz multi-ICI del sistema de comando y control, presente en la mayoría de los buques de la Armada Argentina. Esto contempla el diseño de la placa madre que da soporte a una FPGA Spartan 6 y a una tarjeta Discovery STM32F4, junto con un circuito accesorio de conexiones físicas (llamada "DAUGHTER BOARD"), y de un VHDL y firmware funcional. El conjunto compone entonces la llamada versión 4 del Banco de Pruebas.

Con el dispositivo a desarrollar, será posible codificar en VHDL un bus con 8 ICIs funcionales y su selector de prioridades, que como proyecto ulterior al trabajo final, serán diseñados en parte por el alumno, basándose en un VHDL preexistente que codifica una única ICI.

Debido a las restricciones temporales, el trabajo final que se propone queda conformado por el diseño y realización de la placa de soporte, junto con la implementación de una única ICI sobre la SPARTAN 6, y el firmware adecuado para su utilización.

2. Diseño de Hardware

Como se explicaba en la introducción, la necesidad de montar una FPGA en la placa del nuevo Banco de Pruebas, hace necesario un rediseño casi completo del mismo, a fin de proporcionarle al nuevo dispositivo, la infraestructura que requiere para funcionar, como las redes de distribución de potencia, junto con sus fuentes de alimentación, conexiones al microcontrolador y las bocas de comunicación.

Sin embargo, cabe aclarar que la interfaz entre el módulo ICI de comunicación y el microcontrolador quedará intacta desde el punto de vista funcional, con el objetivo de que el nuevo Banco de Pruebas sea retro compatible con la versión anterior, de esta manera puede reutilizarse el firmware preparado para operar con una única interfaz de comunicación en el nuevo diseño. En la Figura 1 se esquematizan las diferencias entre el dispositivo preexistente y el que se pretende desarrollar.

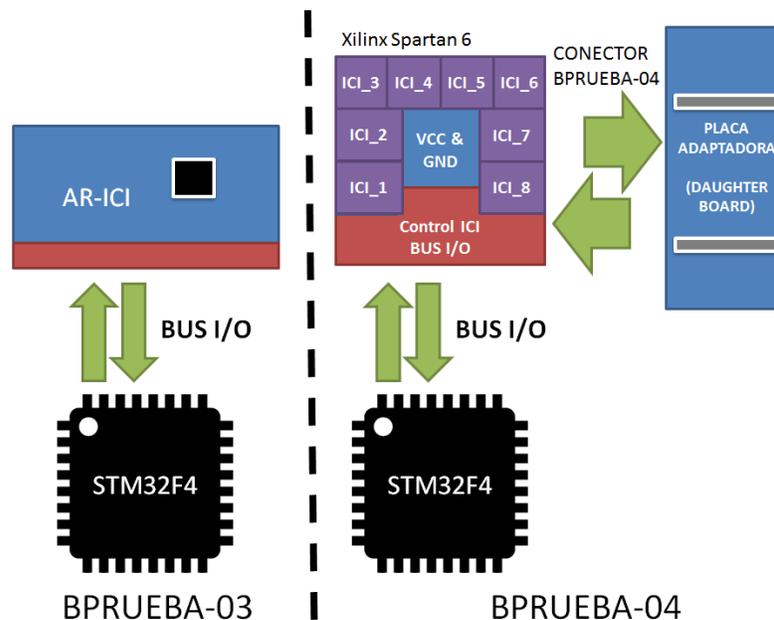


Figura 1: Comparación entre las arquitecturas de BPRUEBA-03 (preexistente) y el prototipo a desarrollar.

En esta sección se documentan los procedimientos, la toma de decisiones y la adquisición de buenas prácticas de diseño en distintas secciones a saber:

Diseño de la placa madre de BPRUEBA04

- Traslado de soluciones desde la versión anterior
- Especificaciones del hardware en base a los requerimientos
- Consideraciones para el diseño del PCB con FPGA (footprint, vías, disposición para arranque (configuración), memoria flash, Consideraciones para la disposición de pines en base a los requerimientos (puertos FPGA).
- Diseño de las Redes de Distribución de Potencia (Requerimientos de voltaje del sistema, selección de los convertidores dc-dc, colocación de los circuitos en pcb (stackup, layers), secuenciación de las fuentes, desacoplos: función, ubicación y colocación de los capacitores

de línea.

- Consideraciones para el montaje de la Daughter Board (Coherencia con el pinplan, footprint, conector, selector de velocidad, alimentación y alimentación auxiliar).
- Definición del tamaño de la placa y daughter board. Consideraciones para el ruteo de las pistas.

Diseño de la Daughter Board

- Traslado de soluciones desde el rediseño de la tarjeta ICI.
- Diseño modular de los adaptadores de nivel, disposición de los módulos, cercanía con el footprint de la Daughter Board).

2.1 Diseño de la placa madre

2.1.1 Traslado de soluciones desde la versión anterior

Al revisar los requerimientos del proyecto, es evidente que una gran parte del esquema funcional de la nueva versión del Banco de Pruebas queda intacta al saltar de versión, debido a que los diseños de software/firmware se implementarán con la placa de evaluación Discovery STM32F4, usada anteriormente.

De esta forma, la infraestructura que acompaña al microcontrolador Cortex se mantendrá en la nueva versión, reutilizándose así varios diseños de hardware modulares, a saber:

- Interfaz Serie-RS488
- Interfaz Serie-USB
- Indicadores de estado (*ERR_DHC, ERR_INT, ERR_TOUT, ONLINE, ERR_PC, ERR_TP*)
- Conexiones de SYSON Entrada/Salida
- Fuente no regulada de 15/30 VCC
- Fuente switching con LM2576 (5V)

La herencia de los diseños de las fuentes principales de alimentación se decidió partiendo de la consideración de que el banco de pruebas anterior posee la capacidad de alimentar una ICI original, de elevado consumo, por lo que se presupone, se tendrá una disponibilidad de potencia suficiente para alimentar la FPGA y sus adaptadores de nivel, de manera que las distintas fuentes auxiliares del nuevo dispositivo estarán conectadas a la salida regulada de 5V.

2.1.2 Especificaciones del hardware en base a los requerimientos

Considerando los requisitos iniciales, que comprenden el diseño de un hardware extensor de bus con ocho ICI's conectadas al mismo, a fin de conservar la interfaz de comunicación original con el microcontrolador, se entiende que se deberán especificar con algo más de detalle algunas características funcionales con el fin de obtener un PCB que se ajuste correctamente a las operaciones que se lleven a cabo en la FPGA.

De esa manera, en primer lugar, la FPGA tendrá un conjunto de conexiones con el microcontrolador, que comprende todos los pines del BUS I/O de la computadora naval, a saber:

PUERTO U	24 PINES
PUERTO I	24 PINES
PUERTO DA	6 PINES
STOP, MC2D, ODRP, RQ, IDRP, EIP, EN, EFD, ACK	9 PINES
SUBTOTAL PUERTO I/O	63 PINES

Tabla 1: Detalle de los pines de los puertos paralelos de entrada/salida.

Adicionalmente deberán incluirse las líneas de SKDIS y RESD, mas estas no son controladas por el microcontrolador, sino que en la versión anterior del banco de pruebas su nivel es seleccionado con dos switches colocados para tal fin. Se decidió entonces disponer de una línea para accionar el reset de todas las máquinas de estado de las ICI's, y de 8 líneas de SKDIS, a fin de poder deshabilitar las interrupciones de esos módulos de forma selectiva cuando se lo requiera.

RESD	1 PIN
SKDIS	8 PINES
SUBTOTAL LINEAS DE CONTROL MAQUINA DE ESTADO ICI	9 PINES

Tabla 2: Detalle de los pines de control ICI.

Por otro lado, se incluirán las 10 líneas de comunicación serie entre ICI's, replicadas por ocho, junto con 2 pines de configuración de velocidad por boca de comunicación, como se muestra en la tabla siguiente.

NWRIL1-NWRIL8	8 PINES
READYIL1-READYIL8	8 PINES
BSIL1-BSIL8	8 PINES
DATAIL1-DATAIL8	8 PINES
ONIL1-ONIL8	8 PINES
ONOL1-ONOL8	8 PINES
DATAOL1-DATAOL8	8 PINES
BSOL1-BSOL8	8 PINES
READYOL1-READYOL8	8 PINES
NWROL1-NWROL8	8 PINES
SPSELA1-SPSELA8 (Selección de velocidad, LSB)	8 PINES
SPSELB1-SPSELB8 (Selección de velocidad, MSB)	8 PINES
SUBTOTAL LINEAS COMUNICACIÓN INTER-ICI	96 PINES

Tabla 3: Detalle de los pines de comunicación del canal inter-ICI.

Finalmente, para lograr una implementación funcional del hardware de comunicación, se necesitará un dispositivo lógico programable que posea, al menos, 168 pines disponibles de propósito general. Finalmente, el dispositivo seleccionado fue una Xilinx Spartan 6, debido a que resulta una selección natural al escalar un VHDL de un dispositivo más pequeño a otro, manteniendo en principio muchas de las características del anterior. El fabricante ofrece, dentro de esta gama, distintas opciones con distinto número de pines, optándose por el dispositivo Spartan 6 XC6SLX25-2FTG256I, de grado industrial, cuyo encapsulado BGA, de 256 pines, posee más de 168 pines libres de propósito general, admitiendo entonces el número de entradas y salidas requeridas.

2.1.3 Consideraciones para el diseño de un PCB que admita una FPGA.

a) Diseño del footprint de la FPGA, y conexiones a la placa madre

Las recomendaciones de diseño del footprint sobre el que se monta la FPGA, fueron extraído de un documento técnico proporcionado por Xilinx, denominado "Spartan-6 FPGA PCB Design and Pin Planning Guide" [1], que incluye varias de las consideraciones que se tuvieron en cuenta para el diseño del PCB, junto con un apartado de planeamiento de pines.

Respecto al encapsulado, Xilinx recomienda que sea montado y horneado en un arreglo de contactos, con pads de 0,4 mm de diámetro, espaciados 1 mm, rodeados por un círculo de guarda

sin máscara antisoldante, de 0,5 mm de diámetro. A este tipo de contacto, que durante el proceso de montaje se suelda al pin del encapsulado BGA, se lo conoce como “Pad no definido por máscara antisoldante”, o NSMD [2].

Adicionalmente recomienda conectar este pad junto a una vía de conexión a otras capas del PCB, por medio de una pista diagonal de al menos 5 milésimas de pulgada (unidad denominada *thou* o simplemente *th*) de ancho. Se cumplieron estas recomendaciones .

El diámetro de vía recomendada es de 0,61 mm, con una perforación de 0,3 mm. Para permitir el pasaje de pistas no diagonales en las capas inferiores, siguiendo reglas de diseño originales, se seleccionó un diámetro de 0,4 mm y perforación de 0,2 mm.

Cada decisión se tomó considerando también la tolerancia del fabricante del prototipo, en este caso OurPcb [3]. En la Figura 2 se señalan las especificaciones críticas para el montaje. En la Tabla 4 se expresan los valores límites tolerados por el fabricante.

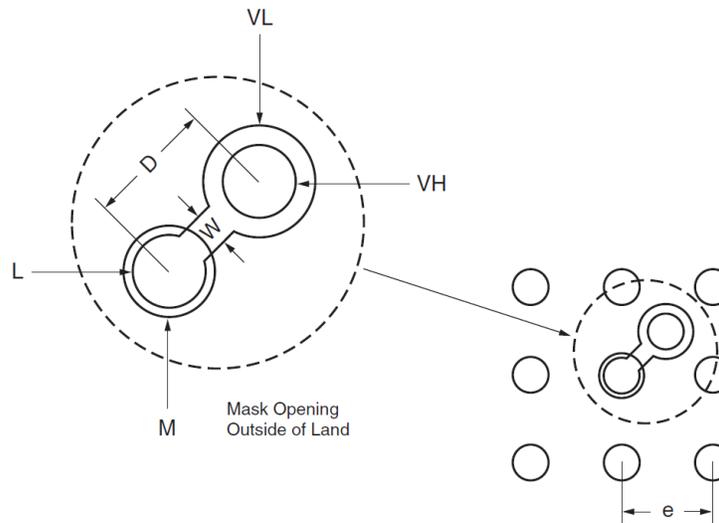


Figura 2: Footprint del encapsulado BGA.

Regla de diseño	Especificación Recomendada. <i>(Ver tabla A-2 del documento de Xilinx)</i>	Especificación utilizada	Capacidades mínimas relevantes del fabricante
Diámetro de pad de componente (L)	0.4 mm	0.4 mm	-
Diámetro de guarda sin máscara (M)	0.5 mm	0.5 mm	-
Espaciado entre pads/bola de estaño (e)	1 mm	1 mm	-
Ancho de pista entre pad y vía (W)	0.13 mm (5 th aprox.)	5 th	2 th
Distancia entre pad y vía (D)	0.7 mm	0.7 mm aprox.	-
Diámetro total de vía (VL)	0.61 mm	0.4 mm	0.2 mm
Diámetro de agujero de vía (VH)	0.3 mm	0.2 mm	-

Tabla 4: Recomendaciones de Xilinx para disposición de footprint y vías anexas del BGA.

b) Disposición de líneas relativas al arranque (configuración) de la FPGA.

Cuando una FPGA es alimentada a través de la totalidad de sus terminales de potencia, sus celdas lógicas se encuentran desprogramadas, debido a que sus registros de desplazamiento, al ser alimentados, adquieren valores aleatorios al comienzo de operación.

El proceso por el cual la FPGA adquiere su funcionalidad programada, se denomina configuración, y puede ser llevado a cabo básicamente por dos métodos bien diferenciados.

- Configuración manual: Los registros de desplazamiento se cargan debido a que otra entidad (microprocesador, otra FPGA, un operador) envía por un canal adecuado el VHDL compilado.
- Configuración automática: Las FPGAs poseen también métodos automáticos mediante los cuales, a través de la interacción de un hardware interno dedicado y una memoria que contenga la información, pueden autoconfigurar sus celdas lógicas.

La FPGA del banco de pruebas, cumplirá una única función, de manera que es conveniente la disposición de un método de configuración automático con una memoria.

Para abordar esta necesidad, nos basamos en un diseño de referencia que también utiliza la Spartan 6. Este diseño es una placa de evaluación mostrada en la Figura 3, de la empresa local Emtech, denominada 3PX1 [4].

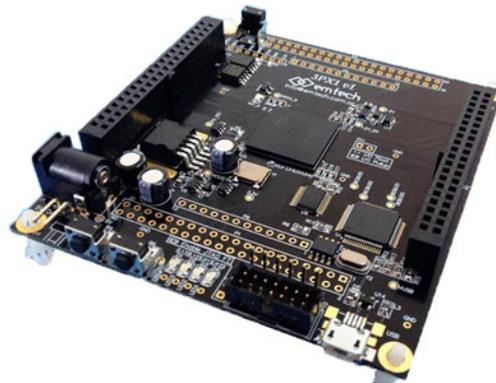


Figura 3: Placa de desarrollo Emtech 3PX1.

La placa de desarrollo 3PX1, utiliza una memoria flash externa para configurar la FPGA a través de un puerto SPI. Observando el manual de referencia de Xilinx para configuración de la Spartan 6 [5], junto con el esquemático del kit de desarrollo, llegamos a la conclusión de que el método empleado es el descrito en el manual como “configuración Maestro SPI con memoria flash”. Antes de considerar la conexión entre nuestro dispositivo y la memoria, deben tenerse en cuenta los pines de selección de configuración, que son leídos por la FPGA durante el boot-up, y definen el método de carga de la codificación de hardware. Se entiende que la disposición de los valores de estos pines debe coincidir entonces con el esquemático implementado entre JTAG, FPGA y memoria, si correspondiera. El método de configuración se selecciona colocando los pines especificados en la Tabla 5 a los valores lógicos estáticos que se muestran a continuación.

M0	Para MASTER-SPI: Se debe colocar un pull-up a VCCO.
M1	Para MASTER-SPI: Se debe colocar un pull-down a GND.
CMPCS	Pin reservado. Se coloca a GND.
HSWAPEN	Cuando está bajo, habilita las resistencias de pul-up durante la configuración. Se coloca un pull-up, debido a que se cuenta con estas resistencias fuera del chip. ¹

Tabla 5: Pines de selección de la configuración FPGA:

Una vez seleccionado el tipo de configuración, para el método SPI-maestro estándar, intervendrán durante el proceso los pines especificados en la Tabla 6.

Nombre del Pin	Tipo	Descripción
M(1:0)	Entrada	Pines de modo de configuración
CCLK	Salida	Clock de Configuración: En el modo maestro, la FPGA genera un clock con un oscilador interno, que excita a la flash.
DIN	Entrada	Entrada de datos provenientes de memoria. Sincronizada con el flanco ascendente de CCLK
DOUT	Salida	Salida de datos, utilizada si existe interconexión de dispositivos SPI en cadena boba (Daisy chain).
DONE	Salida	Señal activa por alto que indica que se completó la configuración.
INIT_B	Doble propósito	Antes de leer los pines M, este pin puede retenerse en estado bajo para retrasar la configuración de la FPGA. Luego de leer los pines, INIT_B, se transforma en una salida activa por cero que indica error de CRC durante la configuración.
PROGRAM_B	Entrada	Entrada asíncrona de reseteo completo.
CSO_B	Salida	Chip Select de la memoria utilizada.

Tabla 6: Pines que intervienen durante el proceso de configuración seleccionado.

El esquema de la Figura 4, extraído del manual de configuración, ilustra la conexión entre la memoria flash y la FPGA.

¹ Cuando la FPGA se configura, la conexión al dispositivo que la configura (Memoria flash, uC, etc.) puede requerir de resistencias de pull-up en algunas o todas las líneas de la interfaz que se utilice. La disposición de resistores fuera de chip es una decisión de diseño, pudiéndose utilizar los pull-up internos de la FPGA, simplemente referenciando el pin HSWAPEN a masa. En este diseño se utilizaron resistencias de pull-up en las líneas SPI que así lo requerían, de manera que se deshabilitaron los pull-ups internos referenciando a HSWAPPEN a 3v3O a través de un resistor de pull up en ese pin.

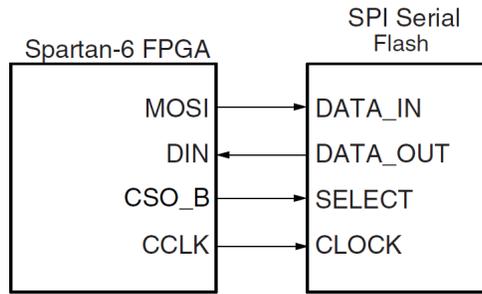


Figura 4: Conexión Master-SPI entre FPGA y flash.

La placa 3PX1 utiliza un método de configuración derivada de la anterior, que emplea el puerto SPI extendido a 4 líneas, denominado QPI, que es más veloz y posee compatibilidad hacia atrás con el método anterior. El esquemático es similar, con la diferencia que se trazan en el PCB dos líneas adicionales, denominadas SDIO2 y SDIO3, como se muestra en la Tabla 7.

Línea	FUNCIÓN SINGLE SPI	FUNCIÓN QUAD SPI (QPI)
1	MOSI (Master OUT/Slave IN)	SDIO0 (Serial Data I/O)
2	DIN (Data IN)	SDIO1
3	NC	SDIO2
4	NC	SDIO3

Tabla 7: Líneas de datos para comunicación SPI y QPI.

Para lograr una comunicación QPI satisfactoria, adicionalmente se deberá modificar un parámetro en el generador del archivo de programación de la FPGA, (denominado bitgen), aclarando el método de comunicación seleccionado. Deberá cargarse también un parámetro en la memoria flash que indique que se espera una comunicación a 4 líneas. La aplicación iMPACT, de grabación de dispositivos de Xilinx interviene en este proceso.

Por otro lado, en el otro extremo de la FPGA, se dispone de un puerto JTAG que permite la grabación inicial del hardware de la FPGA en la memoria flash. El puerto JTAG se conecta directamente a los pines provistos para tal fin, como indica la Figura 4.

Cuando se practica una configuración manual en a FPGA, la aplicación iMPACT descarga el contenido del archivo de programación directamente en la memoria volátil de las celdas lógicas del dispositivo. Cuando se intenta una grabación de memoria flash para configuraciones automáticas posteriores, la aplicación descarga un hardware en la Spartan6, que actúa como puente entre el puerto JTAG y SPI, grabando la memoria que será leída posteriormente durante el arranque de la FPGA. Las líneas de flujo de información se muestran en la Figura 5.

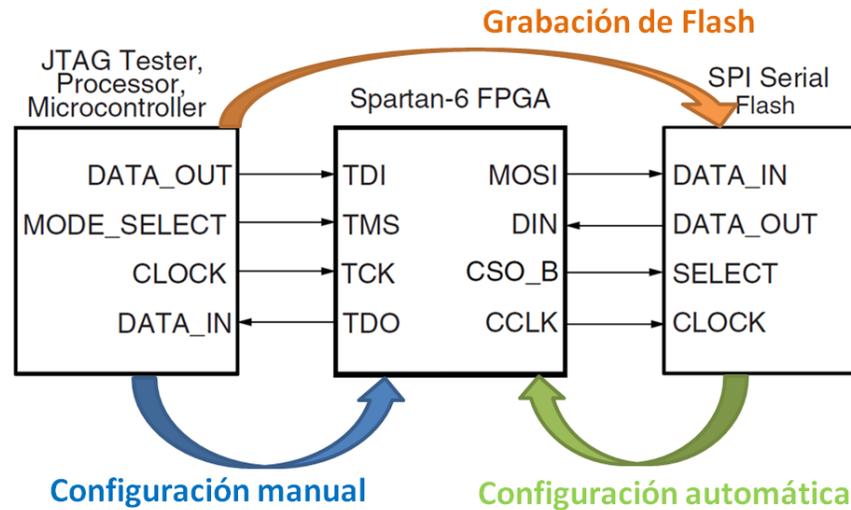


Figura 5: Conexión JTAG y SPI utilizadas y su función.

Finalmente, por su flexibilidad de uso, el proceso descrito fue seleccionado para la configuración de la Spartan6 en el Banco de Pruebas. La memoria flash a utilizar dispondrá de la interfaz propiamente dicha, así como de espacio suficiente para albergar el diseño de hardware requerido. Finalmente, se optó por la memoria Cypress S25FL128L, de 128 Mbit.

2.1.4 Consideraciones para la disposición de pines en base a los requerimientos (pin planning)

Durante la etapa del desarrollo del PCB del Banco de Pruebas, no se había portado aún el VHDL de la ICI a la Spartan6, pero independientemente de este detalle, Xilinx proporciona la herramienta PlanAhead que permite determinar una disposición de pines cuya síntesis resulta altamente factible sobre la FPGA. La capacidad o no de sintetizarse dependerá finalmente del hardware que se intente embeber en el dispositivo. Considerando la ocupación actual de una ICI en la Spartan3 que utiliza la placa de AR-ICI, se sobrentiende que abundarán los recursos para materializar sin problemas el hardware en el nuevo dispositivo. Sin embargo, una disposición correcta de pines, permite aprovechar al máximo las pistas metalizadas de reloj dentro de la FPGA, minimizando glitches y mejorando el rendimiento energético del hardware.

Conociendo las funciones de cada uno de los 168 pines que se deben codificar en el hardware, se tomaron ciertos recaudos a la hora de asignarlos en el footprint del dispositivo.

En primer lugar, una buena disposición de pines debe evitar la posibilidad de una contención de señal durante la configuración de la FPGA. La contención se da cuando la señal de configuración comparte el pin con otra ajena a esa función, estando ambas activadas durante el intervalo temporal que dura esta operación, causando una falla en el arranque. De manera que a los pines mencionados en el apartado anterior se los dejará con su función original, y no serán reclamados posteriormente para su uso como entrada y salida de propósito general, debido a las dificultades que esto conlleva.

En segundo lugar, debe considerarse que nuestra Spartan6, de encapsulado de 256 pines, posee en silicio una arquitectura de 4 bancos de entrada y salida, los cuales controlan cada uno una gran cantidad de pines.

Cuando se piensa en el hardware que se intentará codificar a futuro, pueden discriminarse los pines que pertenecerán al controlador de bus, y los pines que corresponderán a la entrada/salida serie vía las 8 interfaces serie ICI. De esta forma se decidió asignar cada grupo de pines a bancos

únicos cuando sea posible. Adicionalmente, se procuró que los pines pertenecientes a una sola interfaz se encuentren lo más agrupados posible. Para el caso del controlador de bus, que requiere 63 pines, como se mostró en la tabla del apartado 1.1, se asignaron los pines a dos bancos distintos, cuidando que las líneas que pertenecen a los puertos U, I o DA pertenezcan únicamente a uno solo.

Como no se contaba con el VHDL sintetizado, la aplicación ignoró durante la etapa de pin planning ciertos aspectos del trazado de las líneas de reloj en el hardware, de manera que se intentó que los pines de datos o reloj estuviesen apartados, rodeados de otros que presentan transiciones más lentas o son de masa o alimentación.

El pin MC2D (entrada de reloj de la ICI), fue dispuesto sobre un pin de entrada de reloj GCLK. Los pines de VREF, utilizados normalmente como referencia para líneas diferenciales, se utilizaron como I/O.

En la Figura 6 se muestra de forma esquemática, la disposición de los grupos funcionales de pines en el footprint de la FPGA.

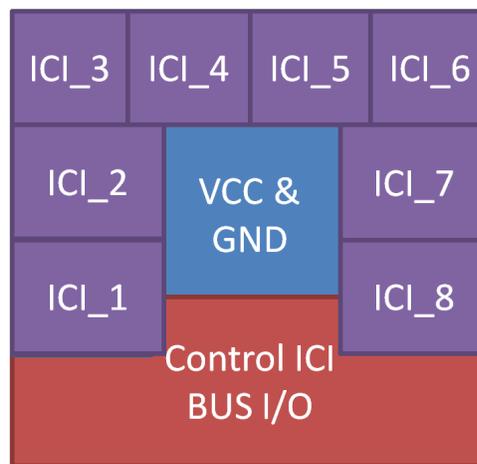


Figura 6: Ilustración esquemática de la disposición de los grupos de pines en el footprint de la FPGA.

2.1.5 Diseño del sistema de distribución de potencia.

a) Determinación de los voltajes necesarios y los diseños de fuente a emplear

Cualquier sistema que posea una FPGA debe poseer una disposición adecuada de fuentes de potencia para alimentar de forma separada la lógica del dispositivo, las interfaces de entrada y salida y por último a los dispositivos circundantes. En este sentido, cada una de las fuentes deberá proveer potencia RMS y de pico suficiente para alimentar los dispositivos dependientes de esta. Para lograr esta tarea se deben seleccionar de forma adecuada integrados que entreguen corriente suficiente, teniendo en cuenta la disipación de calor durante los intervalos de carga máxima.

Por otro lado, la fuente deberá entregar una cierta potencia pico a las unidades lógicas a una velocidad comparable a la tasa de transiciones de las líneas que estas controlan. Para lograr este cometido, se colocan capacidades ubicadas en posiciones estratégicas que actúan entregando la potencia rápidamente, cargándose durante el transcurso en que los valores lógicos se mantienen altos o bajos.

Para el diseño del banco de pruebas, partiendo de una fuente no regulada compuesta por un rectificador y capacitores de filtrado, alimentada con un transformador de 24/220V, se debían

alimentar básicamente a tres conjuntos de dispositivos que se detallan en la Tabla 8.

Tipo de dispositivo	Voltaje requerido
Placa de evaluación Discovery STM32F4	5V
FPGA Xilinx Spartan6	1V2 para lógica interna
	3V3 para compuertas de entrada/salida
Daughter board y Dispositivos circundantes (ej. Memoria flash)	3V3

Tabla 8: Voltajes requeridos por los dispositivos que integran el banco de prueba.

Considerando el tipo de fuentes que se debe implementar, podemos basarnos en un dispositivo probado como es el de la AR-ICI en orden de obtener algunas buenas prácticas de diseño que nos ayuden a completar nuestro banco.

En primer lugar, la AR-ICI posee tres convertidores DC-DC que son alimentados desde una fuente común. Estos convertidores entregan los mismos valores de tensión que los que necesitamos, y están basados en un diseño que emplea el integrado NCP1529 para bajar de la alimentación de 5v de las SMRS-MU de abordaje a dos tensiones de 3v3 y una de 1v2. Se utilizan dos fuentes de 3v3 debido a que Xilinx recomienda la disposición de una fuente empleada únicamente para alimentar las compuertas de entrada y salida de la FPGA.

De esta manera, debido a que se requiere una fuente en común a los convertidores DC-DC de la FPGA, se utilizará una fuente de 5v y alta corriente, que fue probada satisfactoriamente en la versión 3 del Banco de pruebas. Esta fuente está basada en el integrado LM2576.

Para la selección de las fuentes auxiliares y de la FPGA pueden emplearse directamente las encontradas en la AR-ICI, sin embargo, la placa de desarrollo de Emtech 3PX1, emplea para alimentar la lógica de entrada/salida de la FPGA, una fuente lineal de bajo ruido basada en el integrado LD29300, de manera que este diseño se seleccionó particularmente para cumplir esa función, eligiendo las fuentes basadas en NCP1529 para las otras aplicaciones. Un detalle de todos los convertidores colocados puede observarse en la Tabla 9.

Tipo de dispositivo	Voltaje requerido	Fuente colocada
Placa de evaluación Discovery STM32F4	5V	Switching LM2576
FPGA Xilinx Spartan6	1V2 para lógica interna	Switching NCP1529
	3V3 para compuertas de entrada/salida	Lineal LD29300
Daughter board y Dispositivos circundantes (ej. Memoria flash)	3V3	Switching NCP1529

Tabla 9: Detalle de las fuentes colocadas.

b) Disposición física de los circuitos DC-DC en el PCB

Los circuitos convertidores de tensión poseen requerimientos de disipación, y su salida, más allá del correcto voltaje y disponibilidad de potencia, debe contener una magnitud de potencia de armónicos limitada. Para satisfacer estas exigencias, los sistemas que las emplean disponen de islas de cobre en torno al integrado que realiza la conmutación. Estas islas proporcionan un área en donde el integrado disipa temperatura, además de formar un capacitor de placas paralelas entre las

distintas capas de PCB que ayuda a mantener el nivel de armónicos a un margen seguro. Debe tenerse en cuenta igual que la adición de capacidad externa es indispensable para cumplir este cometido.

De la misma manera, debido a que la conmutación de las fuentes genera interferencia electromagnética, se intenta que las fuentes queden adecuadamente alejadas de los dispositivos que alimentan.

Los integrados conmutadores de elevada corriente poseen un plano de masa que al ser conectado a la capa superior de la plaqueta permite la disipación de calor. De esta forma, se seleccionó la capa superior de la fuente para estar referenciada a tierra. Esta recomendación aparece en el datasheet del convertidor NCP1529. Otra recomendación indica que dentro del footprint de la fuente, las trazas por las que circula mucha corriente deben lo más cortas y anchas posibles.

La capa INNER1, fue seccionada en islas, copiando el diseño de la AR-ICI, asignando a cada isla la tensión de salida de cada una de las fuentes. Esto permite extraer de esa sección una pista gruesa de potencia que transporte la corriente al sitio en donde debe aprovecharse la energía.

Se dispuso adicionalmente de un conjunto de vías libres metalizadas que unen todas las capas de masa de cada una de las fuentes, con el objetivo de mejorar la disipación de las mismas, según lo recomendado en el datasheet del integrado NCP1529.

Las pistas restantes están referidas a masa, con la excepción de la pista BOTTOM, que está referenciada a un nodo de 5V de tensión, protegido por diodos TVS y diodos fusible.

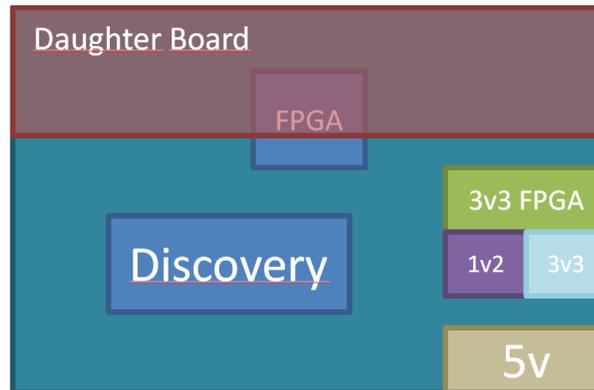


Figura 7: Disposición de las islas de PCB de las fuentes, en relación a la posición de los dispositivos que alimentan.

c) Secuenciación del encendido de las fuentes

Cuando se enciende el banco de prueba, la FPGA intentará configurarse automáticamente buscando una codificación dentro de la memoria flash. De esta forma, un encendido simultáneo de estos dispositivos puede provocar que se genera un error de configuración si se genera un retardo de arranque de la memoria. Asimismo, un encendido repentino de todas las fuentes puede provocar una exigencia de corriente pico por única vez, que la fuente de 5v podría no estar preparada para entregar. Para evitar este inconveniente, se secuencian los encendidos de las fuentes, utilizando para ello un diseño obtenido de la 3PX1. Este diseño utiliza un sensor/secuenciador de voltaje TPS3808 que detecta la tensión de una fuente, espera un cierto tiempo, y acciona el encendido de otro convertidor. La salida de este convertidor será censada por otro secuenciador, que esperará y disparará la habilitación de otra fuente.

La secuencia de encendido permite alimentar primero la memoria flash, para luego energizar en primera instancia la lógica interna y luego externa de la FPGA.

d) Empleo de los capacitores de desacople

Todos los circuitos digitales exigen una cierta disponibilidad de potencia pico en un período de tiempo relativamente corto para lograr conmutaciones rápidas.

Los capacitores de desacople, ubicados entre la línea de alimentación y masa, proporcionan la potencia instantánea requerida para realizar una conmutación rápida, siempre y cuando se encuentren cerca de del integrado al que proporcionan la energía, debido a que la inductancia de la línea puede empobrecer notoriamente la descarga rápida de los mismos. Por otro lado, permiten desacoplar el ruido de la línea de alimentación, derivándolo a masa.

En ese sentido, los integrados de conmutación recomiendan la colocación de capacitores de desacople, conectados entre la entrada de potencia y masa, y también entre la salida de potencia y masa de la capa superior del PCB.

Por otro lado, Xilinx recomienda tres conjuntos de capacitores de desacople, de valores de capacidad y tecnología de fabricación claramente definidos. Estos capacitores se colocan a distancias muy cortas del encapsulado BGA, filtrando las distintas entradas de alimentación. En la tabla siguiente se muestran las recomendaciones mencionadas anteriormente.

Set de capacitores	Recomendación de colocación
Capacitores 100uF- Encapsulado 1210	Colocarlos lo más cerca posible de la FPGA
Capacitores 10uF- Encapsulado 0805	Colocarlos a una distancia no mayor a 2 pulgadas de la FPGA.
Capacitores 0.47uF- Encapsulado 0402	Si el grosor del PCB es mayor a 1.575mm, colocarlos sobre la capa más cercana al plano de alimentación que se intenta filtrar, a no más de media pulgada del encapsulado de la FPGA.

Tabla 10: Capacitores de desacople recomendados por Xilinx.

Para minimizar la inductancia parásita por montaje del capacitor, Xilinx recomienda que las vías de conexión a alimentación o masa de los capacitores no formen una línea recta con el capacitor. Adicionalmente se deberá colocar más de una vía por terminal cuando se monten los capacitores 1210. Finalmente, las vías que trasladan corriente en sentidos inversos deben acercarse lo más posible. En la Figura 8 se esquematiza este último fenómeno en el cual se genera una inductancia parásita en un capacitor debido a la presencia de un lazo de corriente causado por el montaje. En la Figura 9 se muestra la disposición sugerida de las pistas y vías para un capacitor SMD.

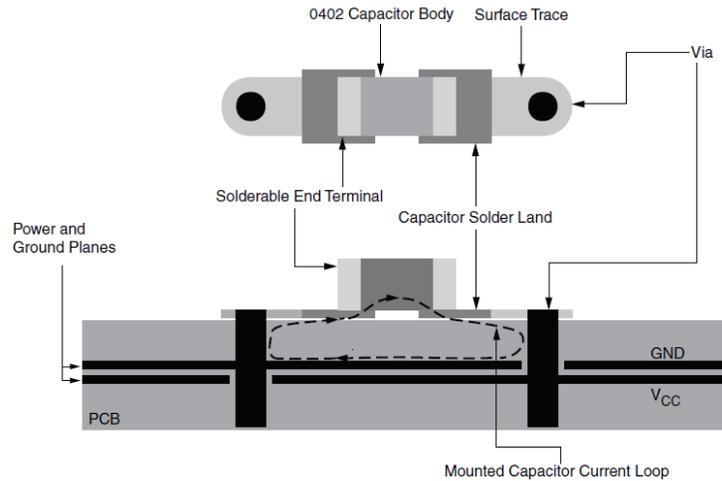


Figura 8: Generación de una inductancia equivalente debido a la formación de un lazo de corriente por montaje.

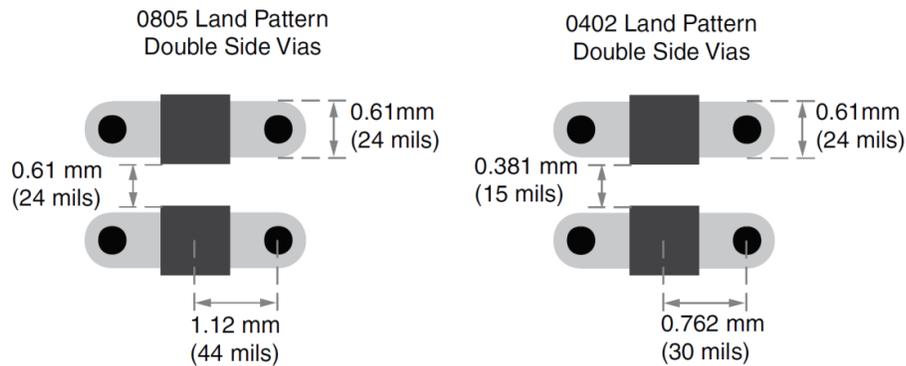


Figura 9: Disposición sugerida de pistas y vias para los desacoples de bajo valor.

e) Otras consideraciones para minimizar la inductancia parásita del camino de la corriente

Según el manual de aplicación de Xilinx[1], la inductancia parásita puede generarse debido a tres factores principales:

1. Inductancia por montaje de capacitor
2. Inductancia debida a los planos de masa y VCC
3. Inductancia de montaje de la FPGA.

Debido a que todos los factores son de importancia, se discutirán los factores 2 y 3, aún no tratados en este documento.

En el manual de aplicación, se explica que la geometría de los planos de alimentación y masa de en un PCB que alimenta una FPGA, determina la inductancia característica de los mismos. Esta inductancia se expresa en Henrios/cuadro. Para minimizar su efecto, deberán disponerse siempre las capas de alimentación y masa de a pares.

En segundo lugar, se indica que las corrientes en direcciones opuestas generan espiras de corriente que poseen una inductancia equivalente. Para minimizar este efecto, Xilinx diseña el

pinout de alimentación de 1v2 de los encapsulados BGA como un tablero de ajedrez, intercalando pines de alimentación y masa. En este sentido, para asegurar el camino de corriente de la espira más corto posible, la capa de alimentación de la FPGA que exhibe mayor cantidad de corriente transitoria debe estar ubicada lo más cerca posible del encapsulado, limitando la longitud del trayecto de corriente que circula a través de las vías que la conectan con el integrado. De esta forma, se dispuso de una isla debajo de la FPGA, referenciada a la capa de 3v3 de alimentación del dispositivo. Para proveer la potencia a la lógica interna, se trazó un camino con tensión de 1.2V que llega al centro del encapsulado. Ambas tensiones se colocaron en la capa inmediatamente inferior al dispositivo, como se muestra en la Figura 10.

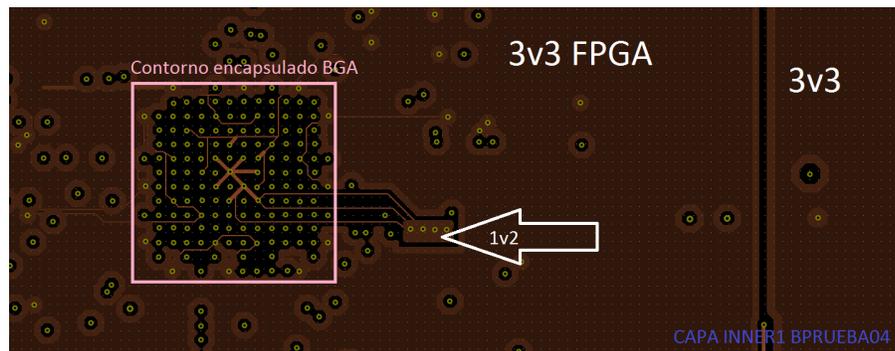


Figura 10: Líneas de alimentación de la FPGA, e islas de potencia.

2.1.6 Consideraciones para el montaje de la Daughter Board

Debido a que no se disponía del suficiente espacio para integrar los convertidores de nivel en la placa del banco de prueba, se definió en el PDE, el diseño de una placa adaptadora de niveles para todas las interfaces ICI de la FPGA, denominada Daughter Board.

Como se mostró en la Tabla 3, los pines de salida de las interfaces inter-ICI totalizan 96 unidades. Cada una de estas líneas, con excepción de las 16 de selección de velocidad, debe ser modificada de nivel, y adaptadas desde modo común a modo diferencial. Los pines de configuración de velocidad se rutean hacia la Daughter por una cuestión de facilidad de acceso a los mismos.

Por motivos de facilidad de montaje, y eliminación de ítems la lista de materiales, se determinó que el montaje de la Daughter Board se realice sobre conectores similares a los utilizados en la placa de evaluación Discovery, es decir, se montará sobre dos conectores dual-in-line de 50 contactos cada uno. En total, se dispuso entonces de 100 pines; 96 de estos fueron ocupados por las líneas de entrada, salida y selección de velocidad de las ICI's, mientras que los 4 restantes se reservaron para alimentación y masa.

El pinout de los conectores de 50 pines se definió aprovechando la disposición de las interfaces ICI definidas durante la etapa del pin planning.

Debido a que se decidió colocar los cuatro pines de alimentación y masa en un solo lado de la Daughter board (para evitar la generación de una espira de corriente), los dos contactos de selección de velocidad de la ICI_4 se debieron colocar en el otro conector. Estos pines poseen un voltaje continuo, por lo que no hay restricciones en la longitud del trazado de las pistas.

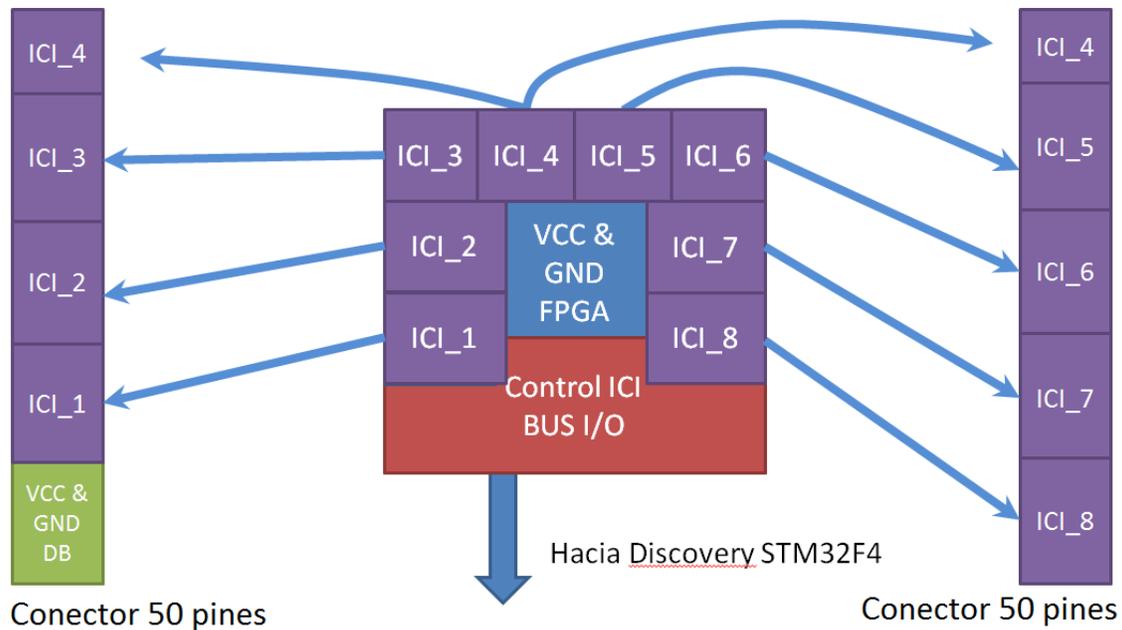


Figura 21: Disposición de pines trasladados a los conectores de la Daughter Board

2.1.7 Determinación de los tamaños finales de BPRUEBA04 y Daughter Board

En principio, se avanzó con el diseño del banco de pruebas heredando el tamaño de placa de la versión anterior. Acorde las etapas de desarrollo sucedieron, se decidió incrementar el tamaño de placa a las dimensiones máximas que acepta el gabinete plástico PB150 de la empresa nacional Chillemi S.A [6]. De la misma manera, se redefinieron los agujeros para tornillos de tal forma que coincidan con los que el gabinete tiene preparados de fábrica para montar. Finalmente, el tamaño definido fue de 210x170 mm.

Por otro lado, la Daughter Board puede aprovechar todo el ancho de la placa que la contiene, quedando limitada por la posibilidad de sostén que ofrecen sus dos conectores de 50 pines. Se definió un tamaño de 210x75mm, con los conectores ubicados al centro, como muestra la Figura a continuación.

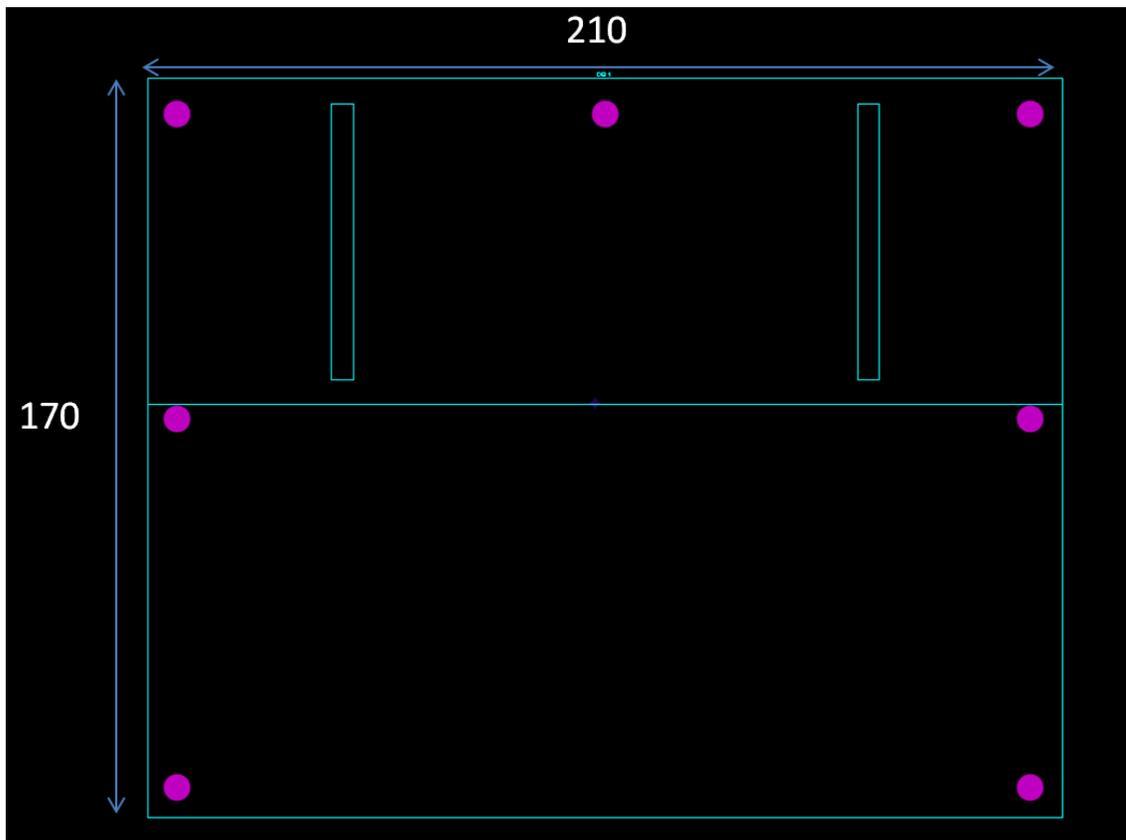


Figura 32: Medidas de la placa del Banco de prueba, y posición de los tornillos de montaje.

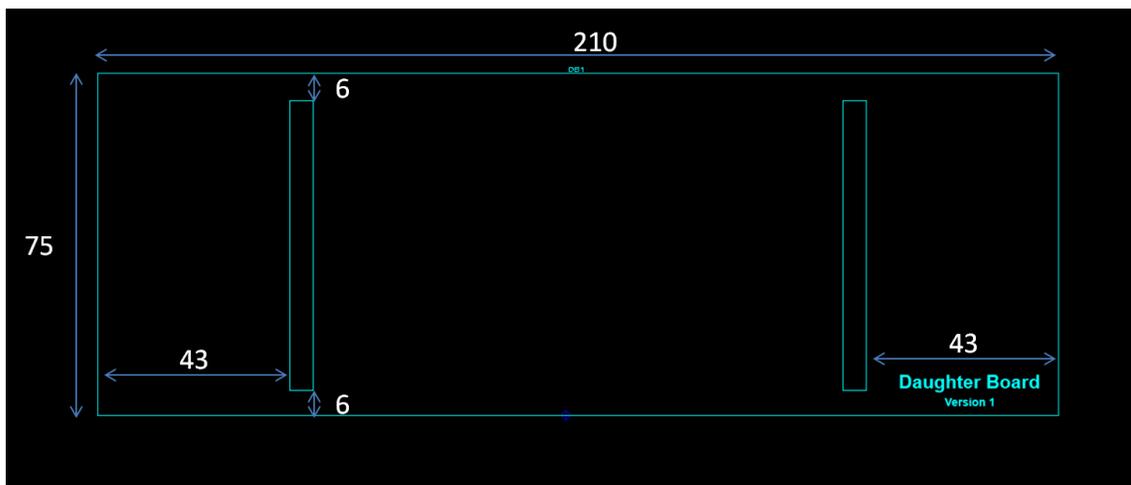


Figura 43: Medidas de la Daughter Board.

2.1.8 Disposición de capas y trazado de las pistas.

Para el trazado de las pistas en el banco de pruebas, se decidió emplear 4 de las 6 capas del PCB, reservando a las capas INNER 1 para alimentación de los integrados e INNER 2 como una capa de masa únicamente.

Una vez definidos los footprints y el pinout de la FPGA, la placa de evaluación DISCOVERY y la Daughter Board, se procedió a trazar las rutas, respetando el siguiente orden de prioridad.

1. Pistas que transporten señales de reloj. (MC2D, BSIL/BSOL)
2. Líneas de datos serie. (DATAIL/DATAOL)
3. Líneas de señalización por pulsos cortos (NWRIL, EIP, EN,RQ)
4. Líneas de datos paralelos. (U,I,DA)
5. Líneas de señalización por nivel (ej: ONIL, SPSEL A/B)

2.2 Diseño de la Daughter Board

En el PDE, se define a la Daughter Board como una placa adaptadora de señales, permitiendo comunicar de esta forma, las interfaces embebidas en la FPGA con otras ICI's externas. De esta forma, los diseños que se empleen para lograr este cometido, pueden extraerse del diseño de la AR- ICI, a saber:

- Adaptadores de nivel de líneas de entrada, basados en el integrado AM26LV32EIDR.
- Adaptadores de nivel de líneas de salida, basados en AM26LV31EIDR.
- Protecciones.

Considerando el relativamente poco espacio con el que se dispone, no se pudo realizar un diseño enteramente modular, que comprenda un juego de adaptadores de nivel por cada interfaz embebida, debido a que, de esta manera, los integrados quedan con pines de entrada y salida en desuso.

Por otro lado, para aprovechar el espacio, se definió el montaje de componentes en ambas caras de la plaqueta, reservando entonces la cara superior para los convertidores de entrada, y la inferior para los de salida. Teniendo en cuenta que se requiere adaptar 5 líneas de entrada y 5 líneas de salida por cada ICI, y cada uno de estos proporciona 4 conversiones, se necesitarán 10 integrados de entrada y 10 de salida. Asimismo, se añadió un juego de protecciones por cada línea de entrada o salida colocada, colocándose en total 80 juegos.

Habiendo definido el esquemático, se procedió a trazar las pistas en las 6 capas del PCB, siguiendo el mismo orden de prioridad que el exhibido anteriormente.

Adicionalmente, se colocó una conexión de potencia auxiliar, con el objetivo de proporcionar corriente extra al circuito en el caso de que los pines dispuestos en el conector de la daughter board no sean suficientes.

Finalmente, si bien el diseño de cada convertidor tiene en cuenta la colocación de capacitores de desacople ubicados cerca de los integrados, se agregó un capacitor extra de 100uf, para proporcionar energía transitoria adicional.

A continuación se muestran los diseños modulares de los convertidores y las protecciones implementados en la Daughter Board.

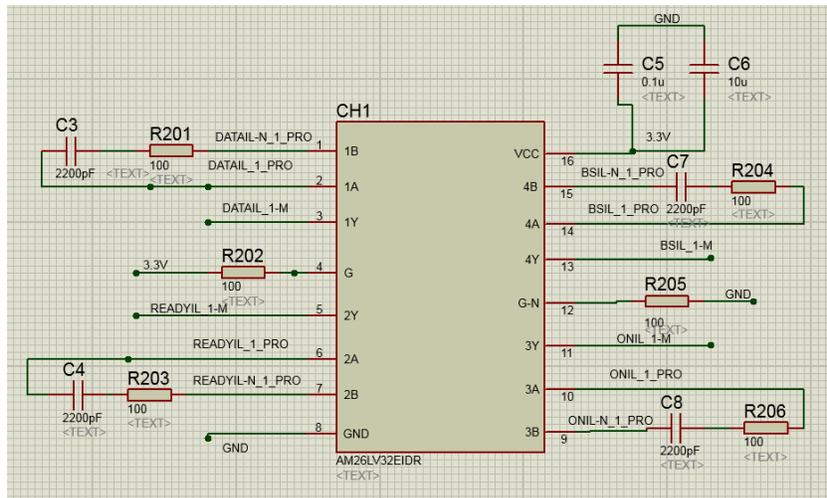


Figura 54: Adaptador de 4 entradas.

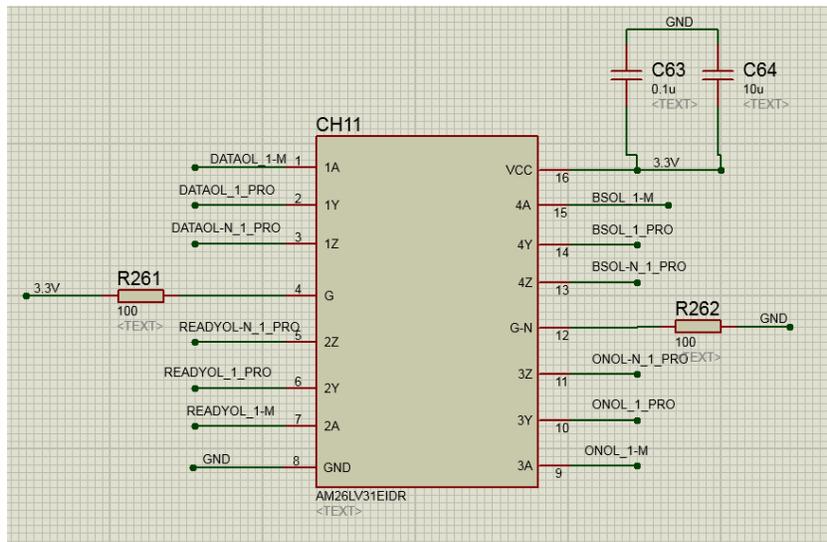


Figura 65: Adaptador de 4 salidas.

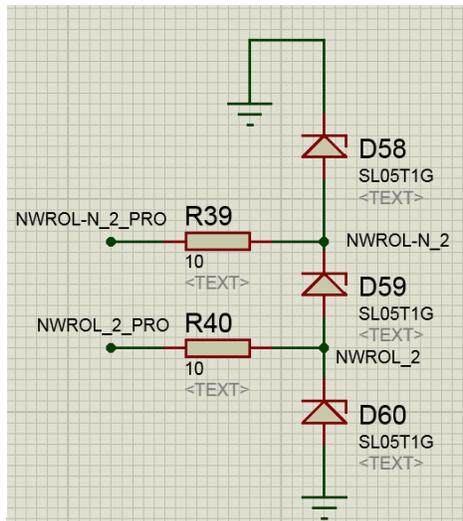


Figura 76: Protecciones a las líneas diferenciales.

Finalmente, a cada interfaz serie completa tipo ICI de la Daughter Board, se le asignó un conector de tipo tira de pines, de baja ocupación y alta densidad de contactos. En torno a este conector se dispusieron las protecciones anteriormente mencionadas, como se muestra en la Figura 16.

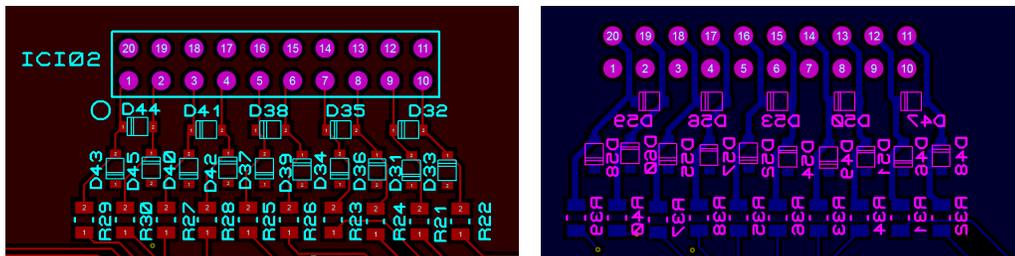


Figura 17: Conector ICI y las protecciones asignadas. Izquierda: Vista TOP (Entradas). Derecha: Vista BOTTOM (Salidas).

3 Soldado del BGA

3.1 Consideraciones preliminares

El proceso de soldado de un integrado con encapsulado BGA, supone la exposición del PCB con el encapsulado encima a una curva de temperatura, de tal forma que las esferas de estaño sin plomo, se fundan y el terminal del PCB se suelda al del encapsulado.

La aleación soldante utilizada, SnAgCu, cumple con los estándares RoHS[7], exigido por Unión Europea y varios países adherentes para la comercialización de cualquier producto de grado comercial.

La curva de temperatura es específica para cada tipo de encapsulado; sin embargo, se deben verificar las limitaciones térmicas de la placa de circuito impreso, del flux que se utilice, y de la pasta de soldar junto a los otros componentes que se deseen montar en esa operación, si los hubiere.

La función de la curva es lograr que el metal a fundir sea sometido a procesos bien diferenciados [8], que ejecutados convenientemente, aseguran una soldadura correcta y durable.

1 - Pre calentamiento

La primera y más larga etapa, consiste en precalentar el circuito, es decir, llevarlo lentamente hacia una dada temperatura. La distribución de calor debe ser uniforme, o el PCB, podría curvarse.

2 - Soaking

El soaking, cuya traducción directa es “enjuague”, es un proceso que se da a una determinada temperatura, pasado el pre calentamiento, y dura entre 60 a 120 segundos. Durante este proceso, el flux que debe colocarse entre el PCB y el encapsulado, se activa, removiendo el óxido de las esferas de estaño, que aún no han alcanzado su punto de fundición.

3 - Reflow

En esta etapa el PCB, es calentado rápidamente, llevado a temperaturas máximas, para derretir completamente la pasta de soldar y unir el encapsulado al circuito. Durante esta etapa, el integrado desciende desde su posición original hasta su posición final, más cerca de la placa, como así también termina de alinear sus pines con los del footprint. El temporizado es crucial, debido a que el estaño debe fundirse completamente sin llegar a fluir fuera de los límites del contacto que debe unir, o incluso vaporizarse.

4 - Enfriado

La cuarta etapa consiste en enfriar rápidamente la placa, hacia la temperatura ambiente. El enfriamiento es más rápido que el calentamiento, debido a que este proceso, realizado a la velocidad suficiente, ayuda a crear una estructura cristalina en el estaño soldado, mejorando la unión de los contactos.

5 – Lavado

Finalmente, el lavado, es un proceso que no es obligatorio, que permite eliminar el residuo generado por la pasta de soldar durante el proceso. Se utiliza agua des ionizada y un detergente adecuado. Finalmente se seca con aire.

Para el caso de nuestro circuito, todos los componentes, con excepción de la FPGA, serán soldados con lápiz de estaño, con el objetivo de probar el proceso de calentado a horno de la forma más simple posible.

La curva de temperatura con la que se suelda el encapsulado, es proporcionada por el

fabricante, y se programa en un horno con el que se calienta el PCB. Hoy en día, existen dos tipos de hornos para el soldado por curva de temperatura: el horno de convección por flujo de aire, y el de calentamiento infrarrojo, siendo superior el primero, debido a que la corriente de aire permite lograr temperaturas más uniformes dentro del contenedor.

El horno con el que se contó para realizar la experiencia, es un Puhui T-962, infrarrojo, programable con curva de temperatura, como el que muestra la Figura. [9]



Figura 18: Horno de soldado infrarrojo.

Antes de comenzar el soldado, deben cargarse en el horno los perfiles térmicos adecuados para el montaje de los componentes. En este caso, Xilinx proporciona una nota de aplicación en la que especifica curvas y límites térmicos, a la vez que recomienda buenas prácticas de montaje de los mismos.

En primer lugar, Xilinx recomienda que para cada nuevo diseño que se desee soldar, se deberá definir un nuevo perfil de temperatura, que contemple el tamaño de la placa, los componentes a soldar, y el tipo de pasta y flux. Lo interesante es que, una vez definido el perfil, este se debe *verificar* en el horno, para asegurarse que efectivamente, la curva de temperatura se cumple en todo el espacio interno.

Este proceso de verificación de temperatura se conoce como “profiling”, y se realiza colocando termocuplas en sectores críticos del montaje, sobre una PCB de sacrificio, idéntico a los que se desean soldar. El monitoreo de temperatura de cada termocupla debería estar dentro del umbral de tolerancia de la curva que se esté programando en el horno, de tal forma de lograr el reflow (estado caracterizado por el estado material líquido del estaño, donde el integrado entra en contacto físico con el PCB) en los componentes más grandes, y evitar que se quemen los más pequeños. Los puntos de soldadura mas fríos, deben alcanzar al menos la temperatura de fundición del estaño por al menos 10 segundos.

En segundo lugar, el documento hace referencia a las características básicas de la curva de temperatura. Estas características son enumeradas a continuación:

Temperatura de inicio de la fundición del estaño	217 °C
Temperatura de fundición total del estaño	235 °C
Temperatura pico aplicada al estaño	245 °C
Temperatura máxima tolerada por el dispositivo	260 °C
Velocidad de calentamiento, durante las etapas de precalentamiento y soaking	menor a 1 °C/s
Velocidad de calentamiento durante el resto del perfil térmico	no mayor a 3 °C/s
Tiempo mantenido sobre 217 °C	60 – 90 s.
<ul style="list-style-type: none"> Respecto al enfriado, la clave es minimizar la diferencia de temperatura entre el área superior del integrado, y el área de unión de la soldadura. 	
Máxima velocidad de enfriado	6°C / s.

Tabla 11: Características de la curva de temperatura.

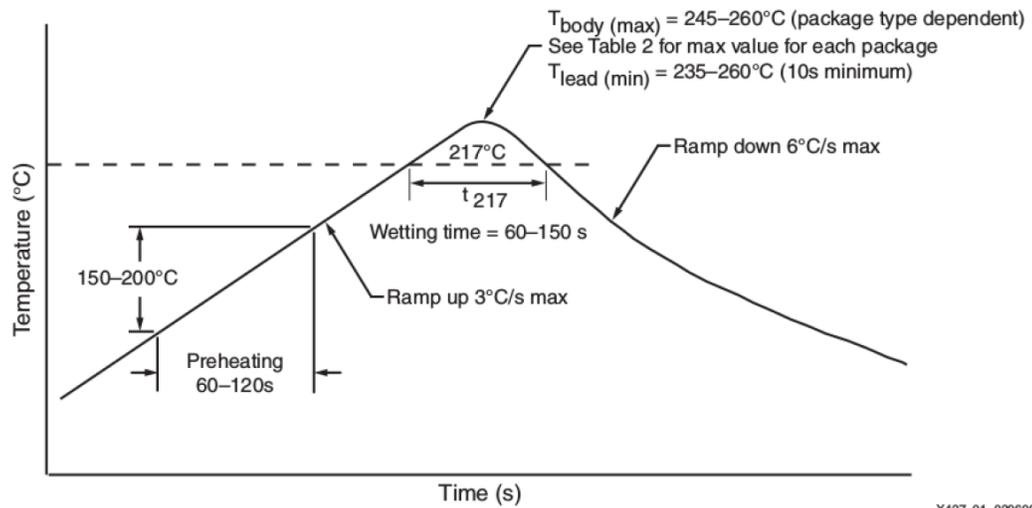


Figura 19: Forma tentativa de la curva de temperatura, como sugiere el fabricante.

3.2 Proceso de soldado

Para realizar el soldado, se relevaron los datos y procedimientos mencionados anteriormente, descubriéndose que no se tenía forma de verificar el comportamiento del horno, al no contarse con termocuplas para instalar adentro y realizar un profiling adecuado.

Frente a este problema, se tuvo la oportunidad de charlar con el Ing. Sergio Guberman, con el fin de constatar las maniobras que se iban a realizar a ciegas, con el objetivo de mejorar las probabilidades de éxito.

De esta forma, el mismo sugirió abordar el problema del profiling utilizando métodos alternativos, que podrían mejorar nuestras chances de suceso.

La primer sugerencia fue utilizar un integrado montado anteriormente, del mismo tipo del que se intenta soldar, que no se necesite o no funcione, para someterlo a la curva tentativa de temperatura, y extraerlo del horno justo antes de comenzado el proceso de enfriado. Si el integrado se mueve fácilmente, esto indica que se ha alcanzado el estado líquido en toda la superficie inferior del dispositivo, asegurando un reflow más o menos aceptable. Como no se contaba con ese integrado, se decidió igualmente someter a temperatura a una placa de descarte, que contaba con otros integrados de tipo BGA, comprobándose el reflow, como se muestra en la figura.

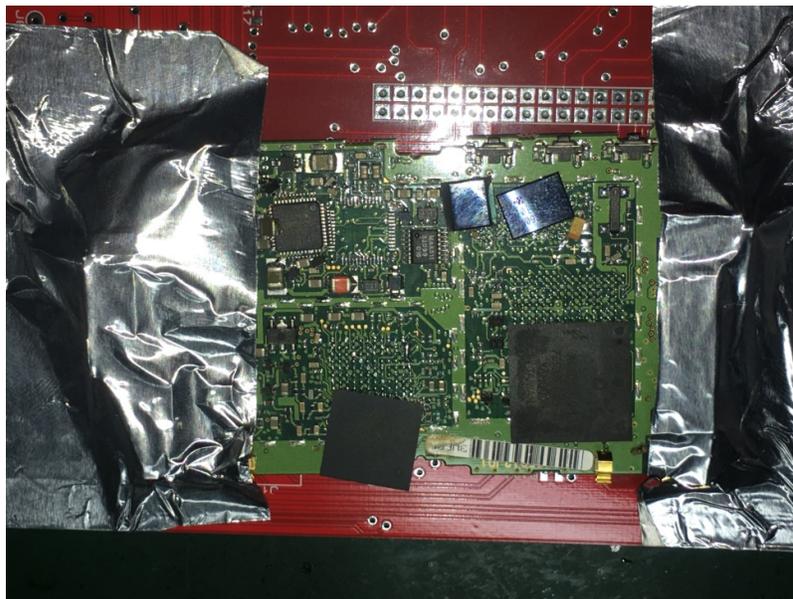


Figura 20: Placa de sacrificio (en verde) con los integrados BGA desoldados. La placa roja, al fondo, se utilizó para disipar el calor del PCB pequeño y generar problemas.

Adicionalmente, se sometió a temperatura a un PCB virgen, de descarte, al que se le agregó el flux que se deseaba colocar posteriormente para el soldado de la BGA, para verificar que no hirviera o generase residuos, comprobándose un comportamiento correcto.

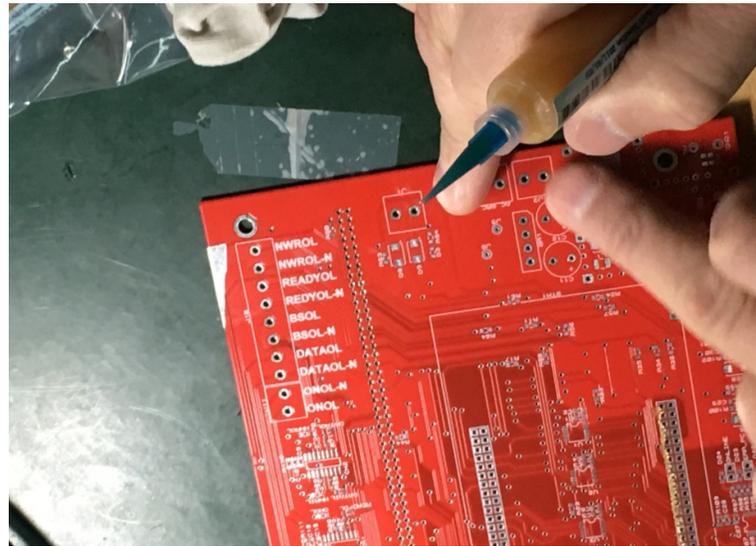


Figura 21: Verificación del comportamiento del flux.

Respecto a la curva de temperatura programada, se prestó atención también a algunas recomendaciones del mencionado ingeniero acerca de la curva, y se programó de acuerdo a las limitaciones establecidas por el fabricante.

Las recomendaciones fueron:

- No es necesario someter el integrado a su temperatura máxima, o a un pico de temperatura, por lo que se estableció un valle en la curva durante el reflow.
- Otra recomendación fue que el enfriamiento debe ser lo más rápido posible, de manera que se estableció una curva de enfriamiento de $6\text{ }^{\circ}\text{C/s}$.

De manera que se definió una rampa de $0,8\text{ }^{\circ}\text{C/s}$ desde la temperatura ambiente, hasta los $200\text{ }^{\circ}\text{C}$, contemplando las etapas de precalentamiento y soaking. Desde ahí, 20 s a $1,5\text{ }^{\circ}\text{C/s}$, y luego 10 s a $1\text{ }^{\circ}\text{C/s}$, para llegar a $240\text{ }^{\circ}\text{C}$.

Se mantiene la temperatura de $240\text{ }^{\circ}\text{C}$ durante 50 s , para luego proceder a un enfriamiento a $6\text{ }^{\circ}\text{C/s}$ hasta llegar a la temperatura ambiente, finalizando la curva.

Teniendo el plan de acción definido, la preparación para el soldado del PCB, se realizó de la siguiente manera:

1. Limpiar cuatro veces el área de la soldadura con alcohol isopropílico.
2. Secar convenientemente.
3. Esparcir flux manualmente, sobre la superficie, asegurando una capa uniforme.
4. Colocar el integrado encima, y alinear.
5. Colocar en el horno y ejecutar la curva.

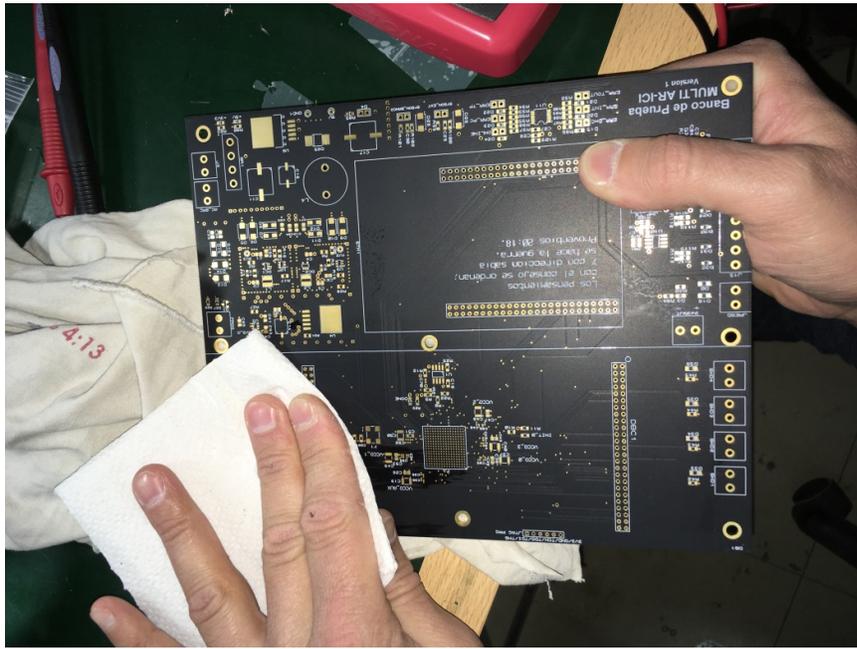


Figura 22: Limpieza preliminar de la zona de soldadura.

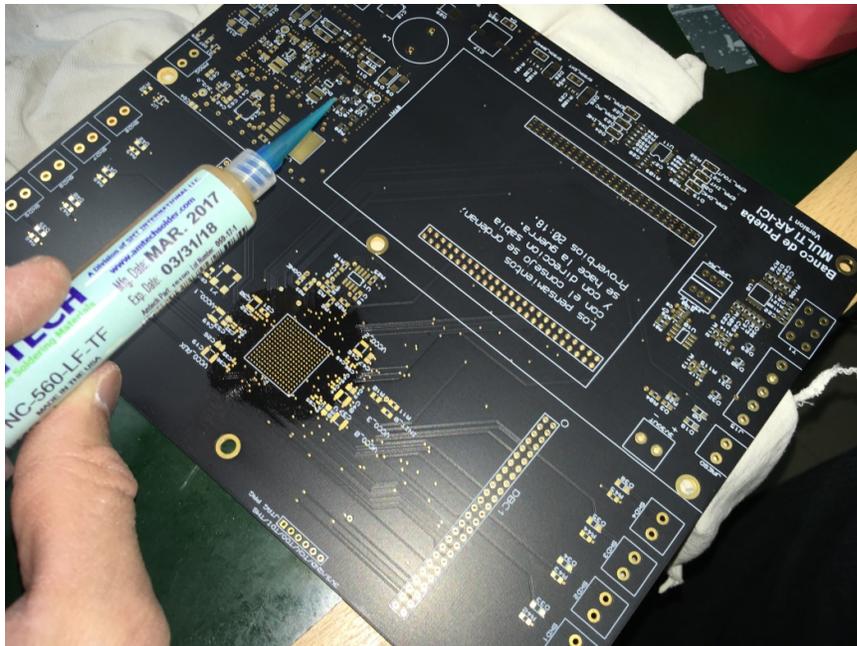


Figura 23: Aplicación del flux.

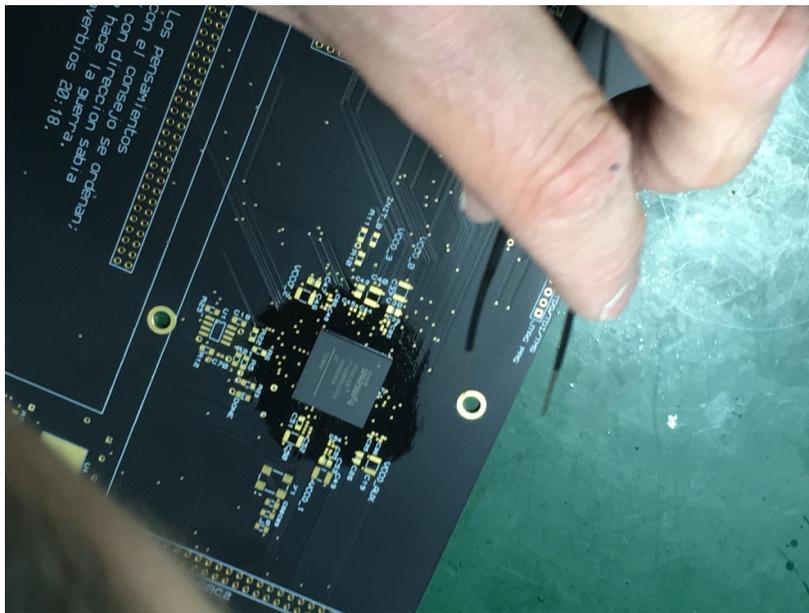


Figura 24: Alineación del integrado sobre el footprint.

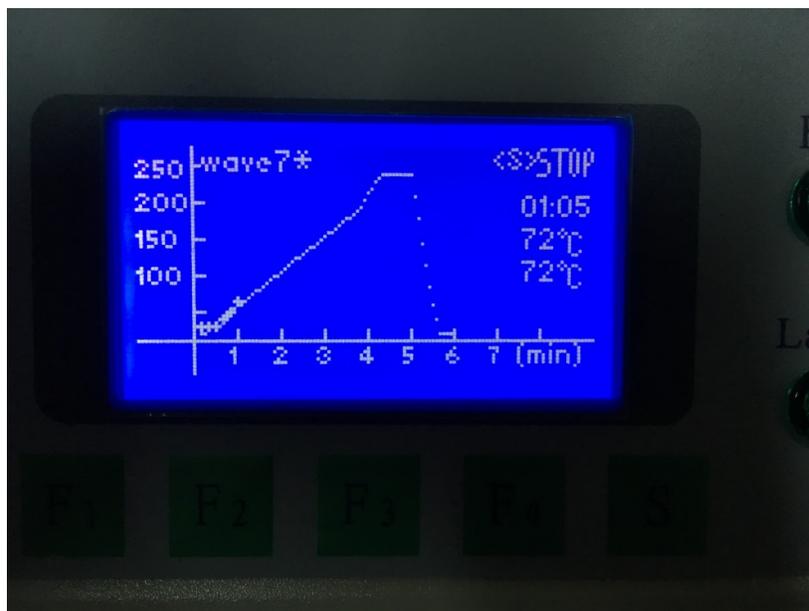


Figura 25: Horno funcionando, ejecutando la curva de temperatura.

Se realizó posteriormente una verificación somera del estado de los contactos del borde del encapsulado, para verificar quebraduras o fallas, utilizando para ello un microscopio USB de uso hogareño.

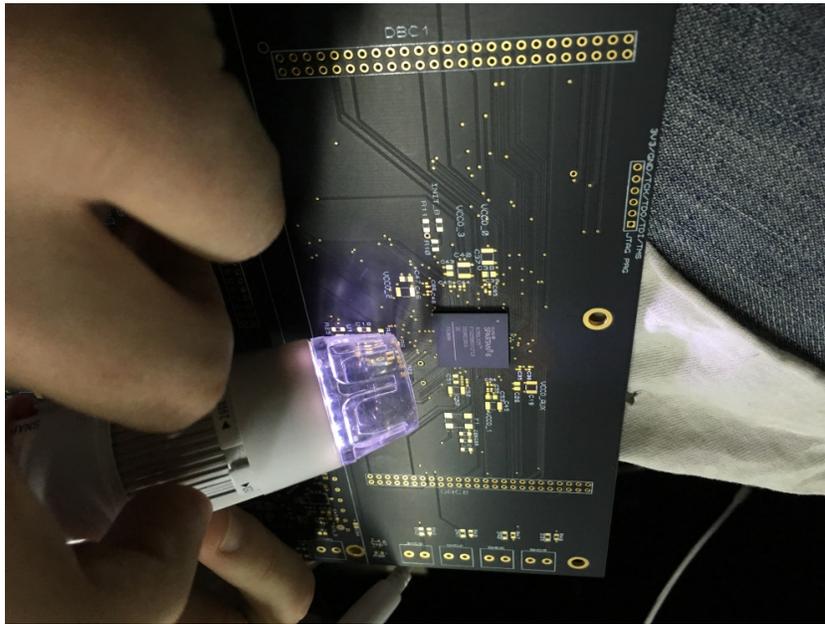


Figura 26: Verificación de la soldadura en el borde del integrado.

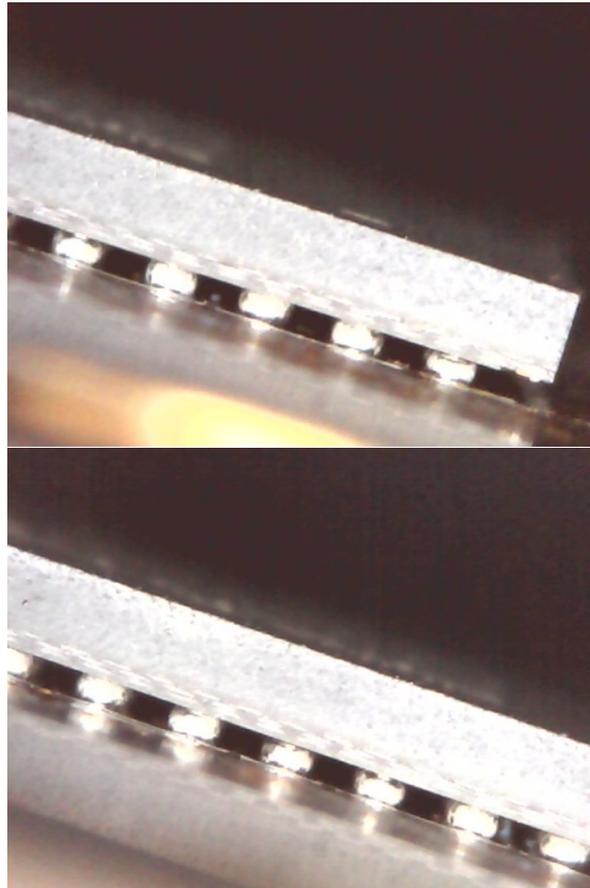


Figura 27: La verificación visual no mostró inconvenientes.

4 Construcción del prototipo

Una vez soldado el encapsulado BGA, la construcción del prototipo prosiguió, realizada por el alumno, encargado del soldado de la Daughter Board y montaje en gabinete, en conjunto con la empresa local Emtech S.A, esta última encargada de soldar los componentes restantes de la placa madre. Se adjuntan algunas imágenes que retratan el proceso de armado del equipo.

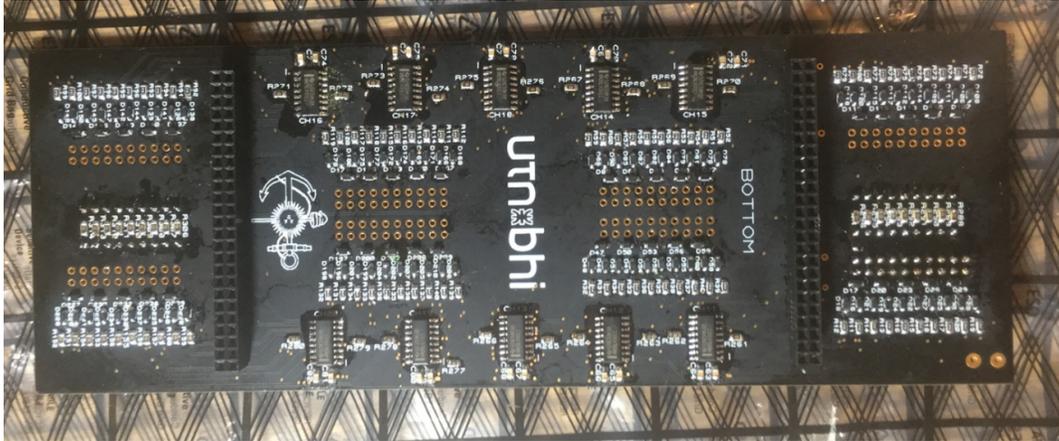


Figura 28: Proceso de soldado de la Daughter Board. Vista inferior.

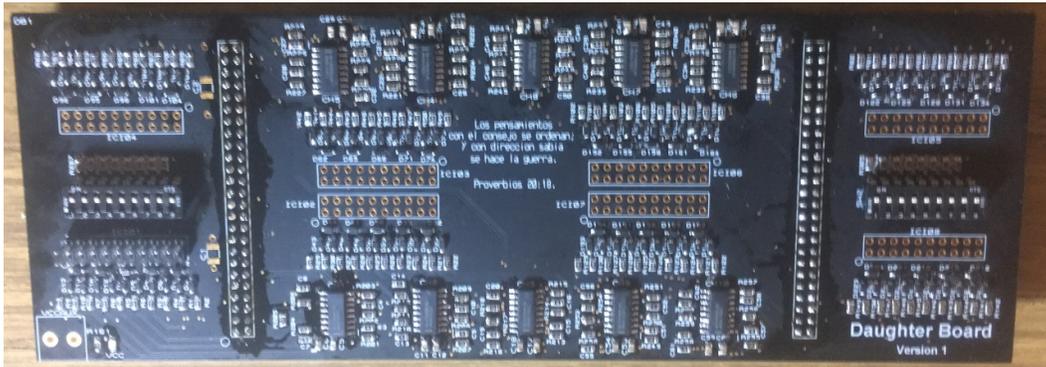


Figura 29: Proceso de soldado de la Daughter Board. Vista superior.

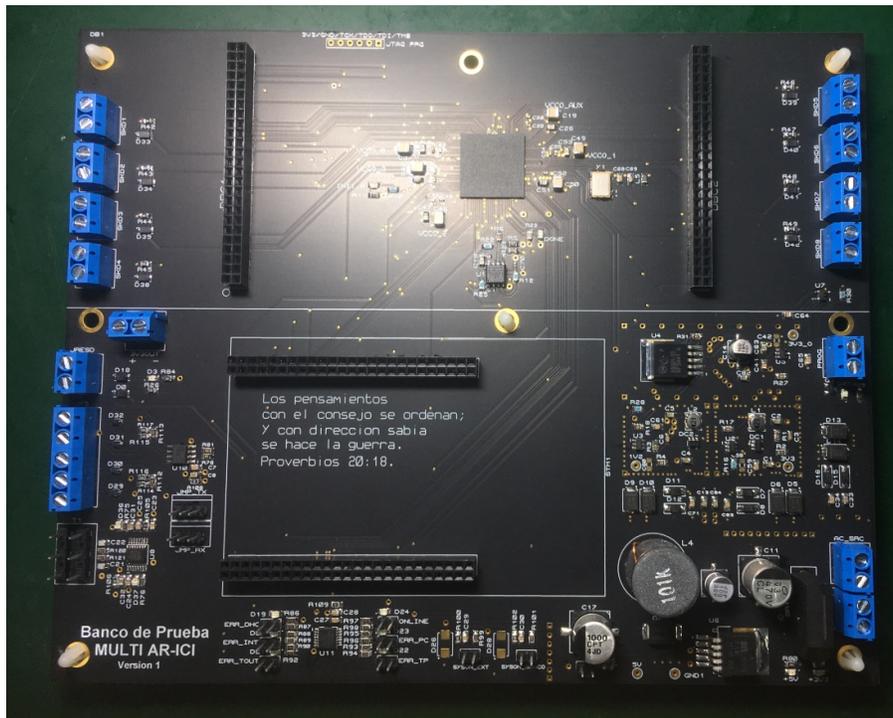


Figura 30: Prueba de montaje de las placas.

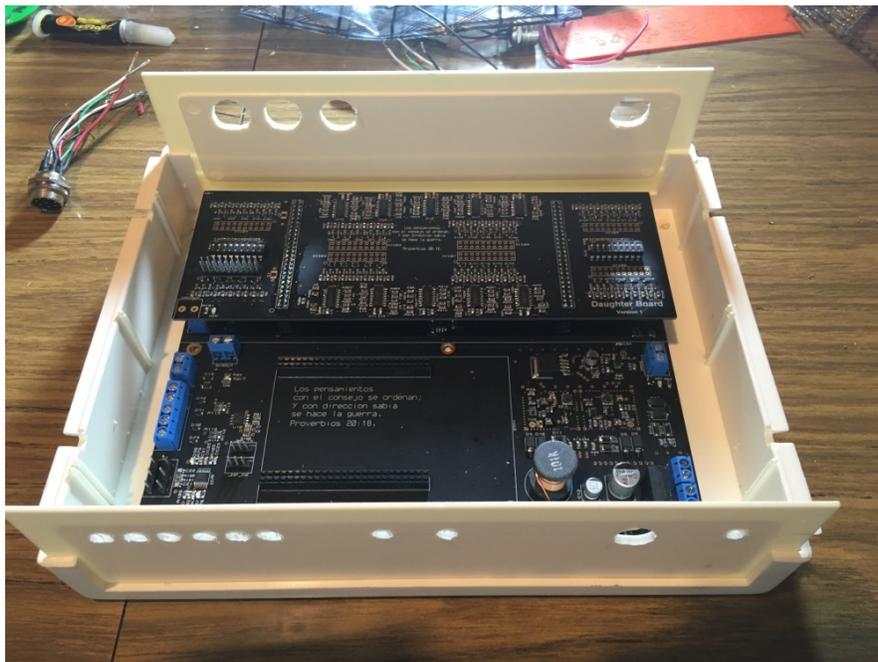


Figura 31: Prueba de montaje de las placas.



Figura 32: Prueba de fuentes DC-DC finalizado el montaje de los conectores y leds frontales.

5 Codificación del hardware para la FPGA

Para realizar la implementación de las múltiples interfaces ICI-compatibles, se dispuso de un módulo preexistente codificado en VHDL para Spartan 3, que implementa en lógica programable la máquina de estados de la tarjeta de comunicación. El objetivo es entonces adaptar este código a los efectos de ser implementado en la FPGA que se dispone. En una etapa futura del proyecto, se deberá codificar adicionalmente un arbitrador de bus que permita la comunicación sin contingencias de hasta ocho interfaces de comunicación implementadas en el dispositivo con el microcontrolador.

En el marco de este proyecto se codificaron en la Spartan 6, tres módulos intercambiables, dos cumplen funciones de prueba del hardware/firmware, siendo el último la interfaz única de comunicación propiamente dicha.

a) Módulo de prueba física

Este fue el primer módulo desarrollado. Está compuesto por un prescaler y sendos buffers que conectan una señal de reloj escalada con todos los pines de entrada/salida de la FPGA. El prescaler se excita con un oscilador externo de 50MHz dispuesto en la placa madre. Los pines conmutan a una velocidad aproximada de 4 MHz. El módulo se resetea con los mismos controles que los usados en la interfaz de comunicación.

Se usa con el objetivo de monitorear con osciloscopio cada uno de los pines, chequeando que la forma de onda de salida posea una transición rápida, y que adicionalmente presente los niveles LVTTTL esperados de 0 y 3.3 V. Las pruebas se realizan con Discovery y Daughter Board desconectadas.



Figura 33: Conexión del programador al puerto JTAG de la FPGA.

Durante el transcurso de la prueba de estado del hardware con este módulo de hardware, se encontraron 5 contactos del BGA desoldados, por lo que se procedió a realizar un proceso denominado reflow, es decir, someter la FPGA nuevamente a alta temperatura para lograr la fundición del estaño de los contactos y con ello una mejor soldadura. Con este procedimiento se lograron soldar la totalidad de los pines.

b) ICI con loopback de hardware

La adaptación del módulo ICI provisto para operar con la Spartan 6, se realizó con un VHDL estructural, que rutea internamente los contactos de salida del dispositivo con la interfaz de comunicación implementada en el mismo. En este caso, los pines correspondientes al extremo serie de entrada/salida del módulo fueron interconectados internamente con el objetivo de probar únicamente la interacción del microcontrolador y la FPGA a través del bus dispuesto para ello.

La prueba consiste entonces en cargar la utilidad de prueba de ICI's (llamada UNICIT) en la Discovery, y verificar la correcta comunicación entre la interfaz de entrada y salida por medio del lazo de datos, descartando fallas asociadas a los conectores serie y la tarjeta adaptadora de niveles.



Figura 34: Esquema de la prueba de loopback para verificar el comportamiento del firmware y bus de datos.

c) Módulo ICI final.

El módulo de hardware definitivo para la Spartan 6 parte del módulo con loopback pero conecta el puerto serie de la interfaz de comunicación al conector de la Daughter Board. Esta última finalmente adaptará los niveles de salida del dispositivo a lógica diferencial de 5V, estándar usado en las interfaces de entrada/salida de las tarjetas ICI. Sobre este módulo se efectúan las pruebas de validación del equipo.

6 Prueba de validación

La prueba de validación consiste en realizar el test conocido como “Test UNICIT para dos computadoras”. Esta prueba consiste en transmitir distintas tramas de datos de una computadora a otra, interconectadas por supuesto, en la red provista por las interfaces de comunicación.

Para esto, se dispuso la conexión de nuestro prototipo bajo prueba, a un Banco de Prueba versión 3, que en este caso controla una tarjeta ICI, similar a las utilizadas en las computadoras de abordo.

El prototipo tiene cargado en su FPGA el módulo de la interfaz de comunicación, y en el microcontrolador, la utilidad de prueba UNICIT, desarrollada anteriormente por el grupo de investigación. El Banco de Pruebas versión 3 también posee cargada la utilidad UNICIT, para lograr la comunicación bidireccional. Ambos dispositivos son controlados por terminales de texto que se abren desde una PC por medio del puerto USB provisto.

La prueba consiste en transmitir y recibir tramas de datos de un extremo a otro, verificando así el buen funcionamiento de las interfaces de entrada/salida de nuestro prototipo, la correcta implementación del módulo de comunicación en la FPGA, y la compatibilidad del firmware pre existente con el nuevo dispositivo.

En la Figura siguiente se esquematiza la prueba de comunicación entre nuestro prototipo (a la izquierda) y el diseño anterior.

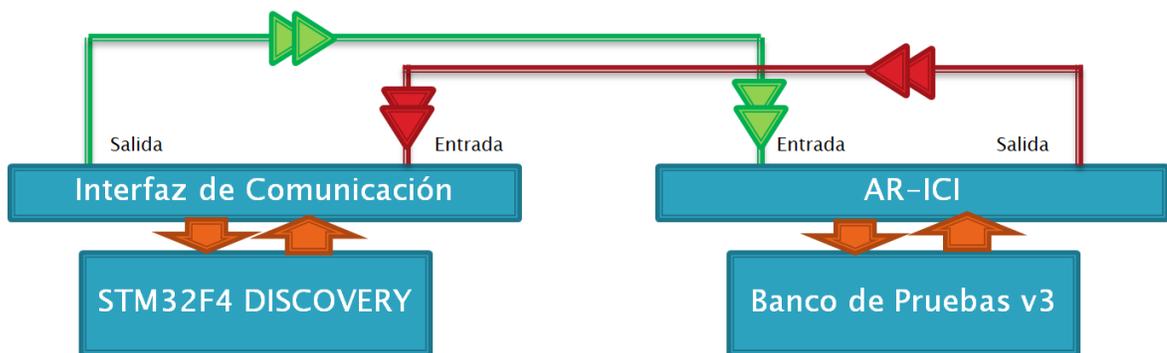


Figura 35: Esquema de la conexión del test entre dos computadoras.

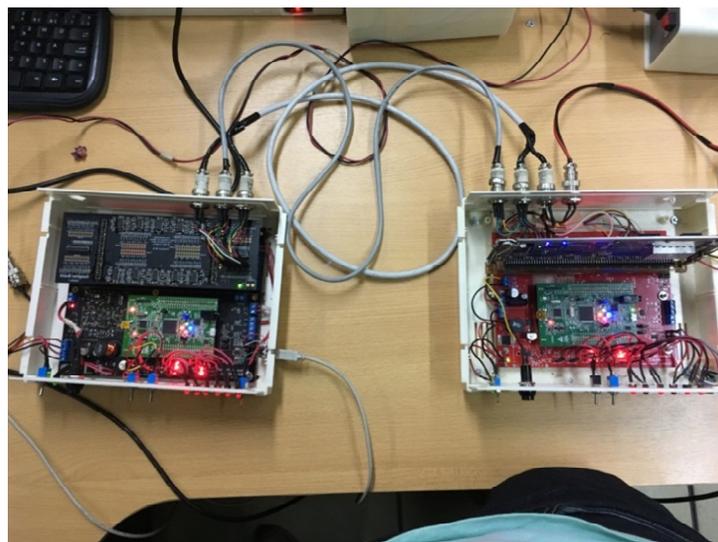


Figura 36: Prototipo conectado al Banco de Pruebas 3.

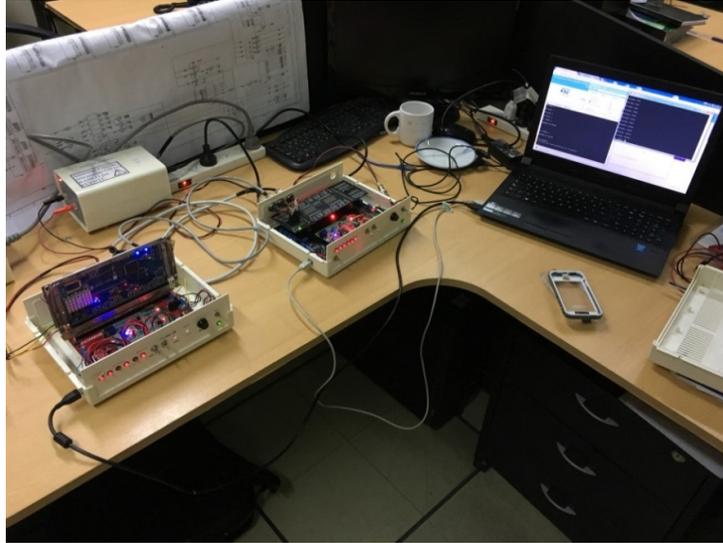


Figura 37: Ejecutando las pruebas. Las dos terminales en el PC muestran el estado de la comunicación y las palabras enviadas y recibidas en ambos extremos.

Las pruebas resultaron satisfactorias, verificándose la correcta integridad de los datos enviados y recibidos entre los dispositivos, comprobándose la compatibilidad del nuevo hardware de comunicación con las tarjetas ICI preexistentes, y verificando la compatibilidad del firmware anterior con el prototipo en desarrollo.

Cabe aclarar, que fuera del marco de lo especificado en este proyecto final, se continuaron realizando pruebas con el objetivo de verificar una comunicación sostenida en el tiempo. Estas pruebas se detallan en la próxima sección.

7 Avances posteriores

Habiéndose comprobado la integridad del hardware y del firmware, el grupo de investigación vinculado al PIDDEF 08/12 prosigue hoy en día con pruebas que permiten realizar una comunicación sostenida en el tiempo, y en las que el alumno ha participado de manera activa a la fecha. Se describirán entonces dos pruebas adicionales realizadas.

Prueba “Cliente/Servidor”

Esta prueba de laboratorio consiste en realizar una comunicación sostenida en el tiempo entre un dispositivo identificado como “Servidor”, que envía peticiones de datos y una actualización de su estado, y uno denominado como “Cliente” que responde nuevamente con una actualización de su estado.

El esquema de comunicación vía ICI entre los dispositivos es similar al empleado en la prueba de validación. Los dispositivos realizan una comunicación de ida y vuelta cada 500ms. El Cliente, conectado a una PC que oficia de monitor por el puerto USB, actualiza los datos de estado del Servidor, y recibe órdenes desde el monitor. El esquema relacionado puede observarse en la Figura 38. El dispositivo bajo prueba, nuestro prototipo, toma la función de Cliente, y el Banco de Pruebas preexistente la función de Servidor. Se carga el firmware correspondiente a cada extremo, y se encienden los equipos comprobándose una comunicación sostenida en el tiempo.

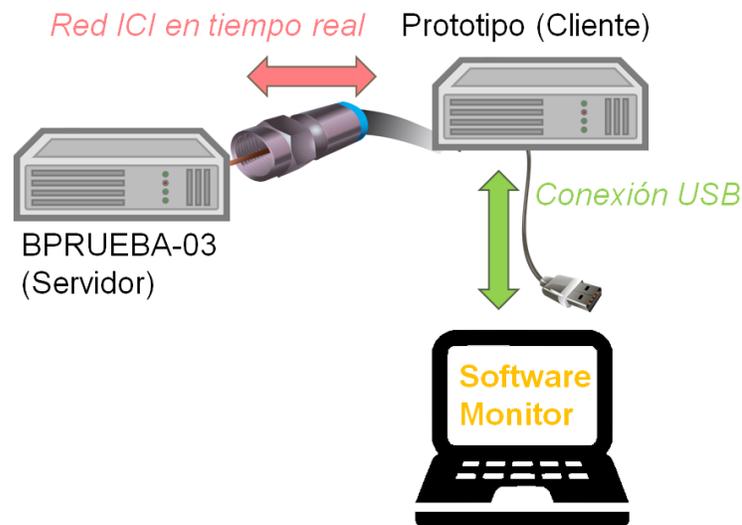


Figura 38: Elementos participantes de la prueba Cliente/Servidor, y su conexión.

Los ensayos realizados fueron satisfactorios, comprobándose un correcto empaquetamiento de la información provista por el monitor y una transferencia satisfactoria hacia el servidor.

Prueba abordó: “Cliente/Servidor”

El firmware de Cliente, posee la capacidad de sostener una comunicación no sólo con el Banco de Pruebas preexistente (ejecutando firmware de Servidor), sino también con la computadora central de abordó, por lo que en última instancia, interesa probar que el Cliente puede conectarse a la red de abordó, monitoreándose la comunicación no solo desde el software monitor del PC, sino también desde la consola de control del barco.

Para conectar nuestro prototipo se utilizó una tarjeta extensora de bus que dispone de conectores compatibles con nuestro diseño.

Se encendió primero la computadora principal y luego el Cliente, comprobándose una comunicación aparentemente fluida con la unidad central. Tanto en los monitores del PC como en la consola de control del barco se registró información coherente y coincidente en ambos extremos de la comunicación. Sin embargo, un indicador de “dispositivo no listo” se mantuvo encendido durante el transcurso de las pruebas, indicando un error en la conexión que no pudo ser encontrado. Este problema, se piensa se debe a una falla eléctrica en la tarjeta extensora, por lo que se deberán realizar más pruebas con el objetivo de verificar la procedencia de ese error.

8 Conclusión

El desarrollo completo del prototipo de un sistema embebido como el presentado, supone una actividad que involucra el conocimiento de todo el ciclo de desarrollo; en donde interviene y se desarrolla experiencia en diseño de firmware, diseño digital, circuitos impresos, conocimientos de soldadura de componentes en sus distintas tecnologías y dominio en las técnicas básicas de montaje del prototipo en gabinete. En este sentido, el Proyecto Final resultó una actividad desafiante, de elevado valor profesional, en donde la toma de decisiones, por ser de índole muy variada, se debió realizar con un cuidadoso criterio, que por parte del alumno resultó en algunas ocasiones escaso, pero que finalmente fue fuertemente desarrollado a lo largo de la práctica.

Los diversos contratiempos vinculados entre otras cosas a la inexperiencia del alumno para caracterizar la duración de algunas de las actividades desarrolladas, como el diseño del PCB, la disponibilidad de presupuesto del proyecto para tercerizar algunas actividades como la de soldadura de la Daughter Board, y otros problemas encontrados durante la etapa de ensamble originaron que en la prueba de validación sea finalizada recién a mediados de Noviembre.

Por otro lado, la experiencia realizada supuso la posibilidad de trabajar con elementos de última tecnología, entre los que se destaca el diseño del PCB de 6 capas, el trabajo en el horno BGA, la posibilidad de desarrollar un prototipo con una FPGA moderna, elementos que conjugados arrojan, con mano de obra incluida, un valor aproximado de cincuenta mil pesos por prototipo.

Finalmente, la culminación de este Proyecto Final supone también la finalización de mi trabajo como becario del PIDDEF 08/12. Esta oportunidad, por haber sido mi primer experiencia laboral, resultó no solo una significativa etapa de formación en Ingeniería, sino que también lo fue a nivel social y personal. Y en ese sentido, deseo agradecer al Director y Co-Director del proyecto, a los Sres. Mg. Miguel Ángel Banchieri e Ing. Christian Galasso, que junto a los becarios, son mentores y motores del PIDDEF 08/12.

9 Referencias

- [1] Xilinx Spartan 6 PCB Design Guide. Documento de diseño de PCB de Xilinx. Disponible en: https://www.xilinx.com/support/documentation/user_guides/ug393.pdf.
- [2] BGA Pad Creation – SMD vs NSMD? Disponible en: <https://macrofab.com/blog/bga-pad-creation-smd-nsmd/>.
- [3] Our PCB. Empresa de prototipado de PCB's y fabricación continua. Sitio Web: <https://www.ourpcb.com/>.
- [4] Emtech S.A. Especificaciones de la placa de desarrollo 3PX1. Disponible en: <http://www.emtech.com.ar/producto/placa-3px1/>.
- [5] Xilinx Spartan-6 FPGA Configuration. Manual de configuración de la FPGA Spartan 6. Disponible en: https://www.xilinx.com/support/documentation/user_guides/ug380.pdf.
- [6] Gabinete Chillemi PB150. Especificaciones técnicas. Disponible en: <http://www.chillemihnos.com.ar/espanol/productos.htm#PB150>.
- [7] Lineamientos principales del estándar de restricción de sustancias peligrosas RoHS (Restriction of Hazardous Substances) Página web: <http://www.rohsguide.com/rohs-faq.htm>.
- [8] Las cinco etapas de soldado con horno. <http://info.zentech.com/blog/the-five-stages-of-smt-reflow-ovens>.
- [9] Especificaciones técnicas del horno Puhui T962. Disponible en: http://www.puhuit.com/main/page_products_t962_ir_ovenic_heater.html